

Desempeño del método de análisis transitorio en la detección de fallas paramétricas en circuitos integrados

**Fernando Aguirre¹, Sebastián Pazos¹, Eduardo Romero²,
Gabriela Peretti², Sebastián Verrastro¹**

1 Universidad Tecnológica Nacional, Facultad Regional Buenos Aires, Departamento de Ingeniería Electrónica, Av. Medrano 951, (C1179AAQ), Ciudad Autónoma de Buenos Aires, Argentina

2 Universidad Tecnológica Nacional, Facultad Regional Villa María, Av. Universidad, (5900) Villa María, Córdoba, Argentina

faquirre@electron.frba.utn.edu.ar

Recibido el 19 de noviembre de 2015, aprobado el 20 de diciembre de 2015

Resumen

En este trabajo se evalúa la capacidad de la estrategia de *test* denominada Metodología de Análisis de Respuesta Transitoria (TRAM¹) para discriminar entre circuitos dentro y fuera de especificaciones. Con este propósito se adopta una vista a nivel comportamiento, definiendo una falla como un incumplimiento de alguna de las especificaciones. Si bien esta estrategia de *test* ha sido estudiada por varios autores, este trabajo se enfoca en la utilización de modelos de simulación más precisos que evitan hacer suposiciones de comportamientos ideales. Para las evaluaciones se ha adoptado un filtro de segundo orden en la topología de variables de estados, el cual ha sido diseñado totalmente a medida (*full custom*) en una tecnología comercial CMOS de 500 nm. Se adopta una metodología de evaluación que inyecta desviaciones aleatorias en los parámetros circuitales como un medio para generar una población de circuitos con diferentes proporciones de buenos y malos. Esta población se expone posteriormente al *test* para evaluar su eficiencia.

PALABRAS CLAVE: CIRCUITOS INTEGRADOS ANALÓGICOS – DETECCIÓN DE FALLAS – TRAM – RESPUESTA TRANSITORIA – CMOS

Abstract

This paper evaluates the capacity of the test strategy named Transient Response Analysis Method (TRAM) to detect manufactured circuits that fall inside or outside its specifications. With this purpose, a behavioral level approach is adopted, defining a fault as the inability to comply with any of the specifications. Although this strategy has been addressed by other authors, this article focuses on the implementation of more precise simulation models to avoid the assumption of ideal components. A state variable, second order filter was implemented in a 500 nm CMOS technology following a full-custom flow, and adopted as circuit under test. To perform the evaluation, random deviations are injected to the circuit parameters, in order to create populations with different amounts of faulty and non faulty circuits. The test strategy is applied to these populations in order to evaluate its efficiency.

KEYWORDS: ANALOG INTEGRATED CIRCUITS – FAULT DETECTION – TRAM – TRANSIENT RESPONSE – CMOS

1 Transient Response Analysis Method

Introducción

En un mercado tan competitivo como lo es el de semiconductores, la capacidad de detectar y eventualmente descartar un Circuito Integrado (CI) defectuoso antes de que llegue al consumidor contribuye a mantener la imagen positiva de la empresa y a aumentar sus ganancias. Esto ha motivado a los fabricantes a implementar rigurosos procedimientos de *test* para determinar si se han introducido durante el proceso de fabricación defectos que puedan hacer que el circuito no cumpla con las especificaciones. Una alternativa obvia para realizar esta determinación consiste en la medición directa de los parámetros de desempeño del circuito. Sin embargo, este procedimiento es muy costoso, tanto en términos de tiempo de test como de equipamiento necesario. Por ello se han propuesto una gran cantidad de estrategias que se basan en estímulos de *test* y respuestas a los mismos fáciles de generar y medir (Vinnakota, 1998).

En términos generales puede afirmarse que las estrategias de *test* deben concebirse para alcanzar los siguientes objetivos (Liu, 1991; Van Spaandonk & Kevenaar, 1996): a) Tener una alta capacidad de detección de fallas, b) basarse en un estímulo de *test* simple y compacto, y c) minimizar el número de mediciones necesarias.

Para el caso de los circuitos analógicos, además del cumplimiento de las exigencias previamente mencionadas, se suma la complejidad intrínseca de las señales de tiempo continuo (frente a sus contrapartes digitales), lo que aumenta las exigencias a los circuitos de *test*. Normalmente, esto hace que las estrategias de *test* para circuitos analógicos y de señal mixta demanden grandes áreas de silicio y consuman un esfuerzo considerable, lo que se traslada en un aumento del costo del producto. Adicionalmente, el número de fallas probables es extremadamente alto en este tipo de circuitos. Como consecuencia, el *test* de CI analógicos ha emergido como un desafío de proporciones considerables tanto para ingenieros de diseño como de *test*.

Los filtros de tiempo continuo constituyen un caso particular de circuitos analógicos de gran importancia, dado que son ampliamente utilizados en numerosas aplicaciones. Debido a ello,

se han formulado numerosas estrategias de *test* para filtros. Las propuestas generalmente asumen que son posibles ciertas reconfiguraciones circuitales o el agregado de circuitos adicionales (Soma, 1990, Vázquez et al., 1994, Romero et al., 2005). Una opción sumamente atractiva dada su simplicidad es el TRAM (Método de Análisis Transitorio) que es aplicable a filtros de segundo orden (Calvano et al., 1999, 2000, 2001). Básicamente, se aplica un estímulo al circuito y se miden parámetros de la respuesta temporal asumiéndose que una falla en el circuito provocará la alteración de los mismos. De esta forma, la falla se hace observable.

En años más recientes se reportaron diferentes estudios que ampliaron el conocimiento sobre TRAM gracias a la consideración de la variabilidad estadística de los componentes del circuito (Peralta et al., 2007b, 2009, 2011). Se han hecho evaluaciones tanto en los niveles comportamentales como funcionales. Sin embargo, estos trabajos han sido realizados asumiendo que el amplificador operacional es ideal. Más recientemente se presentaron evaluaciones en las cuales se ha adoptado un enfoque estructural y modelos SPICE¹ de los circuitos. Esto ha permitido obtener resultados más cercanos a la realidad, ya que los amplificadores utilizados han sido diseñados a medida en una tecnología CMOS dada (Pazos et al, 2015a, 2015b). En este artículo se adopta una vista a nivel comportamiento para la evaluación de TRAM. En este sentido, se presenta un estudio que estima la capacidad de TRAM para discriminar circuitos dentro y fuera de especificaciones. Con este propósito, se adopta como caso de estudio un filtro bicuadrático diseñado e implementado en un proceso CMOS comercial estándar de 500 nm. La utilización de modelos SPICE a nivel transistor en lugar de los modelos matemáticos empleados en evaluaciones previas, sumado al cambio en el modelo de desviaciones utilizado para generar circuitos dentro y fuera de especificaciones durante la evaluación de performance de TRAM, se constituyen en las principales contribuciones del trabajo.

Transient Response Analysis Method (TRAM)

Este método postula que es posible la detección de un circuito defectuoso mediante el mo-

¹ SPICE: Simulation Program with Integrated Circuits Emphasis

nitoreo de los valores característicos de su respuesta transitoria, denominados parámetros indirectos o atributos de *test*, en lugar de las especificaciones o parámetros directos. En TRAM, los parámetros indirectos son los característicos de la respuesta transitoria: tiempo de pico (T_p), tiempo de establecimiento (T_s), tiempo de demora (T_D), Tiempo de subida (T_R) y la sobre-elongación o sobre-pico relativo (%OS). Para cada topología de filtro se pueden establecer también relaciones entre los parámetros indirectos y los parámetros de bajo nivel (componentes del circuito, como valores de resistencias y capacitores).

Se definen como especificaciones a un juego de parámetros que representan el funcionamiento del CI. En este caso, serán los parámetros típicos de un filtro, tales como la frecuencia natural, ω_o , definida como la frecuencia a la cual la fase alcanza 90° y el factor de selectividad, Q , equivalente a la ganancia del filtro para la frecuencia natural. Un circuito dado se declara como defectuoso si no cumple con al menos una de las mencionadas especificaciones, con una dada tolerancia.

La idea detrás de TRAM yace en la relación existente entre los parámetros indirectos con los parámetros directos, lo cual evidencian las ecuaciones (1) a (5). Un corrimiento en los parámetros de bajo nivel (un desvío fuera de los límites aceptables en los componentes) causará un desvío en los parámetros directos, que podrá ser detectado como una variación en los parámetros indirectos.

$$T_D = \frac{\left(1 + \frac{\xi}{\sqrt{2}}\right)}{\omega_o} \quad (1)$$

$$T_R = \frac{1}{\omega_D} = \text{atan}\left(-\frac{\omega_D}{\omega_o \xi}\right) \quad (2)$$

$$T_S = \frac{4}{\xi \omega_o} \quad (3)$$

$$T_P = \frac{\pi}{\omega_o} \quad (4)$$

$$OS\% = e^{-\frac{\pi \xi}{\sqrt{1-\xi^2}}} \quad (5)$$

Dispositivo bajo prueba (DUT). Diseño e implementación

Tal como se ha indicado previamente, este trabajo se focaliza en la evaluación de la capacidad de TRAM para discriminar entre circuitos buenos (dentro de especificaciones) y malos (fuera de especificaciones). En particular, se asume que la estrategia será utilizada como un *test* de producción. En este escenario, tanto los ingenieros de diseño como los de *test* disponen de información detallada del circuito, lo que permite la implementación de metodologías de evaluación del *test* basadas en la estructura del circuito.

Se ha adoptado como caso de estudio a un filtro activo de segundo orden, del tipo pasa-bajos y que responde a la topología de Variables de Estado. El esquemático del filtro se muestra en la Figura 1a, mientras que su respuesta en frecuencia puede verse en la Figura 1b. El circuito ha sido diseñado e implementado en un proceso CMOS de 500 nm. Los amplificadores operacionales necesarios son de aplicación específica (diseñados específicamente para el filtro). Este bloque es básicamente un amplificador operacional de Miller (Maloberti, 2003) con el agregado de una etapa de salida del tipo seguidor por *source-follower push-pull* para alcanzar una baja resistencia de salida. Los componentes pasivos fueron implementados como resistores de Poly-Silicio y capacitores de Poly-Silicio a Poly-Silicio.

En el proceso utilizado, los resistores tienen un desvío global nominal de 3σ del 20% mientras que el *mismatch* (o desvío intraoblea) se supone del 1% (3σ). En el caso de los capacitores dichos desvíos son del 11% y 1% respectivamente.

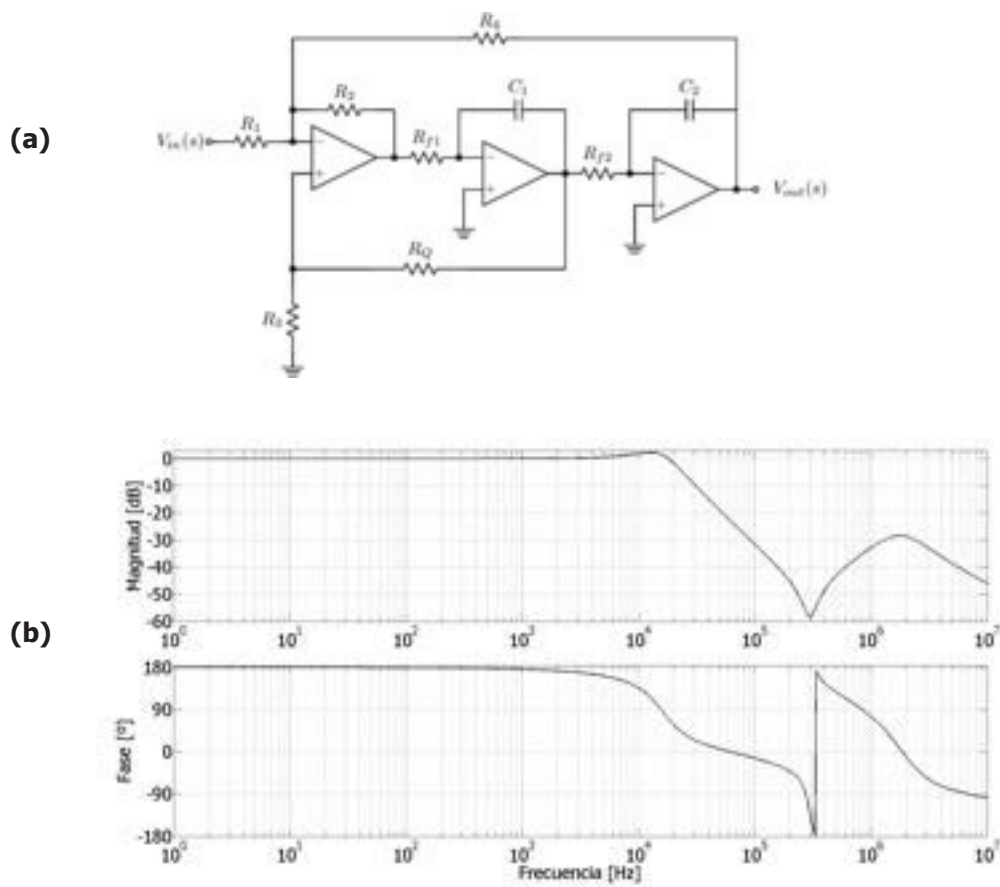


Fig. 1. Circuito Bajo *Test*: (a) circuito esquemático, (b) respuesta en frecuencia

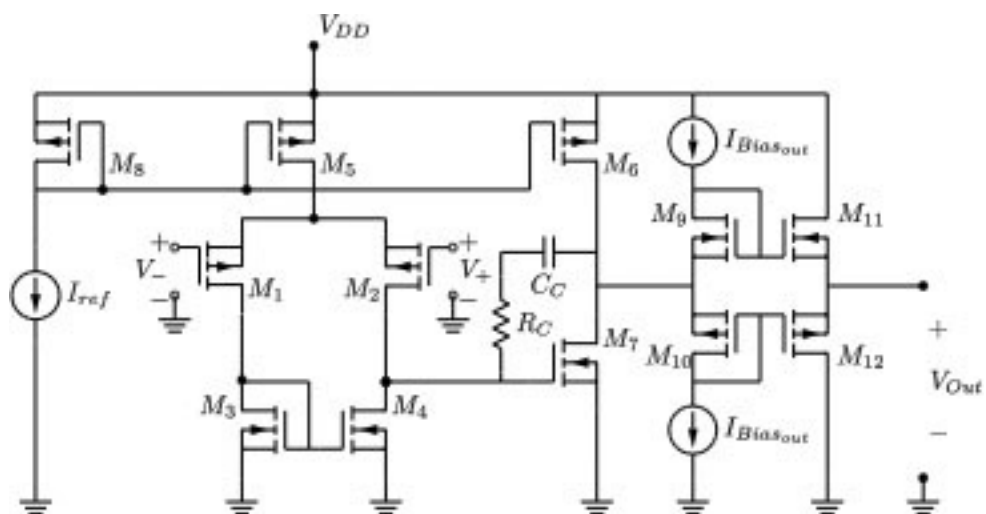


Fig. 2. Circuito esquemático del operacional utilizado para la síntesis. Se omiten las etapas de polarización.

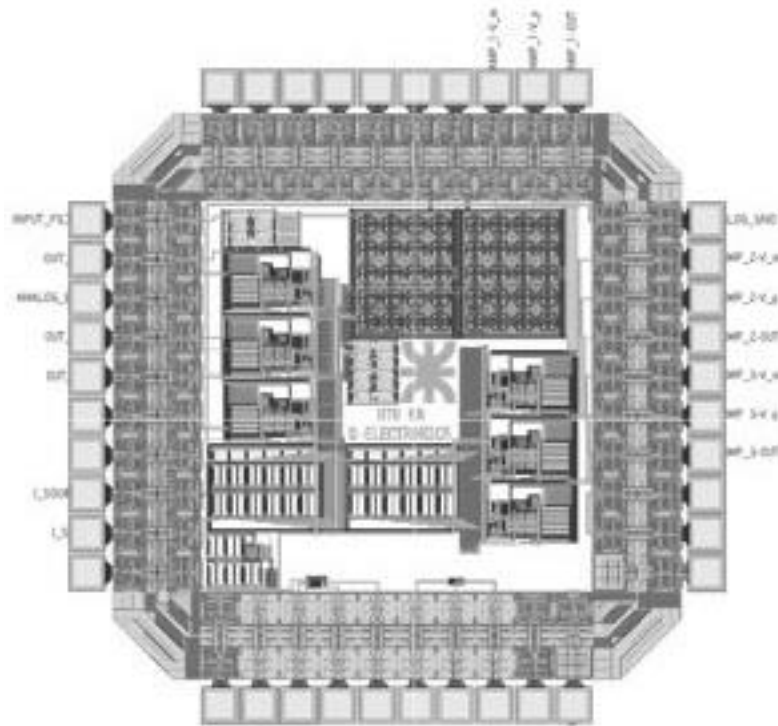


Fig. 3. Vista del *layout* correspondiente al *Top-Level* del circuito integrado diseñado y fabricado

La Figura 2 muestra el Amplificador Operacional diseñado. Los transistores M1 a M7 más la red RC representan la etapa de Miller convencional, mientras que los transistores M9 a M12 la etapa de salida. Por razones de simplicidad, se omite en el circuito esquemático la etapa de polarización. Las ecuaciones (9) a (12) describen la vinculación para este circuito en particular entre los parámetros de bajo nivel y los parámetros directos que son tomados como especificación. Por su parte, la Figura 3 muestra la implementación física (*layout*) del circuito bajo estudio.

$$H(S) = \frac{R_4 \frac{R_2}{C_1 C_2 R_{f1} R_{f2} R_4}}{R_1 S^2 + \frac{R_3 (R_4 R_1 + R_2 R_4 + R_2 R_1)}{R_4 R_1 (R_3 + R_Q)} C_1 R_{f1} S + \frac{R_2}{C_1 C_2 R_{f1} R_{f2} R_4}} \quad (9)$$

$$Q = \frac{R_4 R_1 (R_3 + R_Q) C_1 R_{f1}}{R_3 (R_4 R_1 + R_2 R_4 + R_2 R_1)} \sqrt{\frac{R_2}{C_1 C_2 R_{f1} R_{f2} R_4}} \quad (10)$$

$$\omega_p = \sqrt{\frac{R_2}{C_1 C_2 R_{f1} R_{f2} R_4}} \quad (11)$$

$$K = \frac{R_4}{R_1} \quad (12)$$

Modelo de fallas y procedimiento de evaluación

En este trabajo se adopta una visión en el nivel comportamiento para definir una falla. En particular, ésta se define como una violación a las especificaciones, independientemente de la variación de los parámetros de bajo nivel (resistencias y capacitores en este trabajo). Consecuentemente un filtro libre de fallas (o bueno) será aquel que cumpla con los parámetros directos (especificaciones), mientras que aquellos cuyos parámetros caigan fuera del rango aceptable, serán circuitos con fallas (o malos). El rango de variabilidad de los parámetros directos está definido por los requerimientos de la aplicación. Para nuestro caso de estudio, se ha asumido una tolerancia del 10%.

Con el propósito de evaluar la capacidad de TRAM, se genera una población que contiene

² Pastilla de silicio.

circuitos buenos y malos. Para ello, se varían las dispersiones de las distribuciones estadísticas de los componentes de forma paramétrica, lográndose de esta forma poblaciones con diferentes proporciones de buenos y malos. Un dado individuo de la población se obtiene mediante la elección aleatoria de los valores de sus componentes dentro de la tolerancia establecida para los mismos.

La población completa de circuitos generados será expuesta posteriormente al *test* para determinar su eficiencia. Se debe remarcar aquí que las desviaciones introducidas en las distribuciones estadísticas de los componentes deben considerarse un medio para la obtención de las poblaciones de circuitos buenos y malos. Para modelar tanto las variaciones existentes entre obleas, como las existentes entre CIs en una misma oblea, se implementa un modelo en el cual el valor de la media de un componente C_j en un *die*,² está definido a partir del valor de un patrón para dicho componente, el cual tiene un desvío inter-oblea σ_g , con una dispersión intra-oblea de valor σ_m . Los valores de los desvíos σ_g y σ_m son propios de cada componente, y varían entre un proceso de fabricación y otro.

A partir del conjunto de circuitos buenos resultante, es posible obtener una distribución estadística de cada uno de los atributos de *test* (T_{pr} , T_{sr} , T_{rf} , T_{dr} , OS%), los cuales permiten definir los límites de tolerancia estadísticos (LTE, o STL por sus siglas en inglés). Estos pueden ser paramétricos o no paramétricos dependiendo si la hipótesis nula de normalidad es aceptada o no. Si un atributo de *test* presenta una distribución normal, sus LTE se catalogan como paramétricos, y se pueden definir a partir de las ecuaciones (6) a (8), donde N representa el tamaño de la muestra, p es la porción de la población que sigue una distribución normal y es contenida dentro de los límites de tolerancia estadísticos computados, y γ la confianza de esa asunción según la distribución Chi-Cuadrado. Por el contrario, si la distribución no puede ser considerada normal, los LTE se toman como no paramétricos y se los define en función del máximo y mínimo de la población.

$$LTEI = \bar{X} - k_2\sigma \quad (6)$$

$$LTES = \bar{X} + k_2\sigma \quad (7)$$

$$k_2 = \sqrt{\frac{(N-1)\left(1 + \frac{1}{N}\right)z_{(1-p)}^2}{\chi_{1-\gamma, v}^2}} \quad (8)$$

La posterior evaluación de los atributos de *test* de cada individuo de la población, en la cual se observa si caen o no dentro de los límites, permite obtener las siguientes métricas de ponderación:

a) Buenos Aceptados (BA): N° de circuitos buenos desde el punto de vista de los parámetros directos, que son detectados como buenos desde el punto de vista de los parámetros indirectos evaluados. Esto significa que así como los parámetros directos quedan contenidos dentro del rango de tolerancia especificado por la aplicación, los parámetros indirectos quedan dentro del rango válido dado por los LTE.

b) Buenos Rechazados (BR): N° de circuitos buenos desde el punto de vista de los parámetros directos, que son detectados como malos desde el punto de vista de los parámetros indirectos evaluados.

c) Malos Aceptados (MA): N° de circuitos malos desde el punto de vista de los parámetros directos, que son detectados como buenos desde el punto de vista de los parámetros indirectos evaluados.

d) Malos Rechazados (MR): N° de circuitos malos desde el punto de vista de los parámetros directos, que son detectados como malos desde el punto de vista de los parámetros indirectos evaluados.

e) Buenas Decisiones (BD): N° de circuitos correctamente evaluados por el test. Corresponde a la suma de los Buenos Aceptados y de los Malos Rechazados.

Desde el punto de vista de la teoría estadística, los grupos de Buenos Rechazados (BR) y Malos Aceptados (MA), constituyen los errores Tipo I y II respectivamente.

	Anderson-Darling Test	Jarque-Bera Test	Lilliefors Test	Media (μ)	Desvío (σ)	LTE inferior	LTE superior
Tiempo de delay (T_D)	SI	SI	SI	13,000 μ Seg	0,654 μ Seg	11,781 μ Seg	14,385 μ Seg
Tiempo de crecimiento (T_R)	SI	SI	SI	15,001 μ Seg	0,804 μ Seg	13,468 μ Seg	16,736 μ Seg
Tiempo al pico (T_P)	SI	SI	SI	35,347 μ Seg	1,883 μ Seg	31,488 μ Seg	39,604 μ Seg
Tiempo de establecimiento (T_S)	SI	SI	SI	82,814 μ Seg	4,270 μ Seg	74,772 μ Seg	91,676 μ Seg
Sobre-pico % (OS %)	NO	NO	NO	22,59 %	0,250 %	21,927 %	23,252 %

Tabla 1. Caracterización de los parámetros indirectos. Para los *test* de normalidad, se indica si se puede rechazar la hipótesis de normalidad o no.

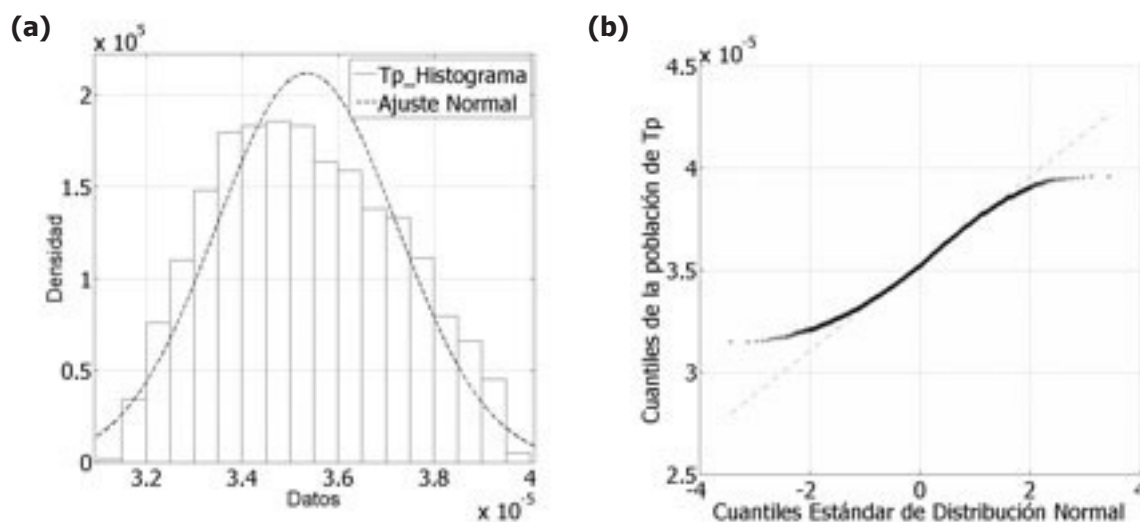


Fig. 4. Distribución de probabilidad para el tiempo de pico: (a) histograma, (b) cuantil-cuantil

Caracterización de parámetros indirectos

Para caracterizar los parámetros indirectos, se realizó una simulación de Monte Carlo de 2000 corridas de análisis transitorio y de respuesta en frecuencia del circuito propuesto. Para cada circuito detectado como bueno (en base a la respuesta en frecuencia), se obtuvieron los parámetros indirectos (desde la respuesta temporal transitoria). De esta forma puede estimarse la distribución estadística de cada parámetro indirecto (tomando los 2000 casos corridos). En base a estas distribuciones se determinan los límites de toleran-

cia estadísticos para cada uno. Para evaluar la normalidad de las distribuciones, y determinar si los límites serán considerados paramétricos o no, se realizan 3 *tests* de normalidad que las evalúan desde diferentes perspectivas: Anderson – Darling, Jarque – Bera y Lilliefors (Montgomery & Runger 2010).

En la Tabla 1 se reportan los resultados de estas pruebas, la media y el desvío de las distribuciones y sus límites de tolerancia estadísticos.

En forma simultánea, un análisis conjunto del histograma de la distribución estudiada y su

Desvío [%]	5	10	15	20	25	30	35	40	45	50	55	60	65	70
Buenos	1000	968	851	727	627	539	469	415	364	320	292	263	246	222
Malos	0	32	149	273	627	461	531	585	636	680	708	737	754	778

Tabla 2. Circuitos buenos y malos para cada paso de desvío

gráfica cuantil-cuantil (Q-Q) correspondiente, permite verificar la validez de los resultados aportados por los *test* de normalidad comparando la distribución de los cuantiles de la población estudiada con respecto a los de una población normal. Esto también permite apreciar sesgos o la existencia de valores alejados a la media con una probabilidad mayor a la esperada, en función al desvío de los cuantiles respecto de la recta normal. Estos procedimientos componen el análisis exploratorio y confirmatorio de datos (Tukey, 1977), necesario para realizar inferencias sobre una población muestral. Con propósitos de ilustración, se muestra en la Figura 4 el estudio realizado para el parámetro Tiempo de Pico (T_p).

Obtención de las métricas del *test*

La población de circuitos que se someterá al *test* se obtiene mediante un aumento progresivo de los niveles de desvío globales (inter-oblea) de los parámetros de bajo nivel. Esto se traslada en un aumento gradual de la cantidad de circuitos que no cumplen con las especificaciones. Se genera un número N (14 en este trabajo) de poblaciones, con un número M (1000) de circuitos. En cada población, se permite que los componentes varíen aleatoriamente con un desvío σ_N , tal que σ_N es menor que σ_{N+1} (aumenta en pasos del 5%). La Tabla 2 muestra la cantidad resultante de circuitos buenos y malos en cada caso.

A partir de las definiciones previas de Buenos Aceptados (BA), Malos Aceptados (MA), Buenos Rechazados (BR), Malos Rechazados (MR), Total de Malos (TM) y Total de Buenos (TB) es posible determinar la eficiencia del *test*. Para ello se define el siguiente juego de métricas (Saab et al. 2000; Sunter & Nagi 1999; Peralta et al. 2007).

$$Escape = \frac{MA}{TM} 100[\%] \quad (13)$$

$$Cobertura_{Fallas} = \frac{MR}{TM} 100[\%] \quad (14)$$

$$Cobertura_{Rendimiento} = \frac{BA}{TB} 100[\%] \quad (15)$$

$$Perdida_{Rendimiento} = \frac{BR}{TB} 100[\%] \quad (16)$$

$$BD = \frac{BA + MR}{Total} 100[\%] \quad (17)$$

Usando este *set* de métricas y adoptando una combinación particular de parámetros indirectos a evaluar, es posible caracterizar el método de *test*. Las Figuras 5(a) a 5(e) muestran las curvas de escape, cobertura de fallas, cobertura de rendimiento, pérdida de rendimiento y buenas decisiones suponiendo que se evalúan tres combinaciones de dos atributos de *test* distintas.

Una primera observación de la curva de buenas decisiones (Figura 5a) revela una gran capacidad del *test* para identificar circuitos buenos y malos (los valores son superiores al 93% en los 3 casos). Incluso para bajos niveles de desvío, la respuesta del *test* puede considerarse como satisfactoria desde la perspectiva de esta métrica.

Sin embargo, la evaluación de las otras métricas de *test* definidas anteriormente permiten revelar algunos de sus aspectos que no pueden observarse a partir de solamente la ponderación de la gráfica de Buenas Decisiones. El estudio de las curvas permite decidir cuál es la mejor combinatoria de parámetros para la evaluación del circuito. Para este caso de estudio, la evaluación de T_p y OS% tiene una reducida cobertura de fallas (apenas un 40% con bajos niveles de desvío, o lo que es equivalente, un elevado escape, cercano

al 60%, pudiendo esto ser apreciado en las Figura 5b y 5c respectivamente). Esto incide directamente sobre el porcentaje de buenas decisiones, ocasionando una merma de un 4%-5% respecto a las otras 2 combinatorias

evaluadas. El motivo de esta baja en el rendimiento yace en la dependencia del Q con los parámetros de bajo nivel y la forma en que varían. Más precisamente, el factor de selectividad (Q) depende de relaciones entre pará-

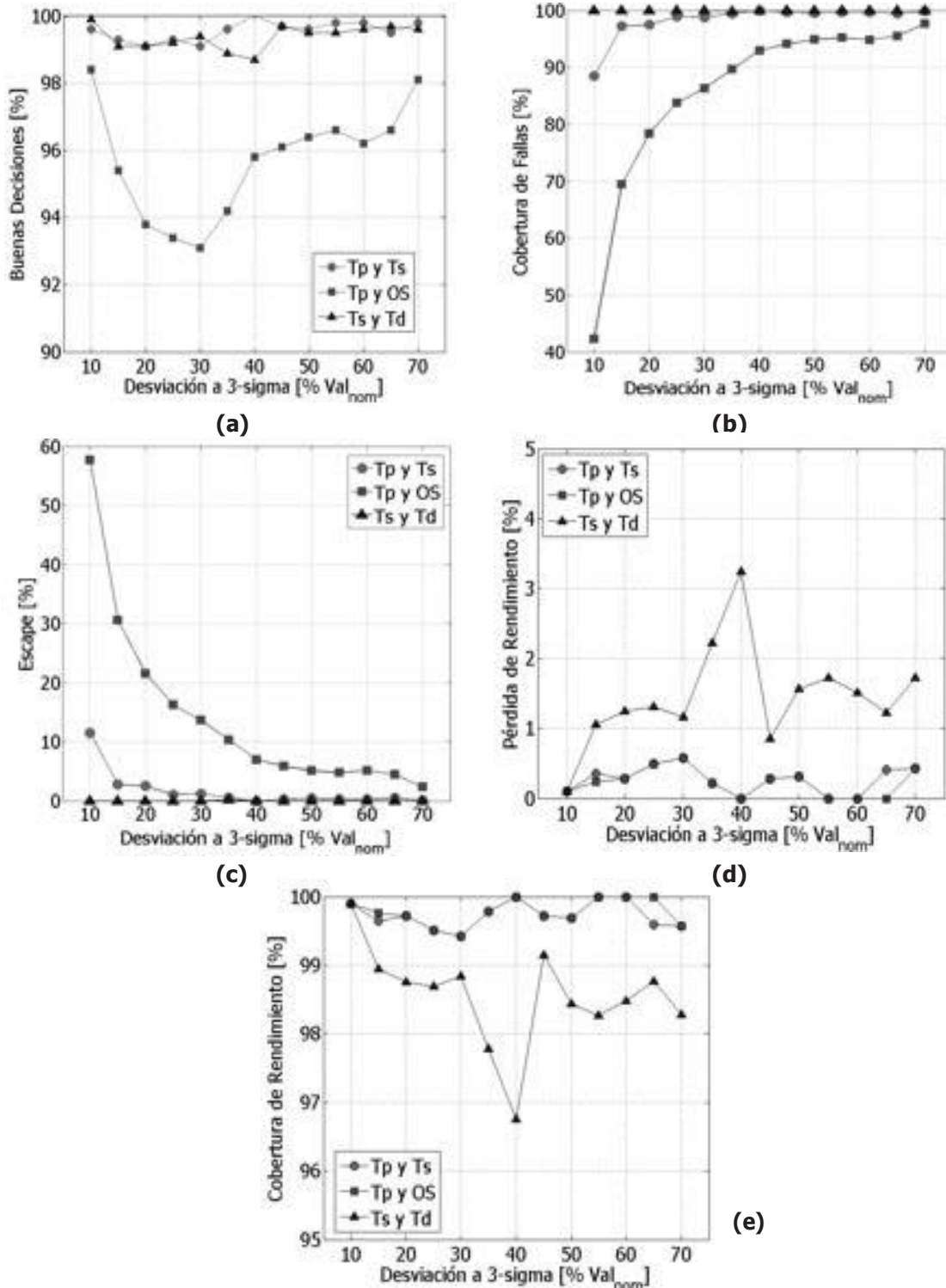


Fig. 5. Métricas del test: (a) Buenas decisiones, (b) Cobertura de fallas, (c) Escape, (d) Pérdida de rendimiento, (e) Cobertura de rendimiento

metros de bajo nivel, lo cual lo hace inmune a las variaciones globales entre un circuito y otro, pero no a las variaciones de *mismatch* entre componentes, las cuales son mucho menores y se mantienen constantes para los 14 pasos de simulación. Se observa desde los resultados que el OS% se encuentra siempre dentro de sus límites, siendo incapaz de detectar un circuito malo. Consecuentemente, solo un parámetro ofrece información relevante desde el punto de vista del *test* (para este caso de estudio particular).

Desde el punto de vista de los errores Tipo I (Buenos Rechazados) y Tipo II (Malos Aceptados), el estudio de las Figuras 5c y 5d respectivamente revela que hay una mayor tendencia a cometer errores del tipo II, es decir, aceptar circuitos. Esto recae fuertemente en cómo han sido establecidos los límites de tolerancia. Si bien el porcentaje de Buenos Aceptados (Figura 5e) es elevado, teniendo un mínimo del 97%, el error tipo II, tiende a reducir la cantidad de Malos Rechazados, y esto ocasiona la merma apreciable en el porcentaje de Buenas Decisiones para el análisis de T_p y OS%.

Una observación importante puede hacerse si se pretende desarrollar un *test* con una alta capacidad de detección de circuitos malos. Desde este punto de vista, la opción T_p - T_s luce como una combinación atractiva. Esta combinación de parámetros de *test* ha demostrado una cobertura de fallas óptima (lo que implica un escape también óptimo) para el rango de variaciones considerado. Esto se logra con una pérdida de rendimiento que consideramos tolerable (apenas superior al 3%).

Conclusiones

En este trabajo la capacidad del método de análisis de la respuesta transitoria fue evaluada mediante la inyección de desviaciones multi-paramétricas en los parámetros de bajo nivel. Esta metodología permite la generación de una población con diferentes proporciones de circuitos buenos y malos. La población es sometida al procedimiento de test para caracterizarlo.

Se ha adoptado como caso de estudio un filtro bicuadrático de variable de estados que ha sido diseñado en tecnología CMOS de 500 nm. Para las evaluaciones se utiliza el modelo a nivel transistor del circuito, lo que permite obtener resultados más cercanos a la realidad que aquellos en los que se considera que los amplificadores operacionales son completamente ideales. El modelado de la variabilidad de los parámetros de bajo nivel contempla las variaciones interoblea e intraoblea, propias de un proceso de fabricación CMOS.

La evaluación realizada permite concluir que, desde el punto de vista de la capacidad para detectar circuitos malos (cobertura de fallas), el monitoreo de los parámetros T_s - T_D en forma conjunta, obtiene un desempeño excelente. Los resultados demuestran una cobertura óptima con un compromiso totalmente tolerable en la pérdida de rendimiento.

A futuro, se planea replicar este análisis en procesos de fabricación más avanzados, y contrastarlos con el aquí realizado, así como también evaluar el comportamiento del test si se considera un mayor número de sus atributos.

Referencias

- CALVANO, J.V. et al. (2001). Fault Models and Test Generation for OpAmp Circuits—The FFM. *Journal of Electronic Testing*, 17(2), pp.121–138.
- CALVANO, J.V., ALVES, V.C. & LUBASZEWSKI, M. (2000). Fault detection methodology and BIST method for 2nd order Butterworth, Chebyshev and Bessel filter approximations. In *Proceedings 18th IEEE VLSI Test Symposium*. IEEE Comput. Soc, pp. 319–324.
- CALVANO, J.V., ALVES, V.C. & LUBASZEWSKI, M. (1999). Fault detection methodology for second order filters using compact test vectors transient analysis. In *Proceedings of the Third International Workshop on Design of Mixed-Mode Integrated Circuits and Applications (Cat. No.99EX303)*. IEEE, pp. 18–24.
- LIU, R. (ed.) (1991). *Testing and Diagnosis of Analog Circuits and Systems*, Boston, MA: Springer US.
- MALOBERTI, F. (2003). *Analog Design for CMOS VLSI Systems*, Boston: Kluwer Academic Publishers.
- MONTGOMERY, D.C. & RUNGER, G.C. (2010). *Applied Statistics and Probability for Engineers*, John Wiley & Sons.
- PAZOS, S.M., AGUIRRE, F.L., MAZUR, T., et al. (2015). Evaluación de la calidad de TRAM en la detección de fallas de fabricación en circuitos integrados analógicos fabricados en tecnología CMOS de 500nm. *UTN Proyecciones*, 13(1), pp.89–100.
- PAZOS, S.M., AGUIRRE, F.L., ROMERO, E.A., et al. (2015). TRAM applied to second-order active filter designed in CMOS technology. In *2015 Argentine School of Micro-Nanoelectronics, Technology and Applications (EAMTA)*. IEEE, pp. 47–52.
- PERALTA, J. et al. (2007a). Capacidad del test basado en análisis de transitorio para detectar fallas paramétricas. *Ingeniare. Revista chilena de ingeniería*, 15(5900), pp.124–131.
- PERALTA, J. et al. (2007b). Evaluation of circuit test strategies using statistical fault models: a case study. *Mecánica Computacional*.
- PERALTA, J. et al. (2009). A New Performance Characterization of Transient Analysis Method. *International Journal of Electrical and Information Engineering*, 3, pp.251–258.
- PERALTA, J. et al. (2011). Quality Assessment of Transient Response Analysis Method for Detecting Radiation-Induced Faults. *International Journal of Quality, Statistics, and Reliability*, 2011, p.8.
- SAAB, K., BEN-HAMIDA, N. & KAMINSKA, B. (2000). Parametric fault simulation and test vector generation. In *Proceedings Design, Automation and Test in Europe Conference and Exhibition 2000 (Cat. No. PR00537)*. IEEE Comput. Soc, pp. 650–656.
- SOMA, M. (1990). A design-for-test methodology for active analog filters. In *Proceedings. International Test Conference 1990*. Washington, DC: IEEE Comput. Soc. Press, pp. 183–192.
- VAN SPAANDONK, J. & KEVENAAR, T.A.M. (1996). Selecting measurements to test the functional behavior of analog circuits. *Journal of Electronic Testing*, 9(1-2), pp.9–18.
- SUNTER, S. & NAGI, N. (1999). Test metrics for analog parametric faults. In *Proceedings 17th IEEE VLSI Test Symposium (Cat. No.PR00146)*. IEEE Comput. Soc, pp. 226–234.
- TUKEY, J.W. (1977). *Exploratory Data Analysis* 18th ed., Addison-Wesley Publishing Company.
- VÁZQUEZ, D., Rueda, A. & Huertas, J.L. (1994). A new strategy for testing analog filters. In *Proceedings of IEEE VLSI Test Symposium*. Cherry Hill, New Jersey: IEEE Comput. Soc. Press, pp. 36–41.
- VINNAKOTA, B. (1998). *Analog and Mixed-Signal Test* 1st Editio., Prentice Hall.