

Desarrollo de un circuito integrado transmisor RFID pasivo

Agustín Grosso¹, Flavio Galimberti¹, Yao Ming Kuo^{1,2}, Fernando Aguirre¹, Sebastián Pazos¹ *

¹ Universidad Tecnológica Nacional, Facultad Regional Buenos Aires, Av. Medrano 951, (C1179AAQ) Ciudad Autónoma de Buenos Aires, Argentina

² Instituto Nacional de Tecnología Industrial, Av. Gral. Paz 5445, (1650) General San Martín, Buenos Aires, Argentina

agrosso@frba.utn.edu.ar

Recibido el 14 de noviembre de 2016, aprobado el 2 de diciembre de 2016

Resumen

En la presente publicación se describe el diseño de un circuito integrado (CI) compuesto por los módulos de rectificación, regulación de tensión y modulación de carga de un transceptor RFID (13,56 MHz), además del diseño del circuito resonante.

Por otra parte, en el presente proyecto la manufactura fue realizada por medio de MOSIS® (THE MOSIS SERVICE, 2016) en un proceso de fabricación STANDAR CMOS de 500 nm, usando tecnología escalable cuyo ancho mínimo de canal es de 600 nm.

PALABRAS CLAVE: CIRCUITOS INTEGRADOS ANALÓGICOS – RFID – MODULADOR – LIMITADOR – RECTIFICADOR - REGULADOR - CMOS

Abstract

This paper describes the design of an integrated circuit (IC) composed of the modules of voltage rectification, regulation and load modulation of an RFID transceiver (13.56 MHz), in addition to the design and testing in the laboratory of the resonant circuit. These modules make

possible supply of energy of integrated circuit and the transmission of information by means of the tuning and the load modulation.

Additionally, in this project, the manufacture was realized by means of MOSIS® (THE MOSIS SERVICE, 2016) in a manufacturing process STANDAR CMOS of 500 nm, using scalable technology whose minimum channel width is of 600 nm.

KEYWORDS: ANALOG INTEGRATED CIRCUITS - RFID - MODULATOR - LIMITER - RECTIFIER - REGULATOR - CMOS

*Son también autores Jorge Rodríguez Mallo y Sebastián Verrastró

Introducción

Debido al creciente desarrollo de productos de RFID en la última década, se comenzó a investigar esta tecnología con el objetivo de llevar a cabo un desarrollo nacional que pueda utilizarse en múltiples aplicaciones. Se describe en la presente publicación el desarrollo de los módulos de rectificación, regulación de tensión y modulador de un transceptor RFID para el proceso de fabricación con el que cuenta el Departamento de Electrónica de la Facultad Regional Buenos Aires.

En la Figura 1 se muestra los bloques principales de un tag (etiqueta) RFID (Lu, 2001).

El rango de frecuencia utilizado en el proyecto es el de 13,553 a 13,567 MHz, el cual está situado en el medio del rango de longitud de onda corta del espectro electromagnético.

Etapas del diseño del CI

El diseño de circuitos integrados se mantiene siempre dentro de cierto número de pasos que no varían con el circuito. Estos pasos pueden detallarse en los ítems que se muestran a continuación (Pazos, Aguirre, 2015).

1. Diseño teórico: definición del comportamiento deseado y elección de la topología del circuito.

2. Descripción del comportamiento: iteración de simulaciones y modificaciones hasta la obtención del comportamiento deseado.

3. *Layout*: realización, en el software especializado (Synopsys Custom Designer® en nuestro desarrollo), del diseño físico en silicio del circuito, a partir de las reglas de diseño de la tecnología.

4. *Design Rules Check (DRC)*, *Layout vs. Schematic (LVS)* y *Parasitic Extraction (PEX)*: análisis correspondientes a la verificación del diseño. En esta etapa se realiza la búsqueda, en el *layout*, de violaciones a las reglas de diseño (DRC). Luego, se verifica que el *layout* y el esquemático diseñados correspondan el uno con el otro (LVS). Al final, se realiza una simulación teniendo en cuenta los componentes parásitos que aparecen en el diseño físico (PEX). Las herramientas utilizadas para esto son *Mentor Graphics®* y *Synopsys®*.

5. Iteración en el diseño: si en el transcurrir de alguno de los pasos no se cumple con el comportamiento estipulado del diseño, se retorna al ítem número 2 y se vuelven a realizar los pasos posteriores hasta encontrar el comportamiento deseado y detallado en el ítem 1.

Diseño de la antena

La aplicación fundamental de las antenas es la transmisión y recepción de información empleando para ello radiación electromagnética.

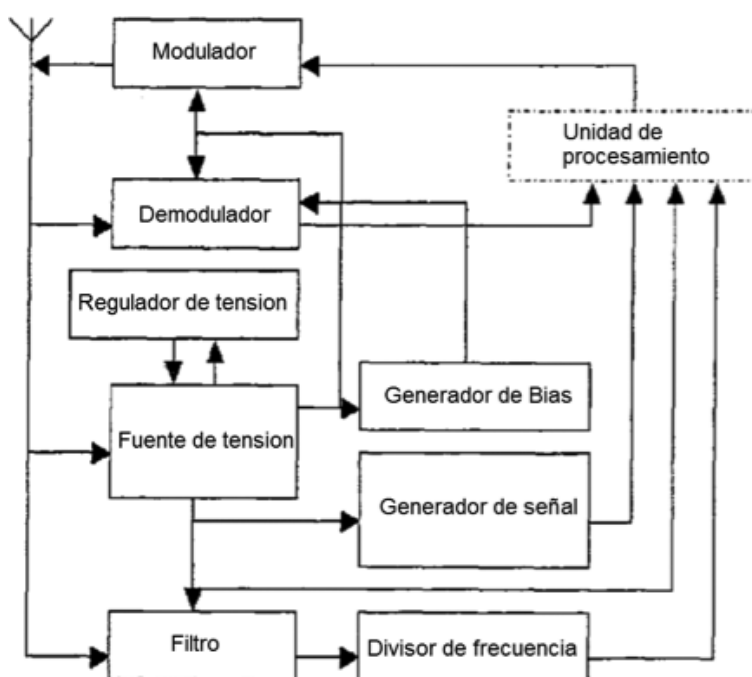


Fig. 1. Módulos de un Tag RFID (Lu, 2001)

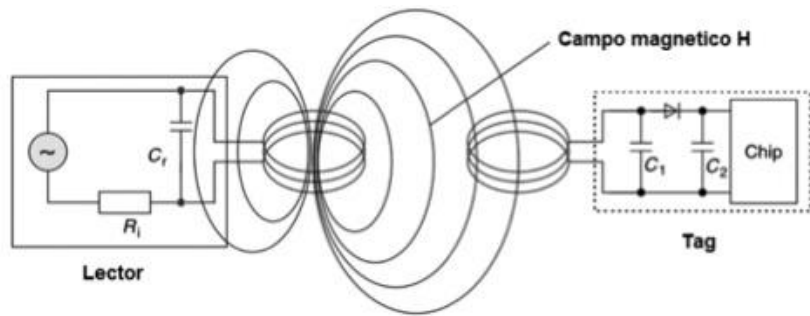


Fig. 2. Transmisión de energía entre el lector y el Tag RFID (Finkenzeller, 1999)

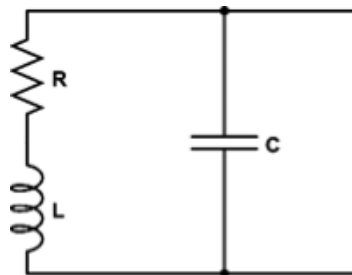


Fig. 3. Circuito equivalente a la entrada del Tag RFID

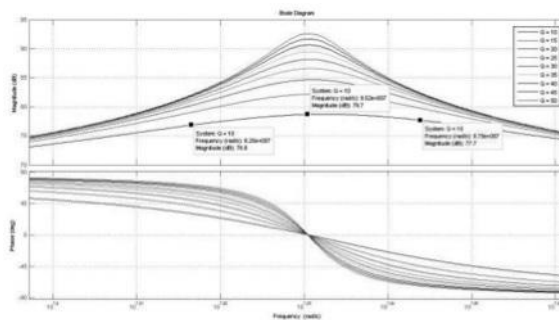


Fig. 4. Respuesta en frecuencia de la antena para distintos valores de Q

Para optimizar el acoplamiento entre el lector y el Tag los sistemas de RFID utilizan antenas tipo solenoide (Finkenzeller, 1999).

El circuito equivalente tiene una impedancia de:

$$Z(S) = \frac{LS+R}{LCS^2+RCS+1} \quad (1)$$

Barriando por el eje $j\omega$ ($S = j\omega$) y haciendo las operaciones correspondientes, se puede hallar la frecuencia de resonancia del circuito. La frecuencia de resonancia se alcanza cuando la parte imaginaria de la impedancia se hace nula, o sea

$$X(j\omega_0) = 0 \quad \omega_0 = \sqrt{\frac{L-R^2C}{L^2C}} \quad (2)$$

Cuando la resistencia R del inductor es mucho más chica que la inductancia, la frecuencia angular de resonancia se conoce como frecuencia natural:

$$\omega_0 = \sqrt{\frac{1}{LC}} \quad (3)$$

Para el diseño de una antena RFID, es necesario considerar el Q del inductor, ya que lo que interesa es qué tan selectiva es la antena. Por definición $Q = \omega L/R$, siendo ω la frecuencia angular, L la inductancia y R la resistencia de la antena.

Fijando los valores de R, L y C para que $f_0 = 13,56$ MHz, se graficó la respuesta en frecuencia del tanque LC para distintos valores de Q.

Respetando la norma ISO 15693, la frecuencia de modulación para ASK es de 423 kHz. Produciéndose en el espectro bandas laterales respecto de la frecuencia central.

En la figura anterior se observa que, con un Q de 10, la respuesta cae aproximadamente 1 dB. Si se aumenta el Q, se atenúan las bandas laterales, empeorando la modulación ASK. Según (*Microelectronic Integrated Systems*, 2004), el factor de calidad debe ser:

$$Q \leq \frac{f_c}{2B} \quad (4)$$

Siendo f_c la frecuencia central (en este caso 13,56 MHz), y B el ancho de banda. El Q óptimo para la norma ISO 15693 es $9 \leq Q \leq 16$. Otro parámetro a tener en cuenta es la tensión inducida sobre el inductor, ya que éste funciona como fuente de alimentación del Tag RFID. La tensión inducida por el inductor, es directamente proporcional al número de vueltas N, el campo magnético B, el área del inductor S, y el coseno del ángulo comprendido entre el emisor y el receptor.

Un inductor real tiene asociado una resistencia parásita, que, en su mayor parte, está constituido en la resistencia del material:

$$R_{DC} = \rho \frac{l}{S} \quad (5)$$

Siendo ρ la resistividad del material, l la longitud y S la sección.

A altas frecuencias, la densidad de corriente es más alta en la superficie del conductor, y más baja en el centro. Este efecto se llama profundidad de penetración δ . La resistencia

se puede aproximar sabiendo el radio del conductor y la profundidad de penetración. La profundidad de penetración (Lee, 2003) es:

$$\delta = \frac{1}{\sqrt{\pi f \mu \sigma}} \quad (6)$$

Siendo f la frecuencia, μ la permeabilidad del material y σ la conductividad. Para un alambre de cobre trabajando a una frecuencia de 13,56MHz, la profundidad de penetración δ es 0,018 mm. La resistencia en alterna (Lee, 2003) es, entonces:

$$R_{ac} = R_{DC} \frac{a}{2\delta} \quad (7)$$

Siendo R_{DC} la resistencia en continua, y "a" el radio del conductor. Para una frecuencia de trabajo de 13,56 MHz, la resistencia R_{ac} es aproximadamente 0,75 Ω .

$$R_{ac}(f = 13,56MHz) = 0,18 \frac{0,15}{2 * 0,018} \Omega = 0,75 \Omega \quad (8)$$

El circuito equivalente aproximado del conjunto se puede representar mediante un circuito RLC, siendo R la resistencia de la antena, L la inductancia de la misma y C la capacitancia de entrada del Tag RFID.

Hay varias topologías (Lee, 2003) de construcción de inductores que se pueden adoptar. La antena puede tener forma de solenoide, de espiral o forma rectangular, y puede estar sobre un PCB o enrollado sobre algún material sólido.

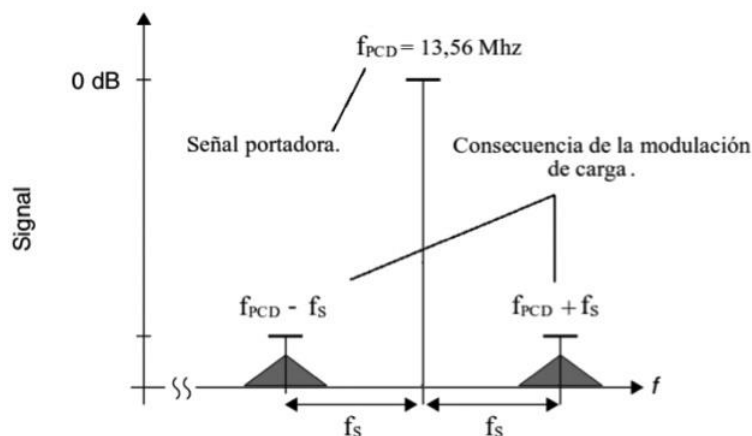


Fig. 5. Modulación de carga

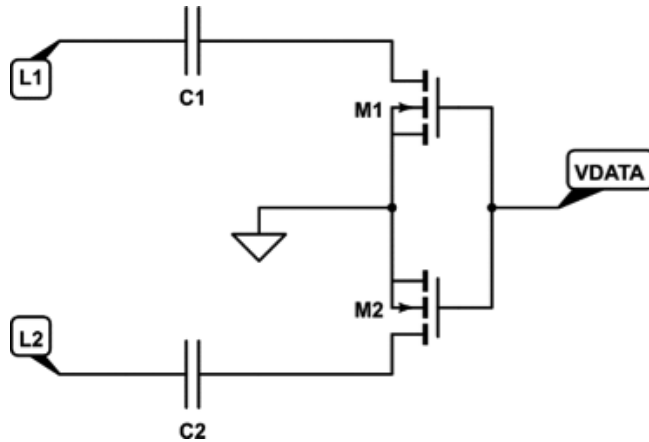


Fig. 6. Modulador capacitivo

Diseño del modulador de carga

La comunicación desde la PICC (*Proximity Integrated Contactless Chip Card*) hacia el PCD (*Proximity Card Device*) se lleva a cabo mediante variaciones en la carga del primer dispositivo, lo que genera, a su vez, variaciones de tensión en el segundo. Esta forma de comunicación es conocida como modulación de carga. Las variaciones de tensión dependen, principalmente, del nivel de acoplamiento existente entre ambos dispositivos, de la topología del modulador escogida y de los valores de componentes usados en la topología elegida.

A través de la modulación de carga, se generan bandas laterales de modulación en el espectro (Figura 5). Si se generan variaciones con una frecuencia alta f_s , se crean dos líneas espectrales a una distancia $\pm f_s$ alrededor de la frecuencia de transmisión del PCD.

Las variaciones de tensión que se observan en el PCD son características propias de la modulación por desplazamiento de amplitud (ASK – *Amplitude Shift Keying*) que se genera a través de las variaciones de la carga en el PICC. La ASK se caracteriza por desarrollarse a través de la variación de la señal portadora entre dos valores de amplitud, es decir, entre dos estados, a una frecuencia f_s . La modulación ASK tiene características similares a la muy conocida modulación AM (modulación de amplitud). Como esta última, la ASK es lineal, sencilla de implementar y la reconstrucción de los datos enviados es relativamente simple.

Los moduladores constan de dos transistores NMOS que se abren y se cierran dependiendo del valor de tensión que se aplica en la compuerta de estos. Como se mencionó anteriormente, la modulación en amplitud maneja dos estados de tensión, entonces, los transistores estarán al corte o conduciendo, provocando una conmutación de carga en paralelo al circuito resonante.

Analizando las distintas formas de realizar la modulación de carga, se tomó como primer circuito a analizar una topología de modulación capacitiva presentada en la Figura 6. El funcionamiento de este módulo consta del agregado (en uno de los estados de Vdata) de capacitores en paralelo al circuito resonante del PICC, mientras que, en el otro nivel lógico, el circuito resonante no se ve afectado. Esta variabilidad de capacidad provoca una mínima desintonía entre los dispositivos, lo cual influye en la transferencia de energía entre estos y se observa como una variación en la tensión observada en la antena del PCD.

Se realizó, inicialmente, el análisis del comportamiento del modulador con el equivalente en pequeña señal de los transistores debido a que se manejó la posibilidad de que las capacidades parásitas de estos afecten al circuito modulador. Finalmente, se corroboró que estas capacidades no afectan el funcionamiento del módulo y se realizaron simulaciones para obtener los valores correctos de C1 y C2 para realizar una modulación con el mayor índice de modulación posible. En las simulaciones se tuvieron en cuenta los valores posibles de integración para la tecnología. Vale aclarar que,



Fig. 7. Transferencia de tensión en el circuito resonante del PCD con capacitores en paralelo al circuito resonante del PICC y sin estos

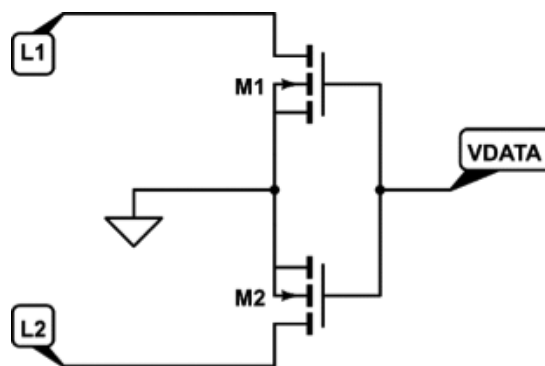


Fig. 8. Modulador de carga solo utilizando transistores

a la hora de la integración, los capacitores ocupan mucha área de silicio por lo que esto acota los valores de capacidad con los cuales disponemos para realizar el módulo a valores menores o alrededor a la decena de pico faradios. Con los valores de capacidad posibles ya detectados, se hicieron análisis en frecuencia para poder observar la “desintonía” que genera esta topología para lograr la modulación (Figura 7).

Buscando un mayor índice de modulación (en este aspecto el modulador capacitivo es débil) se analizó una topología de modulación óhmica, en la cual se utiliza la resistencia de salida propia de los NMOS (Figura 8). Ésta, al ser una impedancia baja, cuando se encuentra en paralelo al circuito resonante y a la carga que conforman los demás módulos que se encuentran conectados a este circuito, la impedancia del conjunto baja considerablemente. Si varia-

mos la puesta en paralelo de la impedancia de salida de los NMOS a la frecuencia f_s , obtenemos una modulación de carga.

A través de la simulación de la topología de la Figura 8, se observó lo buscado, un índice de modulación considerablemente mayor al obtenido anteriormente. En el análisis enfocado hacia los transistores y su comportamiento durante la modulación, se detectaron picos de corriente (Figura 9), en el *drain* (drenaje) de cada uno de los transistores, que podrían afectar a estos dispositivos luego de un uso considerable de estos. Estos picos se generan debido a que, en las simulaciones, los tiempos de *rise* (subida) y *fall* (bajada) de la señal *Vdata* son de valores muy pequeños. Si bien en el uso empírico de los dispositivos estos valores suelen ser mayores, lo que provocaría disminución en los picos nombrados, se procedió a buscar un margen de seguridad en el

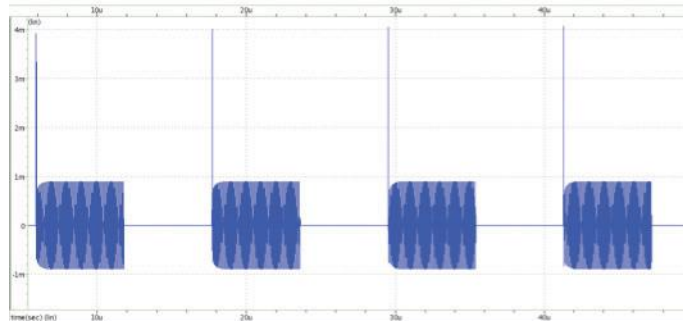


Fig. 9. Corriente en el drenaje del NMOS M2 en la topología sin capacitores ni resistores

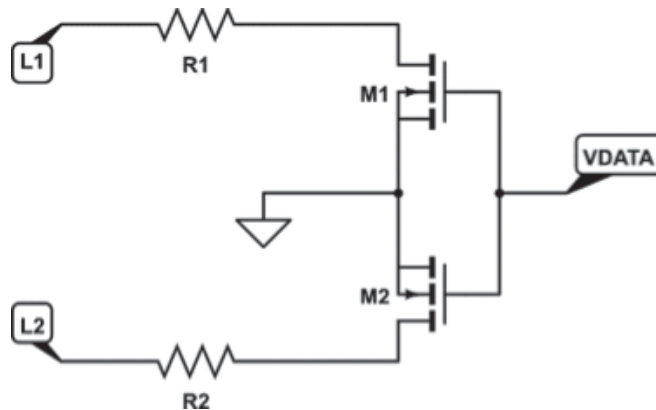


Fig. 10. Modulador de carga óhmico con resistores

circuito. Buscando la protección de los transistores ante picos de corrientes inesperados se modificó la topología de la Figura 8 mediante el uso de dos resistores que protejan los drenajes de los NMOS pero que, a su vez, no disminuyan considerablemente la modulación obtenida con la topología anterior. El nuevo circuito quedó conformado como se muestra en la Figura 10.

Para encontrar el valor de capacidades en la topología de la Figura 6 se habían tenido en cuenta ciertos parámetros deseados. Con los resistores se trabajó de forma similar, pero enfocando el diseño en otros parámetros. Se buscaron valores de resistencias que realicen una protección correcta de los transistores y que, a su vez, no afecten de forma considerable al índice de modulación logrado con la topología de la Figura 8.

Luego de verificar que los picos de corrientes en los drenajes de los NMOS eran considerablemente menores a los vistos en la topología anterior y que la modulación generada en el circuito resonante del PCD mantenía un buen

índice de modulación, se continuó con los análisis a esta topología.

Uno de los problemas que pueden surgir en los circuitos electrónicos son los comportamientos indeseados debido a variaciones e incertidumbres en los componentes que componen los circuitos. Para asegurarse que, ante estas variaciones, el circuito seguirá funcionando como se desea, es que se realizan las simulaciones con el método de Montecarlo. Este método consiste en realizar un análisis estadístico numérico analizando el comportamiento del circuito ante variaciones probabilísticas en sus componentes. Realizando estas simulaciones para variaciones de los valores nominales de los resistores R1 y R2 nos aseguramos que el circuito mantenga su correcto funcionamiento en el caso de alteraciones en estos.

Para aumentar nuestro margen de funcionalidad, el circuito se sometió a simulaciones mediante *corners* (extremos del proceso) que contienen las posibles variaciones en las características de los transistores provocadas por el proceso de fabricación del CI.

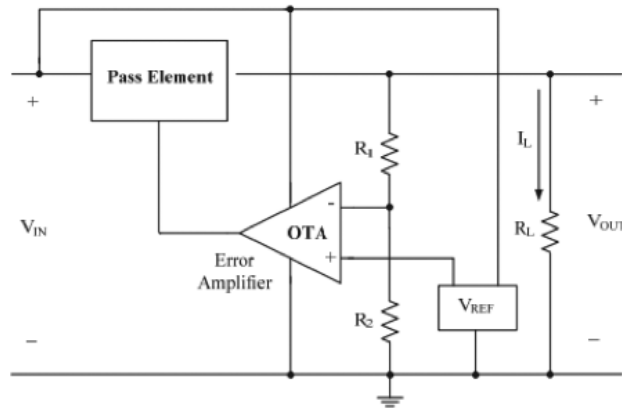


Fig. 11. Esquema de un regulador LDO (Ferreira, 2002)

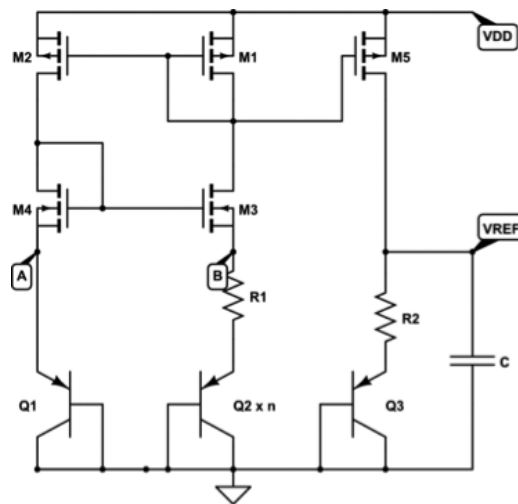


Fig. 12. Multiplicador VT (Maloberti, 2001)

En el caso de que se encuentren posibilidades de no funcionamiento de la topología, se vuelve al diseño de ésta para, luego, repetir los pasos de simulación y comprobación de fallas detallados anteriormente.

Diseño del regulador de tensión LDO

Un regulador LDO es un regulador lineal de tensión continua, que es capaz de entregar una tensión de salida muy cercana a la tensión de alimentación.

El esquema básico de los reguladores LDO (Low Drop-Out) para aplicaciones RFID (Ferreira, 2002) se muestra en la Figura 11.

El regulador consiste en una fuente de tensión de referencia (*Bandgap*, multiplicador VT, multiplicador VBE, etc.), un amplificador diferencial

que sirve como lazo de realimentación y un elemento de paso que generalmente es un NMOS o un PMOS. Es importante que se elija la topología adecuada de la fuente de referencia, ya que es la base de cualquier regulador de tensión.

El multiplicador VT (Maloberti, 2001), como su nombre lo indica, es principalmente un multiplicador de la tensión VT (kT/q):

Los transistores M1, M2, M3, M4 y M5 actúan como fuentes de corriente espejo, y fuerzan la corriente de polarización. A partir de la Figura 12 se puede ver que:

$$V_A = V_{BE1} = V_T * \ln\left(\frac{I}{I_S}\right) \quad (9)$$

$$V_B = V_{BE2} + V_R = V_T * \ln\left(\frac{I}{n * I_S}\right) + I * R \quad (10)$$

El punto A y el punto B están al mismo potencial, usando las Ecuaciones 9 y 10 se obtiene:

$$I = \frac{1}{R} * V_T * \ln(n) \quad (11)$$

Para determinar el coeficiente térmico se deriva la expresión 12 con respecto a la temperatura. Como K (constante de Boltzmann) y n (cantidad de transistores pnp en paralelo) son constantes, el coeficiente térmico de la fuente de referencia es directamente la derivada de V_T respecto a la temperatura.

$$V_{ref} = I * KR = K * V_T * \ln(n) \quad (12)$$

$$\frac{\delta V_{ref}}{\delta T} = K * \ln(n) * \frac{\delta V_T}{\delta T} = 0,0862 \frac{mV}{^\circ C} \quad (13)$$

Otra topología es el multiplicador de V_{BE} (Maloberti, 2001), como su nombre lo indica, multiplica la tensión base-emisor del transistor bipolar.

Siguiendo el mismo análisis (Maloberti, 2001) se puede llegar al coeficiente térmico para esta topología (Ecuación 18):

$$\frac{\delta V_{ref}}{\delta T} = \frac{K * \delta V_{BE1}}{\delta T} = -2.2 \frac{mV}{^\circ C} \quad (14)$$

La fuente de referencia bandgap (Maloberti, 2001) es una mezcla del multiplicador de V_T con el multiplicador de V_{BE} . Como uno tiene coeficiente térmico positivo y el otro negativo, esta fuente trata de compensar para tener deriva térmica nula.

Como se puede ver en la Figura 14, la fuente de referencia bandgap es la suma de multiplicador V_T con el multiplicador V_{BE} amplificado:

$$V_{BG} = V_{BE} + m * V_T \quad (15)$$

$$\frac{\delta V_{BG}}{\delta T} = \frac{\delta V_{BE}}{\delta T} + \frac{m * \delta V_T}{\delta T} \quad (16)$$

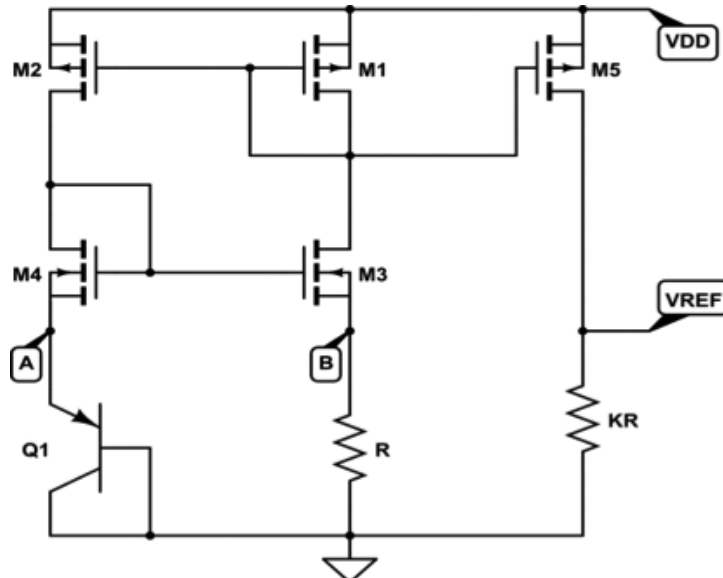


Fig. 13. Multiplicador V_{BE} (Maloberti, 2001)

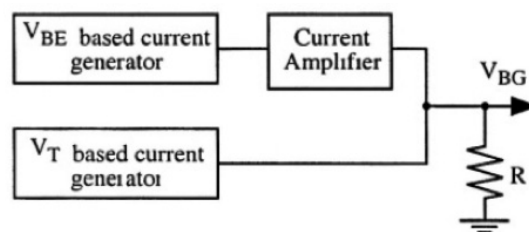


Fig. 14. Fuente de referencia *bandgap* (Maloberti, 2001)

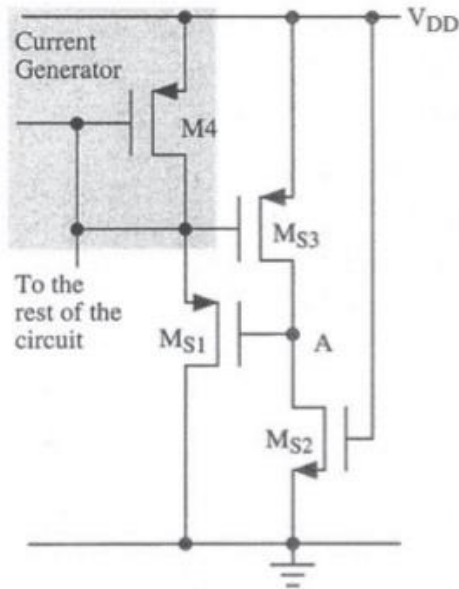


Fig. 15. Circuito *start-up* (Maloberti, 2001)

Para que se anule el coeficiente térmico del bandgap, se tiene que igualar a cero la Ecuación 20, y determinar el valor de m (ganancia del amplificador).

Otro factor a tener en cuenta es el diseño de la fuente de corriente para la polarización de los transistores. Las fuentes de corriente tienen dos puntos de operación (Baker, 2005). Se necesita un circuito *start-up* (Maloberti, 2001) para activar la fuente de corriente. El circuito se muestra en la Figura 15.

Diseño del rectificador de RF

Esta etapa se convierte parte de la señal de RF proveniente del lector en tensión DC. El desafío es convertir la energía de la señal de RF en un nivel de tensión continua con la mayor eficiencia posible, siempre en este aspecto apuntando a la relación entre la potencia entregada y la obtenida en la salida.

Los rectificadores se diseñaron empleando, en lugar de diodos, transistores NMOS y PMOS (cortocircuitando *gate* con *drain* como se observa en la figura 17). Se tomó dicha decisión debido a que la tecnología utilizada no contempla diodos.

La señal de salida se ve disminuida con respecto

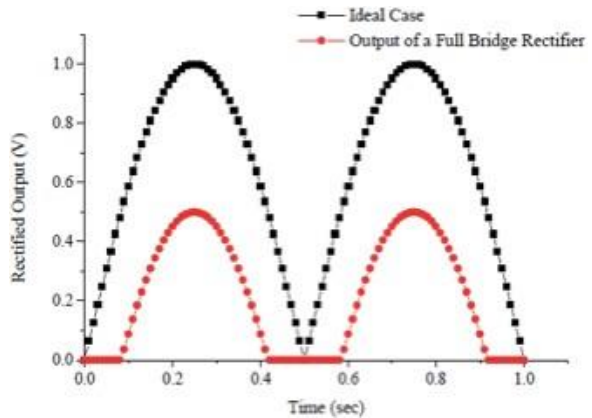


Fig. 16. Diferencia entre onda de salida de un rectificador real e ideal

a la de entrada (Figura 16), debido a la caída de potencial en los semiconductores.

El CMOS se encuentra en saturación una vez que la tensión entre el drenaje-source sea superior a la diferencia entre la tensión entre *gate-source* con respecto a la tensión de *threshold* (Ecuación 17), y a su vez la tensión de *gate-source* será superior a la V_{th} (Ecuación 18), cuando estas dos condiciones se cumplen el funcionamiento de este será similar al del diodo cuando éste supera la barrera de los 0,6 V.

$$V_{gs} > V_{th} \tag{17}$$

$$V_{ds} \geq V_{gs} - V_{th} \tag{18}$$

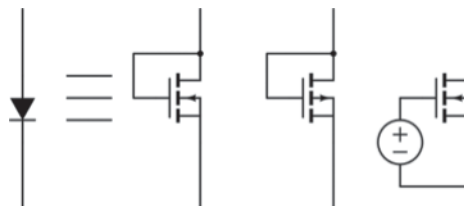


Fig. 17. CMOS empleado en configuración diodo

Existen varias formas de implementar el mismo módulo, lo que se realizó en este trabajo fue observar 5 topologías de rectificación diferentes junto con sus simulaciones correspondientes de las cuales se comparó el nivel de tensión de salida en relación a la entrada, junto a la eficiencia energética en la carga y en tercer aspecto el menor *ripple* posible.

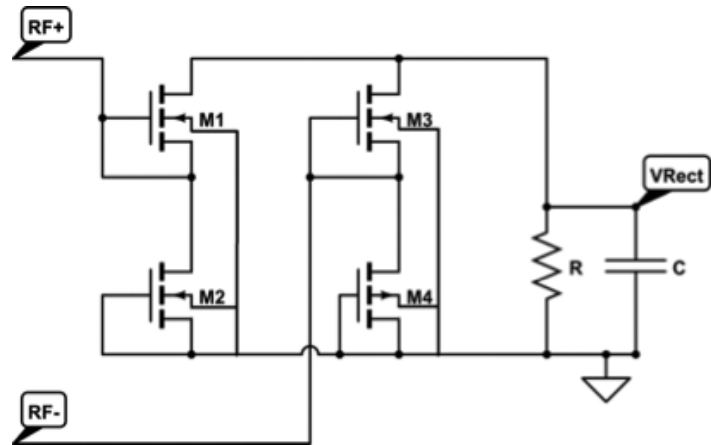


Fig. 18. Estructura Puente Rectificador Onda Completa con NMOS (Zheng, 2004))

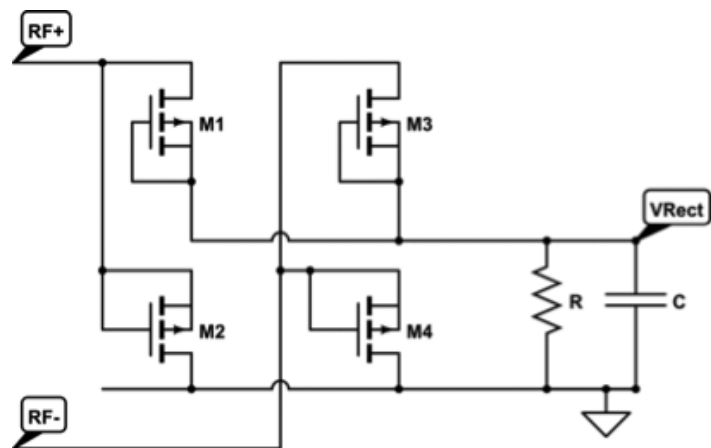


Fig. 19. Estructura Puente Rectificador Onda Completa con PMOS (Zheng, 2004)

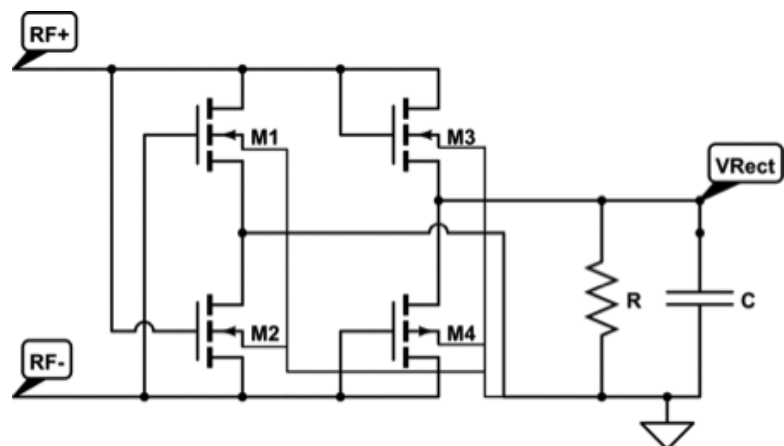


Fig. 20. Estructura Puente Rectificado con conexión de compuerta cruzada con NMOS (Zheng, 2004)

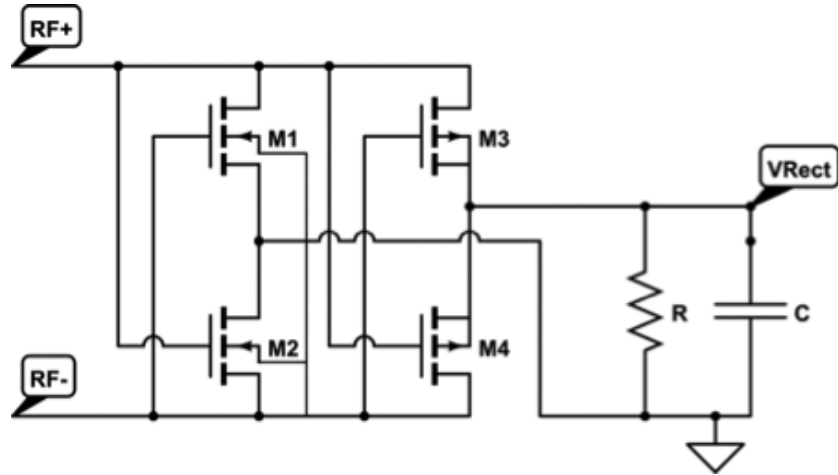


Fig. 21. Estructura Puente Rectificado con conexión de compuerta cruzada con NMOS y PMOS (Zheng, 2004)

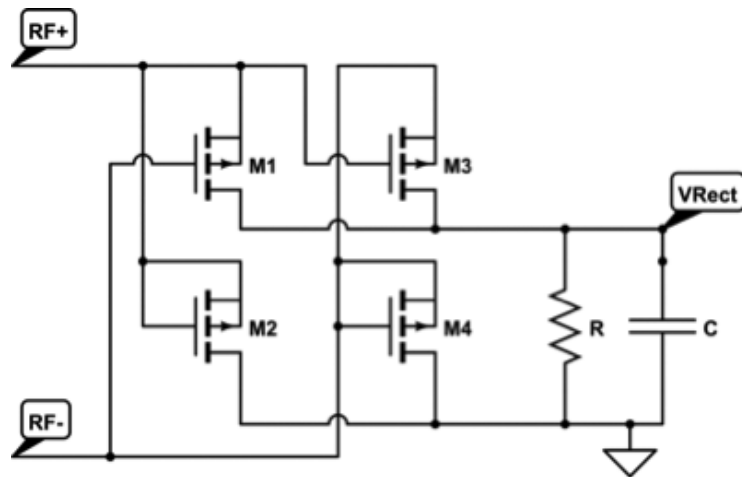


Fig. 22. Estructura Puente Rectificado con conexión de compuerta cruzada con PMOS (Zheng, 2004)

Los circuitos de las figuras 18 y 19 presentan una configuración circuital igual a la de un puente de diodos en una fuente discreta.

Para los circuitos de las Figuras 20, 21 y 22 se conectaron las compuertas de los transistores cruzadas, lo cual produce que en vez de operar como diodos se comporten como llaves (región triódica de operación), lo que permite disminuir el nivel de señal de entrada para el cual los transistores comienzan a funcionar. Este valor mínimo se corresponde para los NMOS y los PMOS con la siguiente expresión:

$$V_{min} = \frac{V_M}{\sqrt{2}} - V_{th} \quad (19)$$

Siendo V_M el valor pico de la señal sinusoidal de entrada, y V_{th} el valor de la tensión de *threshold*.

En la Figura 23 se puede observar que las topologías de las Figuras 19 y 21 ambas presentan un nivel de salida mayor frente al mismo valor de tensión de entrada lo que indica que tienen una mayor eficiencia en el aspecto tensión de entrada vs tensión de salida.

En cambio, en la Figura 24 se observa que las topologías anteriormente nombradas fueron las que mayor nivel de *ripple* presentaron a la salida, mientras que la topología de las Figuras 18 y 20 fueron las que menos tuvieron, estas últimas

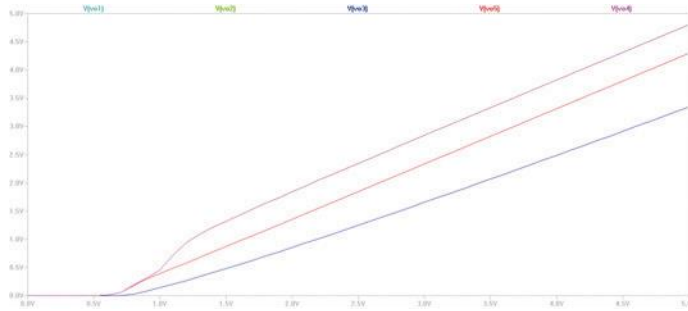


Fig. 23. Comparación con carga entre la tensión salida vs la tensión de entrada.
La carga empleada en la simulación fue la misma para cada una de las topologías (RL=45k y C=50pF), y las dimensiones para todos los transistores de W=20um y L=1um

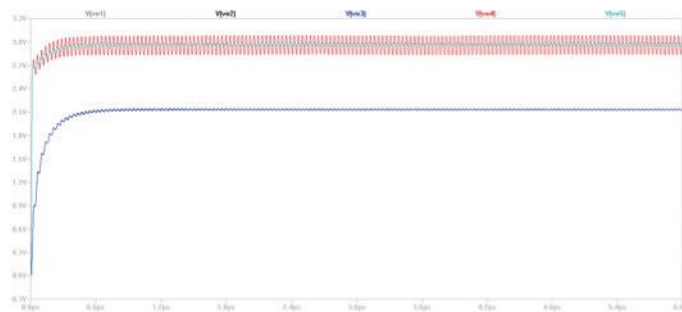


Fig. 24. Respuesta transitoria topologías. *La carga empleada en la simulación fue la misma para cada una de las topologías (RL=45k y C=50pF), un mismo nivel de tensión de entrada de 4vpp y las dimensiones para todos los transistores de W=20um y L=1um*

Tabla 1. Comparativa de topologías de rectificación

Vo	Topología	Vavg(V)	Pavg(uW)
Vo1	Puente Rectificador NMOS	1,73V	67uW
Vo2	Puente Rectificado gate cruzado con NMOS y PMOS	2.95V	195uW
Vo3	Puente Rectificador gate cruzado con NMOS	2.2V	104uW
Vo4	Puente Rectificador PMOS	2,65V	156uW
Vo5	Puente Rectificador gate cruzado con PMOS	2,92V	190uW

con la desventaja de no tener la misma eficiencia con respecto a la tensión.

Se evaluó las simulaciones anteriores, junto con los valores de potencia obtenidos en la carga y se concluyó que la etapa más adecuada para implementar es la del puente rectificador con gate cruzado empleando NMOS Y PMOS.

Diseño del limitador

El propósito de esta etapa es limitar el nivel de tensión acoplado desde el lector, para prevenir daños en las compuertas de los transistores del chip RF.

Existen varias implementaciones posibles para

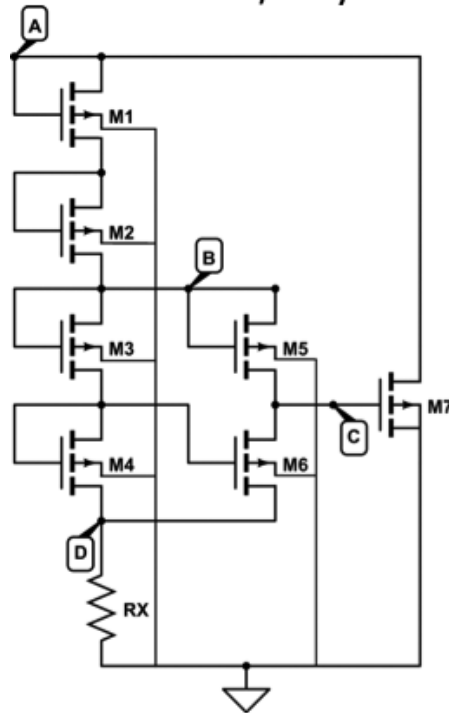


Fig. 25. Diagrama esquemático del circuito de protección (Finkenzeller, 1999)

el diseño de esta etapa (Finkenzeller, 1999), en este caso particular se empleó un regulador shunt (Finkenzeller, 1999) como se observa en la Figura 26.

Este circuito está conformado por un elemento de paso el cual se encarga de consumir corriente, provocando un descenso en la tensión a la entrada, lo cual permite gracias al conjunto de transistores M1-M6 cuya función es sensar el nivel de tensión en el Nodo A y cuando se supere cierto valor activar al transistor M7.

La tensión en el nodo C se obtiene de la diferencia entre la tensión en el nodo A y las caídas de tensión entre gate y source de los transistores M1, M2 y M5.

$$V(C) = V(A) - V_{gs1} - V_{gs2} - V_{gs5} \quad (20)$$

Un mismo análisis se realizó para determinar la tensión el nodo D (ec. 21).

$$V(D) = I(M1) * R_x = V(A) - 4 * V_{gs1} \quad (21)$$

$$I(M1) = \frac{1}{2} B_{M1} (V_{gs1} - V_{th})^2 \quad (22)$$

Despejando V_{gs} de las dos expresiones 21 y 22 se llega a la siguiente ecuación

$$V_{gs1} = V_{th} - \frac{c}{k} + \frac{1}{k} * \sqrt{k(V(A) - 4V_{th}) + 4} \quad (23)$$

Siendo

$$K = \frac{1}{2} * B_{M1} * R_x \quad (24)$$

$$B_{M1} = \frac{\mu n * C_{ox} * W}{L} \quad (25)$$

* μn : movilidad de los electrones en el nmos, C_{ox} : capacidad del óxido, W : ancho del transistor y L : largo del canal*

Si reemplazamos la ecuación (23) en la ecuación característica de un transistor MOS obtenemos la expresión de la corriente que circulará por M7.

$$I(M7) = \frac{1}{2} B_{M3} * [V(A) - 4V_{th} - \frac{3}{k} \sqrt{k(V(A) - 4V_{th}) + 4} + \frac{6}{k}]^2 \quad (26)$$

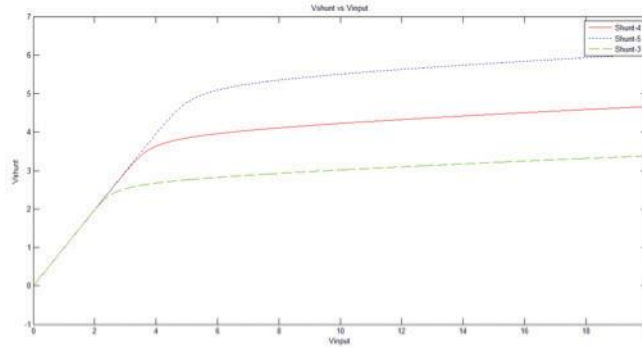


Fig.26. Tensión de salida del *shunt* vs tensión DC a la entrada

El valor de R_x cumple la función de atenuar la variación de V_{gs1} causada por $V(A)$, si no estuviese V_{gs1} representaría $\frac{1}{4}$ del voltaje de $V(A)$ causando que $V(C)$ responda frente a cambios en A en razón de $\frac{1}{4}$ de su valor de tensión. Esto se observa en la siguiente expresión:

$$I(M7) = \frac{1}{2} B_{M3} * \left[\frac{1}{4} V(A) - V_{th} \right]^2 \quad (27)$$

De las ecuaciones 26, y 27 se obtuvieron los parámetros de los transistores según el rango dinámico de la entrada de RF, como también el máximo nivel tolerable de tensión de salida el cual es función del número de transistores NMOS entre los nodos A y D.

Si el número disminuye, el nivel de tensión a partir del cual se activa el *shunt* (resistor) resulta inferior. Replanteando las ecuaciones considerando la cantidad de NMOS como incógnita se llegó a las dos expresiones siguientes:

$$V(D) = I(M1) * R_x = \frac{1}{2} B_{M2} * \left[V(A) - X * V_{th} \right]^2 \quad (28)$$

$$I(M7) = \frac{1}{2} B_{M3} * \left[\frac{1}{4} V(A) - V_{th} \right]^2 = \frac{1}{2} B_{M2} * \left[V(A) - X * V_{th} \right]^2$$

$$\frac{3}{k} \sqrt{k(V(A) - X * V_{th}) + X + \frac{6}{k}} \quad (29)$$

Se puede observar que con 3-NMOS el nivel

de tensión para el cual comienza a funcionar el shunt es inferior al de 4-NMOS ya que, V_{gs1} , si no tomamos en cuenta la resistencia, es aproximadamente $\frac{1}{3}$ de la tensión en A. Se puede concluir lo mismo con respecto a los 5-NMOS ($\frac{1}{5}$ de $V(A)$), esto puede observarse en la Figura 27.

Resultados

A. Antena

Se desarrolló una antena (Lee, 2003) en base a la tensión inducida en el inductor, su inductancia y factor de calidad Q. Las características del inductor son:



Fig. 27. Antena desarrollada

- Alambre de cobre de 0,3 mm de diámetro
- Número de espiras $N = 5$
- 0,05 m de diámetro interior

Se midió con un medidor RLC (Tonghui TH2826A). Luego se contrastaron los valores con un Qmetro analógico.

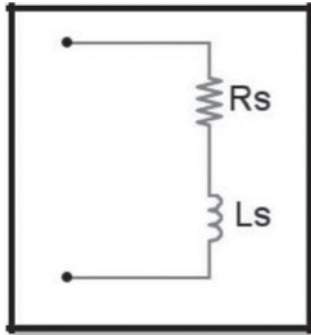


Fig. 28. Circuito equivalente de un inductor real

Tabla 2. Información extraída del Qmetro analógico

Frecuencia [Hz]	Ls	Rs	Q
1000	2,9039E-06	0,2648	0,06890291
2000	3,3124E-06	0,278	0,14972785
100000	3,2564E-06	0,2776	7,37061094
200000	3,2404E-06	0,3012	13,5193621
500000	3,2262E-06	0,374	27,0998486
800000	3,1978E-06	0,4432	36,2680427
1000000	3,1899E-06	0,4705	42,598928
2000000	3,0715E-06	0,7688	50,2041871

Y para el Qmetro analógico:
 $Q (f = 10\text{MHz}) = 45$

Para la frecuencia de interés ($f = 13,56 \text{ MHz}$):
 $Q = 67,90528 \pm 3,152254$ con un intervalo de confianza del 95%.

Luego se debe sintonizar a la frecuencia de trabajo con los valores medidos de inductancia y capacitancia de entrada.

Para lograr un Q de trabajo de aproximadamente igual a 10, debo poner una carga en paralelo, teniendo también en cuenta la impedancia de entrada del chip. El Q de trabajo está dado por la siguiente ecuación.

$$Q_C = \frac{1}{Q_0} + \frac{R_P}{\omega * L_P} \quad (30)$$

Siendo Q_0 el factor de calidad del inductor, R_P la resistencia total en paralelo, ω la frecuencia angular y L_P la inductancia.

B. Modulador de carga.

Se realizó el diseño del modulador mediante una topología de modulación óhmica (Figura 30). La topología consta de dos transistores NMOS y dos resistencias que son las que se colocan en paralelo al circuito resonante para realizar la modulación (Figura 31) y, a su vez, protegen los drenajes de los NMOS de los picos de corrientes que pueden suceder al cambiar abruptamente de estado (de valor de tensión V_{data}).

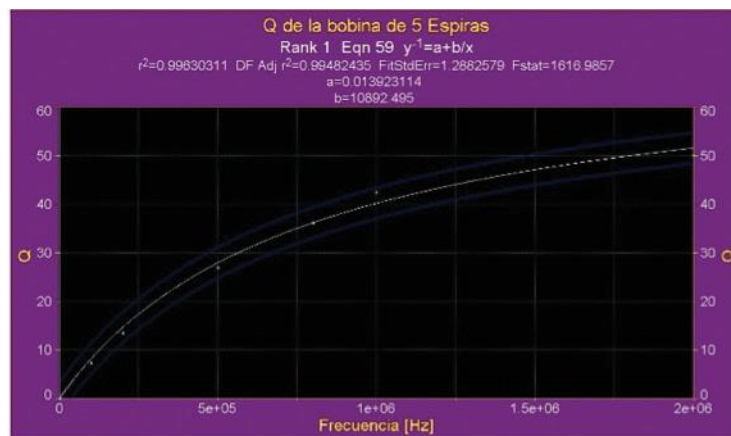


Fig. 29. Información extraída del RLC

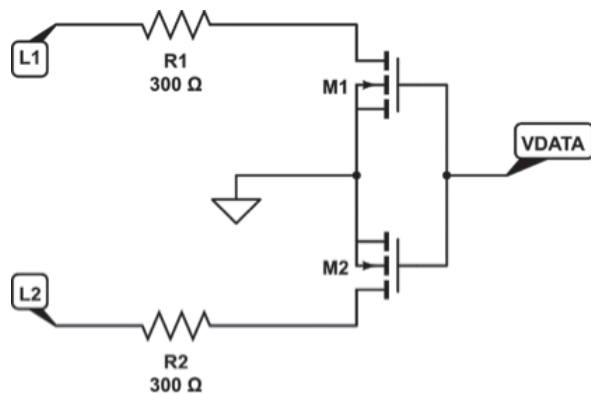


Fig. 30. Modulador de carga

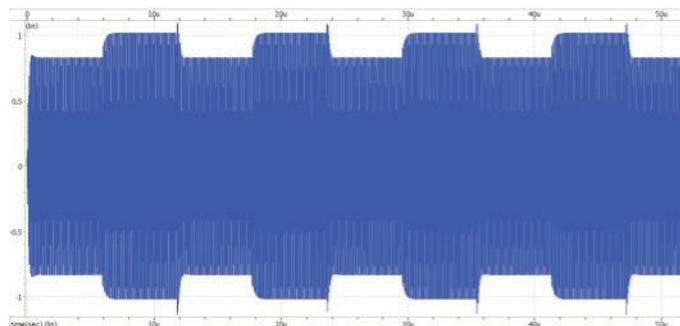


Fig. 31. Modulación en el circuito resonante del PCD

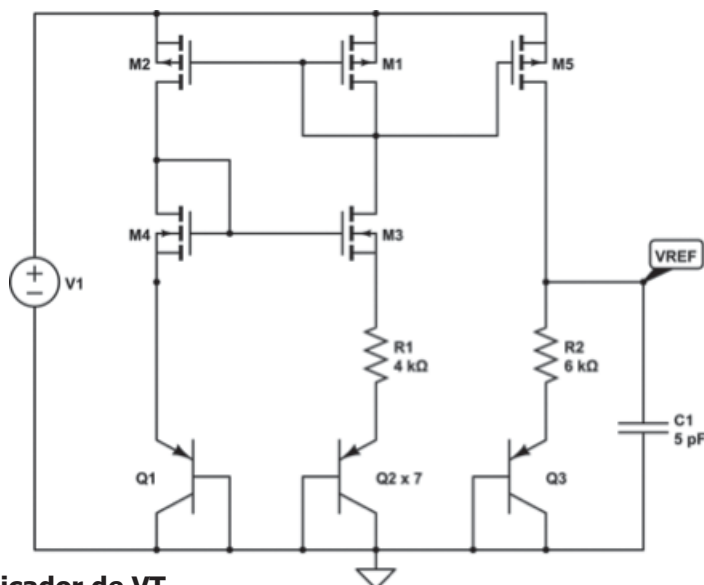


Fig. 32. Multiplicador de VT

C. Regulador de tensión LDO

Se eligió la topología multiplicador de VT por su simplicidad y por poseer menor coeficiente térmico en comparación con el multiplicador VBE. No se eligió la *bandgap* debido a la complejidad del circuito (más área de silicio

y amplificadores operacionales incluidos en la topología), y para esta aplicación no es necesario que la deriva térmica sea nula.

Todos los transistores del regulador se polarizaron con fuentes de corriente espejo. La corriente de polarización es de aproximadamen-

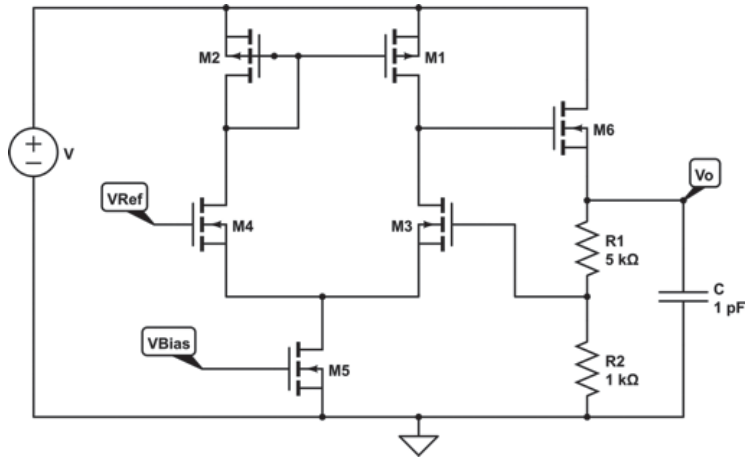


Fig.33. Lazo de control del regulador

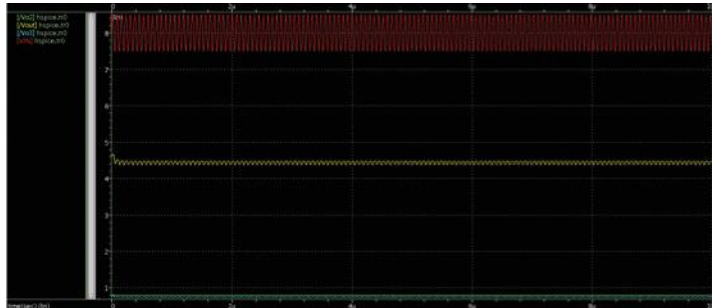


Fig.34. Tensión de salida de la fuente

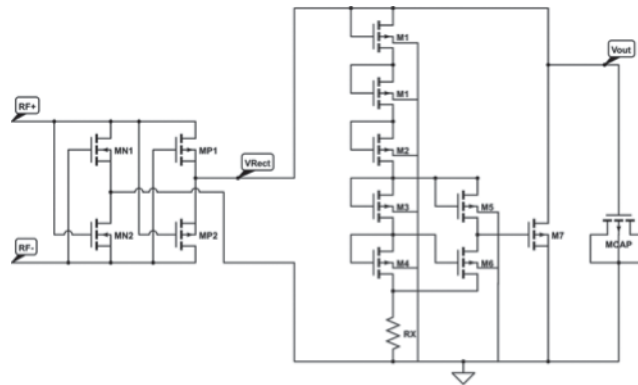


Fig.35. Circuito completo, con el rectificador y limitador y el capacitor adoptado

te 15 μm por cada rama. En la Figura 32 se muestra la fuente de referencia, en la Figura 33, el lazo de control y el elemento de paso.

Se simuló la fuente con una tensión de alimen-

tación senoidal de 8 V de offset, 13, 56 MHz de frecuencia y 1 V de amplitud, y se obtuvo una salida de $(4,5 \pm 0,1)$ V. (Figura 34). La alimentación del regulador está dada por la salida del rectificador y del limitador.

D. Rectificador y Limitador

Se realizó el diseño del rectificador empleando la topología de compuerta cruzada con NMOS-PMOS por que presentar la mayor potencia en la carga y nivel de tensión a la salida. Con respecto al limitador se lo diseño con 5 NMOS para poder limitar el nivel de tensión a partir de los 4 V de nivel de señal en la salida del rectificador.

Se simuló con una señal de entrada de 30v pico a pico, y se consiguió una salida de $(5,5 \pm 0,5)$ V con una carga de 50k y empleando como capacitor a un NMOS de 250um x 250um.

Se empleó un transistor NMOS como capacitor a la salida ya que presentó una disminución en el *ripple* superior que la conseguida con un capacitor de 20 pF o 100 pF como se observa en la Figura 37. El otro motivo por el cual se lo seleccionó fue que las dimensiones empleadas fueron menores que las que se hubiese necesitado si se hubiese diseñado de la forma tradicional. (Capacitor de placas paralelas).

E. Layout

A continuación, se muestra el layout de cada etapa por separado junto con el del proyecto completo:

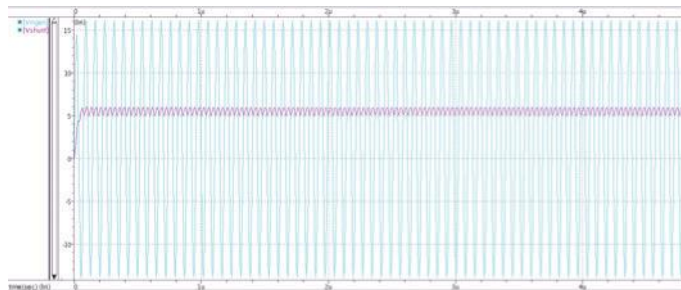


Fig. 36. Tensión de Salida del circuito de la Figura 34

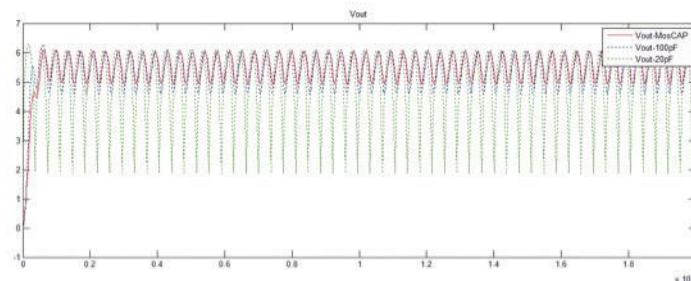


Fig. 37. Salida del rectificador y limitador

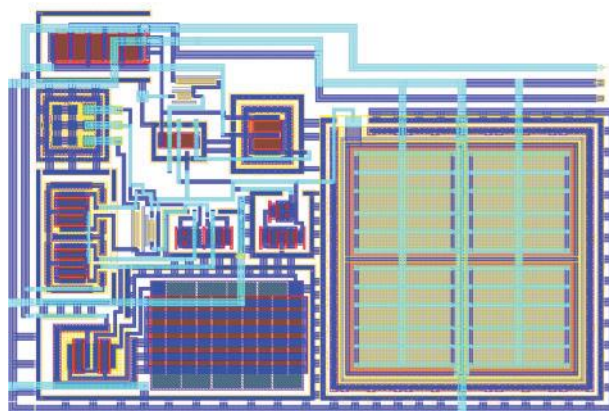


Fig. 38. Layout del LDO

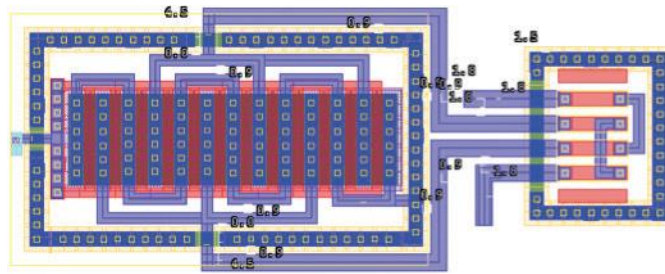


Fig. 39. Layout del modulador

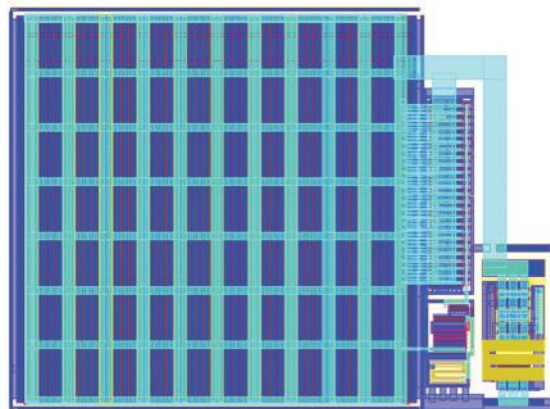


Fig. 40. Layout del rectificador + protección + capacitor

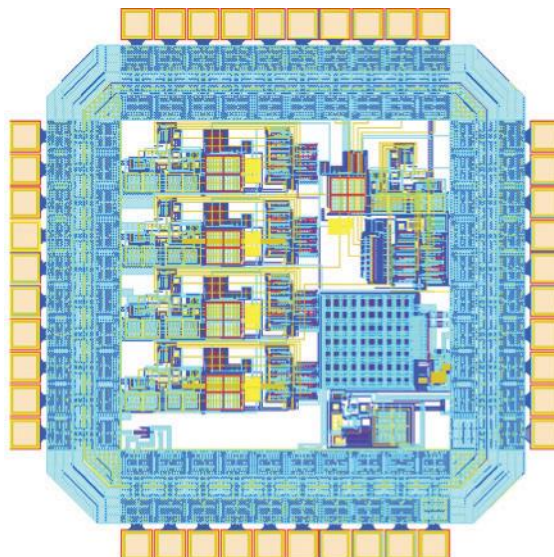


Fig.41. Layout general

Conclusiones

En el presente trabajo se presentaron los primeros pasos de lo que busca ser el diseño y desarrollo, en la tecnología RFID (13,56 MHz), de un transceptor completamente funcional. Las simulaciones realizadas sobre los módulos diseñados, en esta primera etapa, muestran los funcionamientos deseados de estos. El limitador fue diseñado para restringir el nivel de tensión a partir de los 4 V de nivel de señal en la salida del rectificador y se logró una disminución importante del ripple utilizando, a la salida, un NMOS como capacitor. Simulando el comportamiento del modulador, se observó un índice importante de modulación y una correcta protección de los *drain* de los transistores ante picos de corrientes indeseados. El regulador, al ser simulado, presentó una

salida de $(4,5 \pm 0,1)$ V ante una tensión de alimentación por encima de los 5 V, siendo utilizado un NMOS como elemento de paso entre entrada y salida.

Los enfoques a futuro sobre este proyecto nos llevan al objetivo de desarrollar las etapas restantes del CI para lograr el desarrollo de un transceptor en su totalidad.

Agradecimientos

Este grupo de trabajo agradece a Mentor Graphics® y Synopsys Inc.® por permitir el acceso al software de verificación y diseño a través de sus respectivos acuerdos académicos, también a Mosis® por brindarnos la oportunidad de que se pueda realizar la manufactura del CI desarrollado en este trabajo.

Referencias

- ASHWINI, CHAITRA T. S. (2012), "Design of a low voltage, low drop-out, voltage CMOS Regulator".
- BAKER, R. JACOB, "Circuit Design Layout and Simulation"
- CREPALDI, PAULO C.; H. de C. FERREIRA, LUIS; PIMENTA, TALES C., MORENO, ROBSON L.; ZOCAL, LEONARDO B. y RODRIGUEZ EDGAR C.(2002), "Structural Design of a CMOS Voltage Regulator for an Implanted Device", en Federal University of Itajubá, University of São Paulo, Brazil.
- DAY, MICHAEL, "Understanding Low Drop Out (LDO) Regulators", en Texas Instruments.
- DE GANNES, KYLE G. A, "Design of Analog CMOS Circuits for Batteryless Implantable Telemetry Systems", en The University of Western Ontario Supervisor Robert SobotThe University of Western Ontario.
- FINKENZELLER, KLAUS (1999) "RFID Handbook, Fundamentals and Applications in Contactless Smart Cards and Identification".
- JAMALI, BEHNAM; RANASINGHE, DAMITH C. y COLE, PETER H, "Analysis of a UHF RFID CMOS rectifier structure and input impedance characteristics", en School of Electrical & Electronic Engineering, Univ. of Adelaide, SA, Australia 5005.
- JIE TIAN y YU ZHONGCHEN, "Analog Front End Design of Contactless Smart Card", en Beijing University of Technology, China.
- LEE, YOUNG PH.D., (2003) "AN710 Antenna Circuit Design for RFID Applications", en Microchip Technology Inc.
- LIU DONG-SHENG; ZOU XUE-CHENG; YANG QIU-PING; XIONG TING-WEN, "An analog front-end circuit for ISO/IEC 15693-compatible RFID transponder IC", en Department of Electronic Science & Technology, Huazhong University of Science & Technology, Wuhan 430074, China.
- LU, CHAO y LI YONG-MING, (2001), "The RF Interface Circuits Design of Contactless IC Cards", en Institute of Microelectronics, Tsinghua University, Beijing, China, 100084.
- MALOBERTI, FRANCO, (2001) "Analog design VLSI".
- MENTOR GRAPHICS, (2016) www.mentor.com, Oregon, USA.
- MICROELECTRONIC INTEGRATED SYSTEMS, (2004) "13.56 MHz RFID systems and antennas design guide", Marzo 2004.
- MILLIKEN, ROBERT J.; SILVA-MARTINEZ, JOSE y SANCHEZ-SINENCIO, EDGAR, "Full On-Chip CMOS Low-Dropout Voltage Regulator", en Texas A&M Univ., College Station.
- NAPONG PANITANTUM; APERADEE YORDTHEIN; WATCHARAKON NOOTHONG; APISAK WORAPISHET y MANOP THAMSIRIANUNT, "A CMOS RFID transponder". en Thailand IC Design Incubator

(TIDI), National Electronics and Computer Technology Center, THAILAND.
Mahanakorn Microelectronics Research Centre (MMRC) y Mahanakorn University of Technology, THAILAND.

PAZOS, S.; AGUIRRE, F.; MAZUR, T.; PERETTI, G. y ROMERO, E., (2015), "Evaluación de la calidad de TRAM en la detección de fallas de fabricación en circuitos integrados analógicos fabricados en tecnología CMOS de 500nm", en Universidad Tecnológica Nacional, Facultad Regional Buenos Aires, Av. Medrano 951, (C1179AAQ), Ciudad Autónoma de Buenos Aires, Argentina y Universidad Tecnológica Nacional, Facultad Regional Villa María, Av. Universidad 450, Villa María, Córdoba, Argentina.

QINGYUN MA; RAFIQUL HAIDER MOHAMMAD, y YEHIA MASSOUD, "A Low-Loss Rectifier Unit for Inductive-Powering of Biomedical Implants", en Department of Electrical and Computer Engineering, The University of Alabama at Birmingham.

SYNOPSYS INC., (2016) Synopsys Design Compiler, www.synopsys.com California, USA.

TAUR, Y.; NING, T.H. (2013) "Fundamentals of Modern VLSI Devices", Second Edi. Cambridge.

THE MOSIS SERVICE, (2016) www.mosis.com California, USA.

WOLBERT, BOB (1998), "Designing with Low Dropout Regulators", Applications Engineering Manager, December 1998.

ZHENG ZHU, BEN JAMALI, PETER H. COLE, (2004); "Brief Comparison of Different Rectifier Structures for RFID Transponders", en Auto ID- Labs.