



*FRVM de la Universidad Tecnológica Nacional
Departamento de Electrónica
Cátedra Trabajo Final de Grado*

Desarrollo de circuito integrado digital

Trabajo Final de Grado para obtener el título de Ingeniero en Electrónica

Electrónica GL

Autores:

Giorgis, Leandro Patricio
Liwacki, Santiago Ezequiel

2019

Acreditación:

Fecha:

Comité Evaluador

Presidente: MSc. Ing. Pedro Danizio.

1º Vocal: Esp. Ing. Héctor Ferrari.

2º Vocal: Ing. Fabián Sensini.





Dedicatorias

A mis padres, Silvia y Juan José, que con mucho esfuerzo me dieron la oportunidad de estudiar y me brindaron su apoyo incondicional en todo momento.

A mi abuela y mis hermanos que me acompañaron todos estos años.

A mis sobrinos que me recibieron siempre con una sonrisa.

Y especialmente a mi novia, Carolina, que transitó a mi lado toda la carrera, siempre presente entregándome su confianza y cariño para alentarme a seguir adelante.

Leandro Patricio Giorgis

A mis padres, Aurelia y Fernando, que con gran esfuerzo han hecho posible este sueño y a ellos les debo todo lo que soy.

A mi hermana, Micaela, que siempre estuvo a mi lado.

Y a Guadalupe, mi novia, quien me acompañó desde el comienzo de esta etapa brindándome siempre su apoyo incondicional.

Santiago Ezequiel Liwacki



Agradecimientos

A nuestros familiares, por el apoyo y afecto recibido a lo largo de la carrera.

A compañeros y amigos, que compartieron con nosotros todos estos años siempre dispuestos a colaborar.

A los profesores de nuestra facultad, quienes nos formaron poniendo a nuestra disposición sus conocimientos y experiencias.

Al departamento de electrónica, por estar siempre dispuestos a despejar nuestras dudas.

Y un agradecimiento a la Dra. Gabriela Peretti y al Dr. Eduardo Romero, por la ayuda y posibilidades que nos brindaron.



Memoria Descriptiva

En el marco del Trabajo Final de Grado de la carrera de Ingeniería Electrónica se propone lograr el nivel de entendimiento necesario para el diseño e implementación de circuitos integrados digitales.

Se realizará un estudio de la microelectrónica y el comportamiento físico de los circuitos integrados, teoría que permitirá, comenzando con un circuito esquemático de transistores y compuertas lógicas, y con la ayuda de ciertas herramientas de software, poder diseñar los layout de las diferentes máscaras de fabricación que componen un circuito integrado.

Para la realización del proceso antes mencionado se utilizará Electric VLSI Design System, una herramienta de licencia gratuita muy utilizada tanto en Universidades como Compañías alrededor del mundo, debido a su gran potencial. Como soporte para el análisis del comportamiento de las distintas partes del circuito, se utilizará el software de simulación LT-SpiceIV.

El circuito planteado para este trabajo es de tipo combinacional, es decir, contadores, sumadores y conversores, que servirá meramente como ejemplo a fin de demostrar los pasos necesarios para su diseño y desarrollo.



Índice

Dedicatorias	3
Agradecimientos.....	4
Memoria Descriptiva	5
Índice	6
1. Introducción.....	8
2. Objetivos	8
3. Microelectrónica	9
4. Proceso de fabricación	11
4.1 Fotolitografía	12
4.1.1 El proceso fotolitográfico	12
4.1.2 Remoción	13
4.1.3 Máscaras	14
4.2 Oxidación	15
4.3 Introducción de dopantes	15
4.3.1 Difusión.....	15
4.3.2 Implantación de Iones	16
4.4 Deposición.....	16
4.5 Tecnología del proceso de fabricación	16
4.5.1 Proceso de pozo único	16
4.5.2 Proceso twin-tub.....	16
4.6 Ejemplo de fases del proceso de fabricación	17
5. Diseño microelectrónico	20
5.1 Jerarquización, niveles de abstracción y representación.....	20
5.2 Ciclo de diseño	21
5.2.1 Diseño descendente y diseño ascendente	21
5.3 Modalidades para el diseño.....	22
5.4 Reglas de diseño	23
6. Aplicación práctica	25
6.1 Tecnología de fabricación.....	26
6.2 Desarrollo.....	27
6.2.1 Compuertas lógicas	28
6.2.2 Circuito combinacional	31
6.2.2.1 Sumador.....	31
6.2.3 Circuito secuencial	34



6.2.3.1 Bloque de contadores.....	34
6.2.3.2 Bloque de selección	35
6.2.3.2.1 Conversor binario a decimal	37
6.2.3.2.2 Compuertas de transmisión y multiplexores	37
6.2.4 Entrada y salida	39
6.2.4.1 Pads.....	39
6.2.4.2 Alimentación	41
6.2.4.3 Reloj	42
6.2.5 Montaje final	43
6.3 Evaluación Final del Sistema.....	46
6.3.1 Simulaciones.....	46
6.3.2 Pruebas de laboratorio	49
7. Circuito integrado	50
8. Conclusión	51
9. Bibliografía	52
10. Anexo	53
10.1 Anexo Alfa: El transistor MOS.....	53
10.1.1 Estructura	53
10.1.2 El transistor como llave	54
10.1.3 Tecnología CMOS.....	55
10.2 Anexo Bravo: Cálculo simplificado de los parámetros eléctricos de un conductor.	57
10.2.1 Capacidad parásita.....	57
10.2.2 Resistencia parásita.....	58
10.2.3 Inductancias parásitas.....	59
10.3 Anexo Charlie: Extracto reglas de diseño para tecnologías escalables – MOSIS.	60
10.4 Anexo Delta: Detalle de encapsulado - MOSIS.	74
10.5 Anexo Echo: Descripción de pines del circuito integrado.	75



1. Introducción

En los últimos años la microelectrónica ha mostrado en nuestro país un considerable crecimiento, principalmente en las áreas de investigación y de diseño de circuitos integrados. Interesados por este tema, decidimos participar de la décima edición de la Escuela Argentina de Micro-nanoelectrónica Tecnología y Aplicaciones (EAMTA) en la cual pudimos adquirir conocimientos teórico-prácticos básicos sobre el diseño y producción de este tipo de circuitos.

En el marco de la actividad práctica de la misma, se planteó a los participantes la realización de un circuito de complejidad moderada con la finalidad de afianzar los conceptos aprendidos en la etapa teórica.

Motivados por la experiencia, para nuestro trabajo final de grado decidimos profundizar nuestros conocimientos sobre esta rama de la ingeniería para poder llevar adelante el proceso completo de diseño y fabricación de un circuito integrado digital, proponiéndonos como meta la obtención de un dispositivo que funcione correctamente. Además, se plantea la posibilidad de sentar un precedente en nuestra facultad en relación con el estudio de esta tecnología, presente en la mayoría de los dispositivos electrónicos del mercado.

2. Objetivos

Al finalizar este trabajo, se espera cumplir con los siguientes objetivos:

- Conocer las técnicas y procesos implicados en el diseño y producción de circuitos integrados.
- Diseñar y fabricar un circuito integrado digital, para lo que será necesario:
 - Planificar los distintos bloques que componen el circuito.
 - Familiarizarnos con el software de diseño.
 - Realizar una biblioteca de celdas estándar con características personalizadas.
 - Dibujar las máscaras de fabricación minimizando efectos no deseados y respetando las reglas de diseño.
 - Llevar a cabo las gestiones para fundir el CI.
- Obtener el dispositivo fabricado y que el mismo supere satisfactoriamente las pruebas de laboratorio.

3. Microelectrónica

El estudio de la microelectrónica comienza en el año 1958, cuando Jack Kilby inventa el primer circuito integrado: un oscilador compuesto por un solo transistor y algunas resistencias y capacitores sobre una pastilla de Germanio. De esta manera, mostró que todos los elementos de un circuito pueden realizarse en un cristal semiconductor. Este concepto, que plantea miniaturizar un circuito y colocar múltiples dispositivos en un espacio muy pequeño, produjo una revolución en la industria electrónica, a tal punto que Kilby fue galardonado con el Premio Nobel por su invención.

A partir de ese momento, la tecnología ha evolucionado de manera exponencial en complejidad, densidad y velocidad. En 1965 Gordon Moore, cofundador de Intel, observó que el número de transistores en un chip se duplicaba cada 18 a 24 meses. Esto se ha mantenido hasta el presente, y se conoce como “Ley de Moore”. Como prueba de esta evolución basta con mirar el gráfico de la Fig. 1, que muestra el aumento de la cantidad de transistores usados en microprocesadores desde 1970 hasta la actualidad.

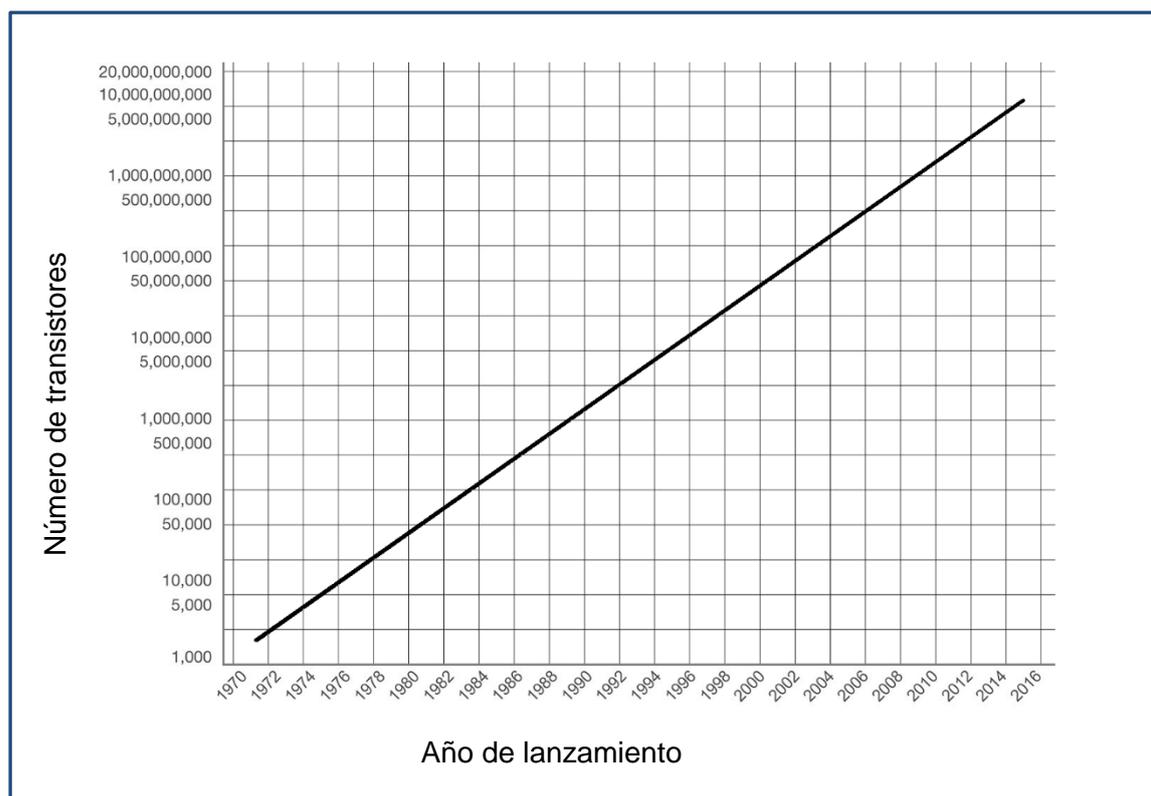


Fig. 1: transistores en microprocesadores a lo largo del tiempo. [3]



Año	Empresa	Modelo	Transistores	Tecnología	Frecuencia	Área [mm ²]	Pot. [W]
1971	Intel	4004	2300	10 μm	0.74 MHz	12	
1974	Motorola	6800	4 100	6 μm	1 MHz	16	
1979	Intel	8088	29 000	3 μm	8 MHz	33	
1985	Intel	80386	275 000	1.5 μm	20 MHz	104	
1989	Intel	80486	1 180 235	1 μm	50 MHz	173	
1995	Intel	Pentium Pro	5 500 000	0.5 μm	0.20 GHz	307	15.5
2000	Intel	Pentium 4	42 000 000	180 nm	1.50 GHz	217	58
2004	Intel	Itanium 2	592 000 000	130 nm	1.60 GHz	432	122
2008	Intel	6C Xeon 7400	1 900 000 000	45 nm	2.66 GHz	503	130
2012	Intel	8C Itanium	3 100 000 000	32 nm	2.53 GHz	544	170

Tabla 1: diferentes modelos de microprocesadores y su cantidad de transistores. [3]

Este crecimiento se da gracias a la fuerza impulsora del mercado de consumo y al avance de la tecnología de microfabricación, permitiendo alcanzar en la actualidad una resolución de décimas de micra (μm) y realizar circuitos que incorporan millones de transistores en una superficie del orden de dos centímetros cuadrados. El aumento de la complejidad de los circuitos que conlleva esta tecnología es el motor que ha permitido integrar de forma acelerada, y con la previsión de mantener este crecimiento durante los próximos años, circuitos con funciones más complejas y características más relevantes (especialmente velocidad).

Un circuito integrado o IC (de la sigla en inglés “*Integrated Circuit*”) es entonces, un componente electrónico que incorpora e interconecta una multitud de dispositivos electrónicos en miniatura, principalmente transistores del tipo MOS, en una sola pieza de material semiconductor como el silicio. Muchos de estos circuitos se fabrican conjuntamente en una delgada oblea de semiconductor que luego es cortada para convertirse en pequeños dados, siendo cada uno un circuito individual. La gran mayoría de los ICs se encapsulan posteriormente de manera individual permitiendo que el mismo sea soldado en tarjetas de circuitos impresos (PCB).

Son tres las ventajas más importantes que tienen los circuitos integrados sobre los circuitos electrónicos convencionales: su menor costo, su mayor eficiencia energética y su reducido tamaño. El bajo costo es debido a que los CI son fabricados sobre una misma oblea, permitiendo la producción en cadena de grandes cantidades, con una muy baja tasa de defectos. La elevada eficiencia se debe a que, dada la miniaturización de todos sus componentes, el consumo de energía es considerablemente menor a iguales condiciones de funcionamiento que el mismo circuito fabricado con componentes discretos. Finalmente, el más notable atributo, es su reducido tamaño en relación con los circuitos tradicionales.

4. Proceso de fabricación

Como se mencionó en el apartado 3, los circuitos integrados son fabricados sobre obleas o *wafers* de silicio. Para obtenerlas, se comienza por la creación de un cilindro de silicio de muy alta pureza (99,9 %) que se obtiene mediante el método de *Czochralski*. El proceso, mostrado en la Fig. 2, comienza con un crisol de cuarzo que contiene silicio fundido, cuya temperatura es mantenida justo por encima del punto de fusión, y se sumerge en él una pequeña pieza de silicio cristalino que actúa como semilla. Al contacto, el material derretido se agrega a la pequeña pieza, ésta comienza a rotarse a la vez que se eleva y mediante el control de la temperatura, velocidad de rotación y elevación, se logra obtener un cilindro cristalino.

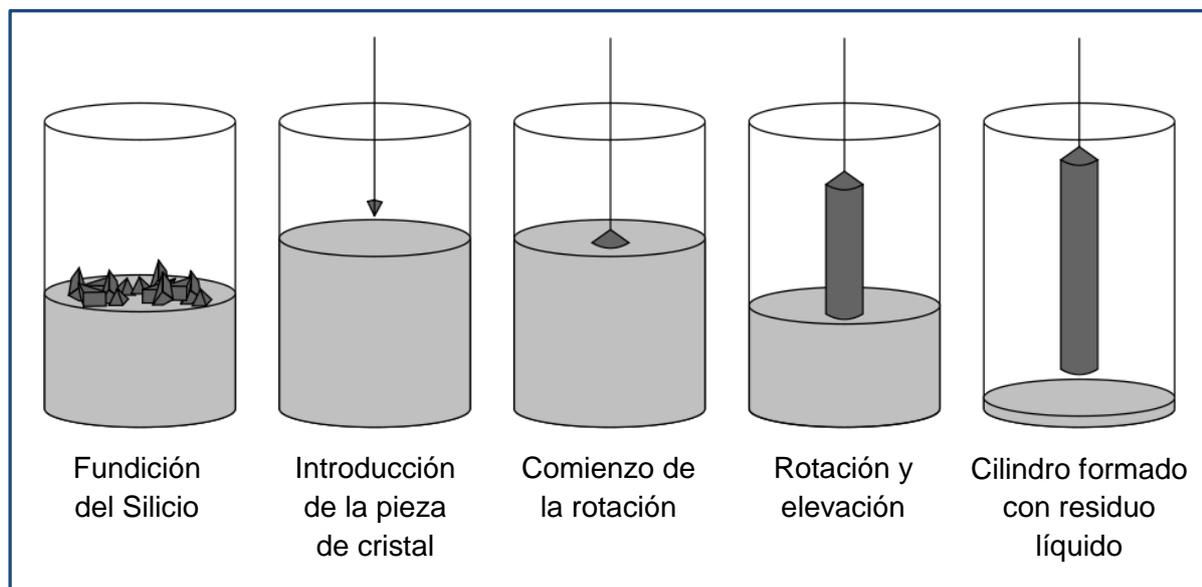


Fig. 2: proceso de obtención de obleas de silicio.

Una vez producido el cilindro de silicio, se cortan del mismo obleas en forma de rodajas, que típicamente tienen menos de 1 mm de espesor y su diámetro actualmente es de 300 mm. Obtenidas las obleas, es posible realizar sobre ellas los pasos correspondientes para la producción de los circuitos integrados. El proceso de fabricación consiste básicamente en el agregado y remoción de diversos materiales sobre la superficie de una oblea. Se depositan capas de material, que luego son talladas mediante un procedimiento llamado fotolitografía que define las regiones en las que debe quedar el material y de cuáles debe ser removido.

Por ejemplo, para fabricar un transistor MOS, es necesario introducir impurezas en el silicio para crear los terminales de fuente y drenador. Las mismas se agregan mediante procesos de difusión o bombardeo de iones. Por otro lado, se debe crear la estructura metal-óxido-semiconductor del terminal de compuerta con una fina capa de dióxido de silicio (SiO_2) cubierta por silicio policristalino (polisilicio) que lo constituye. El SiO_2 se consigue mediante un proceso llamado oxidación térmica. La compuerta se logra con un proceso de deposición denominado deposición química de vapor (CVD).



Los pasos restantes tienen por objeto definir las conexiones metálicas entre transistores mediante el agregado y tallado de sucesivas capas de metales separadas entre sí por óxido aislante como nitruro de silicio (Si_3Ni_4). Las capas de metal se forman con dos procesos de deposición: evaporación o *sputtering*. El óxido, además de proporcionar aislamiento entre capas, sostiene mecánicamente la estructura de interconexiones, debido a que contiene agujeros llamados vías que se rellenan de material metálico conectando eléctricamente las distintas capas de materiales (silicio, polisilicio y las capas de metal).

4.1 Fotolitografía

Este proceso comienza con la generación de óxido protector sobre la superficie de la oblea. Sobre este óxido se deposita un material sensible a la luz, denominado fotoresistivo.

Utilizando una máscara que solo deja pasar la luz en aquellas regiones donde se ubicará un determinado material, se transfiere el patrón a la capa de fotoresistivo, dejando expuesto el óxido por debajo. Luego se utiliza un agente químico que remueve a este último en las aberturas definidas por la máscara, quedando transferido el patrón al óxido que recubre la oblea. Esto se repite varias veces hasta terminar el último nivel de metal del circuito.

4.1.1 El proceso fotolitográfico

Antes de comenzar, se limpia la oblea de silicio sometiéndola a soluciones químicas que son capaces de remover cualquier impureza de la superficie.

El material fotosensible suele ser líquido o gel y una vez aplicado se hace rotar la oblea entre 1000 rpm y 5000 rpm por algunos minutos. Consiguiendo una capa homogénea de material con un espesor entre 2.5 μm y 5 μm . Se la introduce luego en un horno que se mantiene a una temperatura cercana a los 90 °C por unos 10 a 30 min. Este paso mejora la adhesión del material y elimina el solvente presente en el gel.

Luego se expone la oblea a una fuente intensa de luz (generalmente luz ultravioleta profunda o DUV) a través de la máscara correspondiente. Existen dos tipos de material fotoresistivo: positivo, en el que la parte expuesta a la luz es la parte por remover; y negativo, en cuyo caso la parte a remover es aquella tapada por la máscara. A continuación, se remueve el material debilitado dejando expuesto el óxido protector que está debajo en las regiones definidas por la máscara.

Por último, se calienta la oblea durante 20 o 30 minutos entre 120 °C y 180 °C, durante 20 min o 30 min, logrando una mejor adhesión al sustrato y endurecimiento del material fotoresistivo restante.

4.1.2 Remoción

La remoción o eliminación del óxido protector se consigue mediante la exposición de la oblea recubierta por la capa fotoresistiva endurecida a una sustancia que ataca más rápidamente al óxido. Esta sustancia puede ser líquida o gaseosa. En el primer caso el proceso se denomina remoción húmeda. Se sumerge la oblea en ácido fluorhídrico que remueve entre 10 y 100 nm por minuto a 25 °C y al tratarse de un proceso muy sensible a la temperatura, ésta se controla cuidadosamente. Este proceso es isotrópico, es decir que ataca al Óxido en todas las direcciones produciendo una remoción del material por debajo de la barrera, como se ilustra en la Fig. 3-a. Si el agente activo es gaseoso, el proceso se llama remoción seca y puede ser de tres tipos:

- Por plasma: por medio de una fuente de RF de potencia se excita un plasma gaseoso que contiene iones de flúor o cloro que atacan el SiO_2 .
- Por *sputtering*: utilizando iones de un gas noble se bombardea la oblea desprendiendo el óxido.
- Por iones reactivos: se ionizan gases por medio de un plasma y los iones se aceleran para impactar la superficie de la oblea.

A diferencia del primero, el proceso de remoción seca de la Fig. 3-b es anisotrópico, lo que significa que la eliminación de material sólo se da en la dirección perpendicular a la superficie.

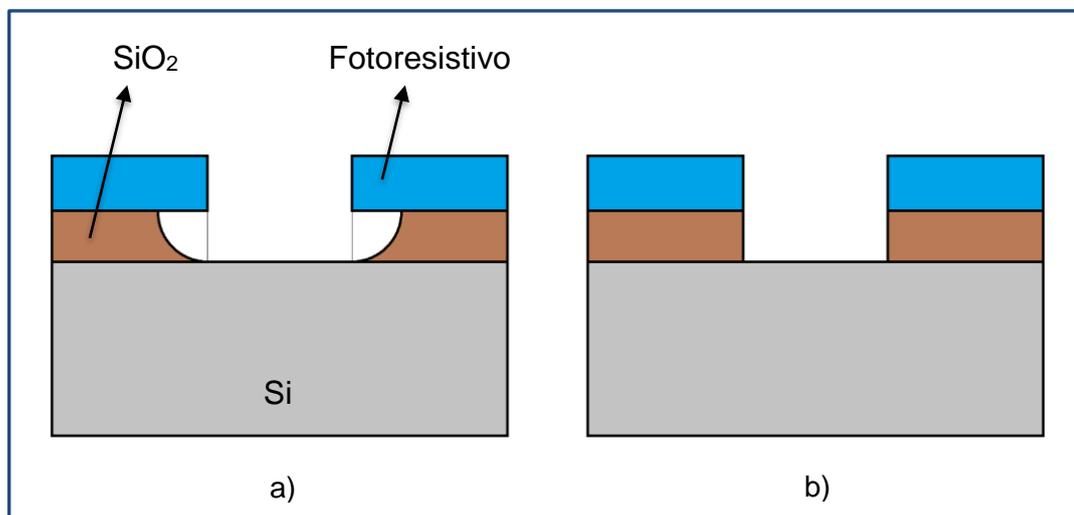


Fig. 3: a) remoción isotrópica; b) remoción anisotrópica.

La Fig. 4 muestra el proceso de transferencia del patrón de una máscara a la capa de óxido de silicio.

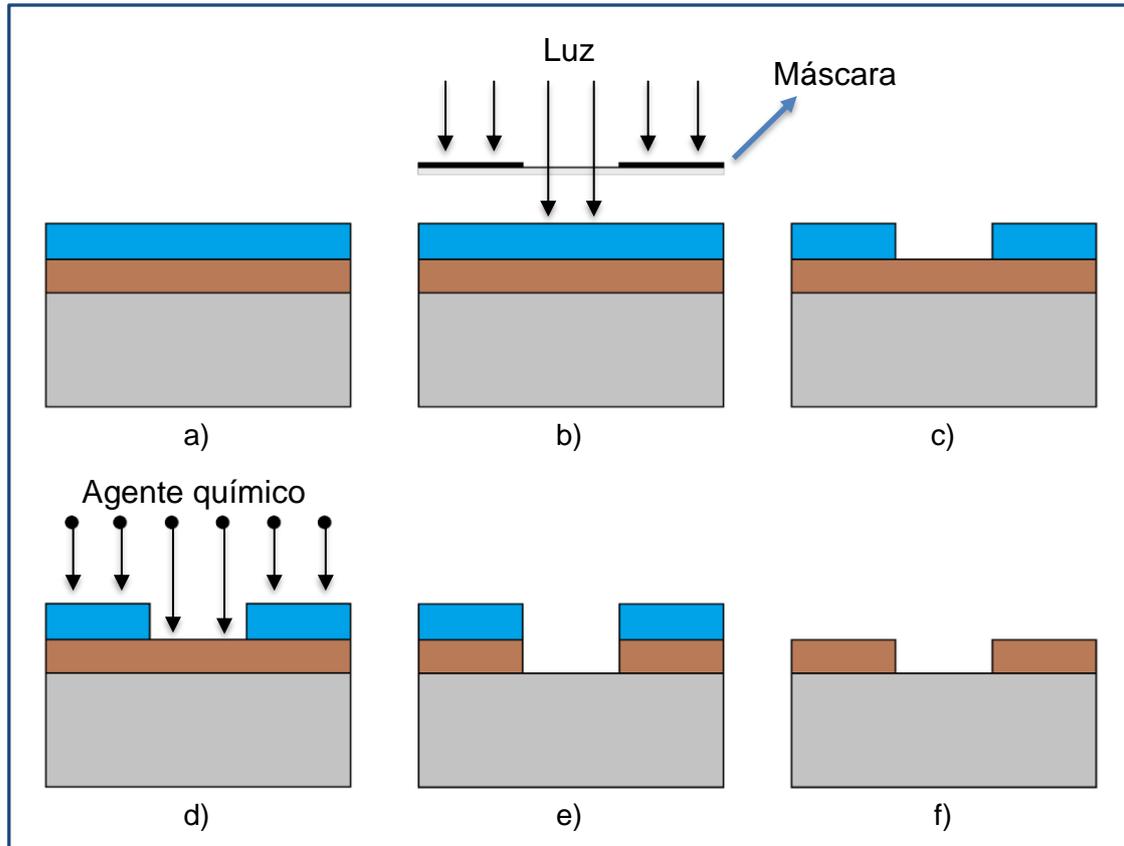


Fig. 4: a) Substrato con una capa de óxido y material fotoresistivo; b) Exposición a luz a través de una máscara; c) Patrón transferido al material fotoresistivo; d) Exposición a un agente químico para remover el óxido expuesto; e) Patrón transferido al óxido; f) Remoción del material fotoresistivo.

4.1.3 Máscaras

La máscara es una lámina que contiene el patrón que se desea transferir a la oblea de semiconductor, se realiza mediante litografía de rayos de electrones a partir de los dibujos de *layout* definidos por el diseñador de circuitos integrados. La máscara, también llamada retícula, se produce con una escala que puede ser de hasta 10 veces mayor que su tamaño final consiguiendo así aumentar su precisión y reducir las imperfecciones. Al momento de la fabricación esta escala es compensada utilizando lentes ópticos.

Existen tres técnicas para transferir el patrón a la oblea. Antes se hacía por medio de impresión de contacto, lo que requería que la máscara tocara la superficie de la oblea, produciendo un desgaste de la máscara reduciendo su vida útil. En la actualidad se utiliza la técnica de impresión de proximidad en la que no hay contacto entre la máscara y la oblea, o la técnica de impresión proyectada donde luz concentrada pasa por un primer lente antes de pasar a través de la máscara y luego se focaliza mediante un segundo lente sobre la superficie de la oblea.

4.2 Oxidación

Si se expone el silicio a una atmósfera con oxígeno, se produce sobre la superficie de este, un óxido aislante de alta calidad que se denomina térmico. El proceso de oxidación es muy dependiente de la temperatura y la presión a la que se somete el oxígeno en contacto con el silicio. La oblea se coloca en un horno a una temperatura entre 900 °C y 1200 °C, en una atmósfera con oxígeno puro o vapor de agua. Cuando se utiliza oxígeno puro la oxidación se denomina seca, en cambio, si se usa vapor de agua la oxidación es húmeda.

Como se ilustra en la Fig. 5 la oxidación produce una reducción del silicio, el 54% del óxido producido sobresale de la superficie original y el 46% restante se produce por debajo de la misma.

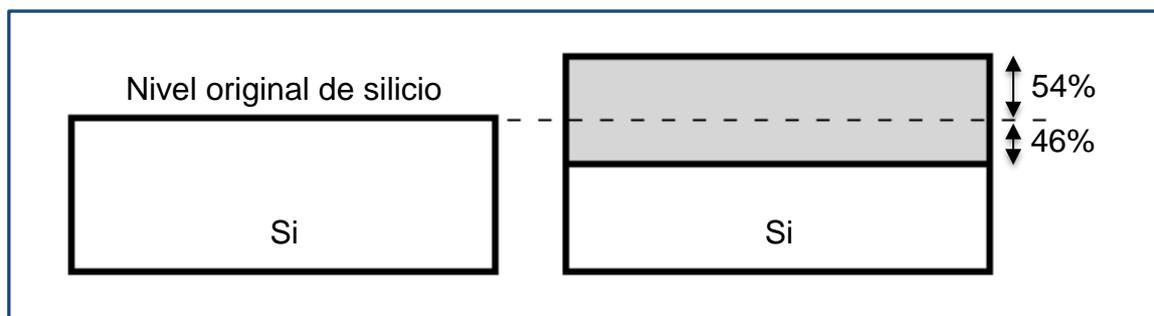


Fig. 5: oxidación de la superficie de silicio.

El crecimiento es mucho más rápido para la oxidación húmeda que para la oxidación seca, dado que la solubilidad del vapor de agua en dióxido de silicio es mucho mayor que la del oxígeno. Ambos métodos se utilizan en aplicaciones diferentes, la seca es más lenta y produce un óxido más denso y de mejor calidad. Este tipo de óxido se utiliza para los *gates* de los transistores. La oxidación húmeda se utiliza como aislante y sirve para crear la primera cobertura de óxido de la oblea, denominada óxido de campo.

4.3 Introducción de dopantes

4.3.1 Difusión

La difusión es uno de los mecanismos utilizados para introducir impurezas en el silicio para el dopado de las diferentes regiones. Se calienta la oblea en un horno con una alta concentración de impurezas hasta una temperatura entre 900 °C y 1200 °C. Los átomos se difunden dentro del silicio por medio de dos mecanismos: sustitucional o intersticial. En el primero, las impurezas toman lugares en sitios vacantes del silicio. En el intersticial, la impureza puede desplazar átomos de silicio o puede pasar entre ellos. Este último es más rápido, dado que las impurezas no deben encontrar lugares vacíos en el silicio. Sin embargo, para que los átomos contribuyan eléctricamente generando portadores los mismos deben ubicarse en sitios vacantes.



4.3.2 Implantación de Iones

Un implantador de iones consta de una fuente de iones que produce un plasma con impurezas de distinto tipo y un espectrómetro de masas, que desvía las partículas mediante la variación de un campo magnético y selecciona las impurezas deseadas para que continúen su camino hacia la oblea. Un tubo de aceleración aumenta la velocidad de las partículas y un sistema de deflexión las direcciona hacia la oblea logrando que penetren en el material. Este método presenta dos ventajas: la implantación puede hacerse a baja temperatura evitando difusiones no deseadas, y existe una amplia variedad de partículas que pueden ser implantadas. Por estas razones es el método más utilizado a pesar de que el equipamiento necesario es costoso.

4.4 Deposición

Se utilizan diferentes procedimientos para depositar finas capas de materiales sobre la oblea. Estos suelen ser metales como aluminio, tungsteno y oro así como también dieléctricos tales como SiO_2 y Si_3Ni_4 . Entre los procesos de deposición más usados se encuentran los siguientes: evaporación, sputtering y deposición química de vapor.

4.5 Tecnología del proceso de fabricación

Como se puede ver en el anexo Alpha, la tecnología CMOS consiste en la combinación de transistores de tipo p y n , ambos sobre la misma pastilla de silicio.

4.5.1 Proceso de pozo único

En un proceso CMOS de pozo único se puede comenzar a partir de sustratos de silicio ligeramente dopados de tipo n o p , existiendo procesos de pozo n (N -well) y de pozo p (P -well). Un proceso P -well, comienza con un sustrato n sobre el cual se definen en primer lugar las regiones donde se crearán los pozos de tipo p , dentro de los que se realizarán los transistores nMOS. En cambio, los transistores pMOS se realizan directamente sobre el sustrato n . Teniendo en cuenta que estos presentan una desventaja debido a la menor movilidad de portadores, y que los transistores fabricados directamente sobre el sustrato tienen un mejor desempeño que los realizados en un pozo, es posible comprender que el proceso P -well sirve para compensar la diferencia de funcionamiento entre ambos tipos de transistores obteniendo dispositivos más parejos. Por otro lado, el proceso N -well amplifica las diferencias de rendimiento entre los dos tipos de transistores.

4.5.2 Proceso twin-tub

Con el proceso $twin$ -tub o de doble pozo mostrado en la Fig. 6, se pretende optimizar las características de ambos transistores por separado. Se comienza sobre un sustrato fuertemente

dopado $n+$ o $p+$ sobre el cual se realizan los pozos n y p dependiendo del transistor que se quiera implementar.

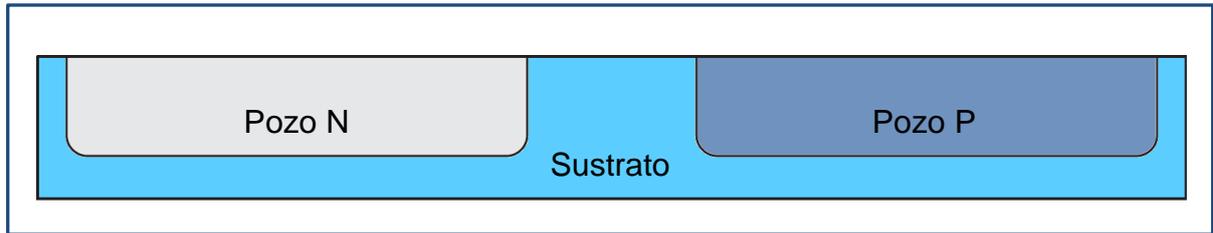


Fig. 6: tecnología de doble pozo.

4.6 Ejemplo de fases del proceso de fabricación

Con el objetivo de integrar la información proporcionada en los apartados anteriores, se propone un ejemplo detallando paso a paso la aplicación de diferentes máscaras y procedimientos para la obtención de una compuerta lógica.

Para el caso se toma como punto de partida un sustrato de silicio levemente dopado con impurezas de tipo P. Mediante el proceso de oxidación se crea la capa de SiO_2 que luego es atacada químicamente por medio de fotolitografía utilizando la máscara de pozo n . Se realiza sobre el área desprotegida, una implantación de impurezas que crean el pozo como se aprecia en las Fig. 7 a 10.

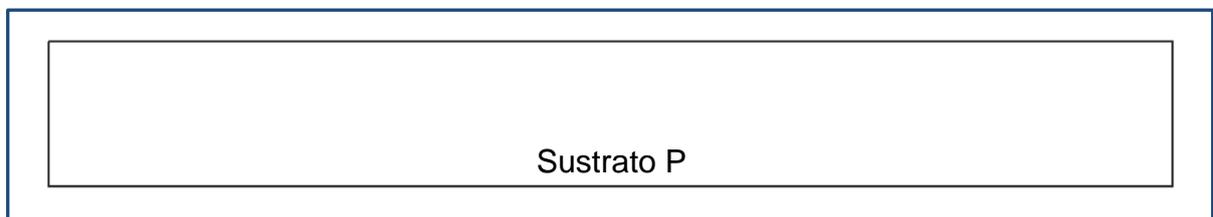


Fig. 7: Sustrato base levemente dopado. [1]

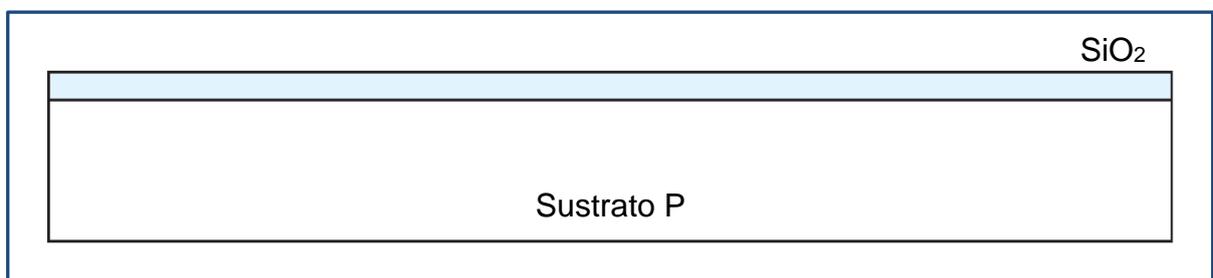


Fig. 8: Creación de la capa de SiO_2 . [1]

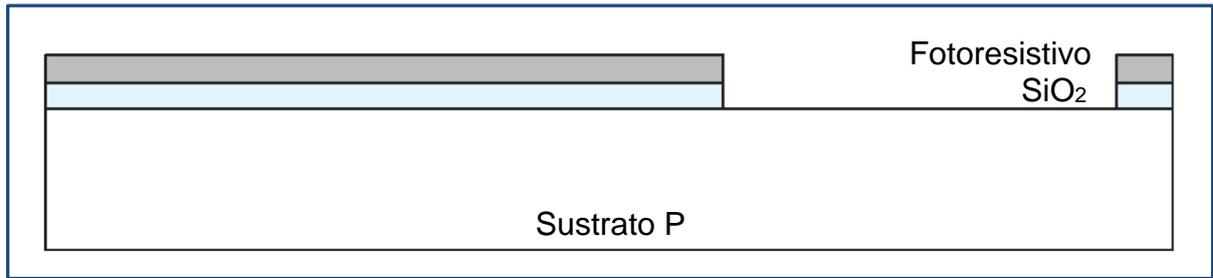


Fig. 9: Fotolitografía y eliminación del óxido. [1]

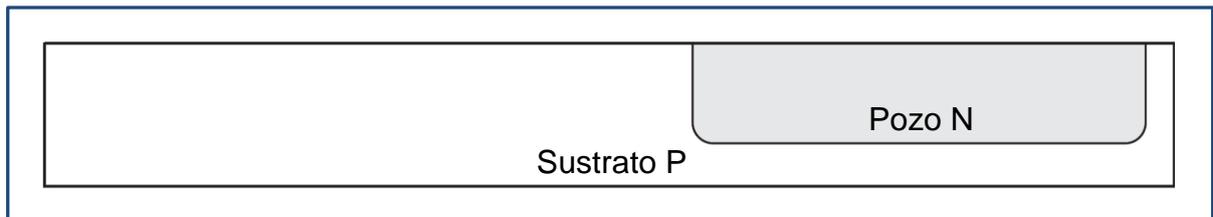


Fig. 10: Pozo n. [1]

Una vez realizado el pozo se hace crecer una fina capa de óxido sobre la oblea y se cubre con silicio policristalino.

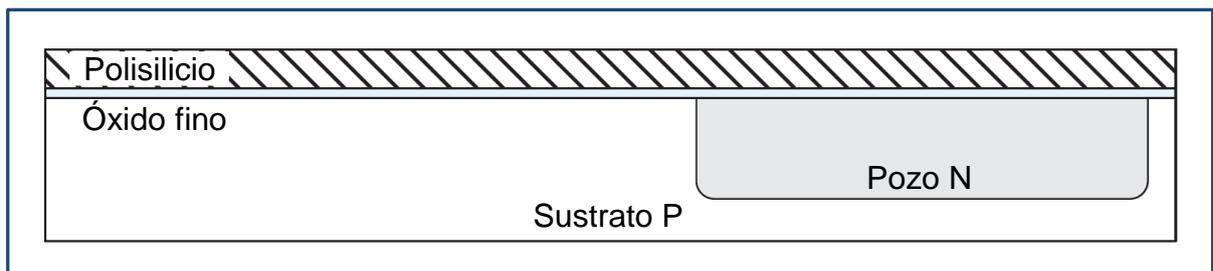


Fig. 11: capa de óxido y recubrimiento con polisilicio. [1]

Luego se eliminan las capas de ambos materiales en función de la máscara de polisilicio quedando conformadas así las uniones MOS que dan lugar a las compuertas de los transistores, como se ve en la Fig. 12.

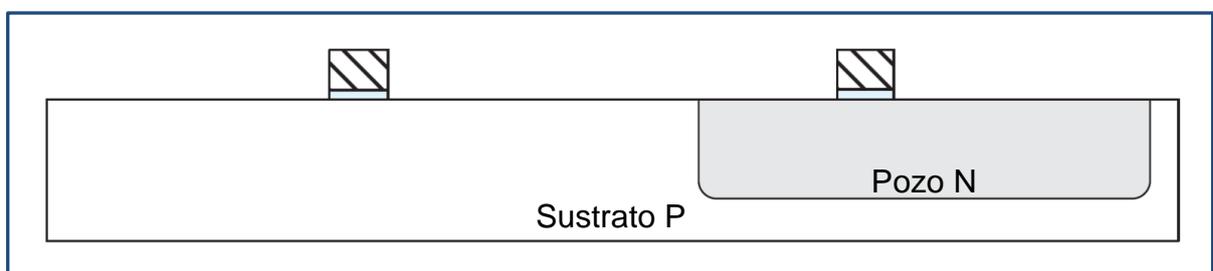


Fig. 12: formación de compuertas de los transistores. [1]

A continuación, se protege la superficie con una capa gruesa de óxido llamada óxido de campo, se aplica el proceso fotolitográfico y se elimina el óxido con la máscara de regiones de fuerte dopaje $n+$ y se realiza la difusión de estas últimas. El resultado puede observarse en la Fig. 13.

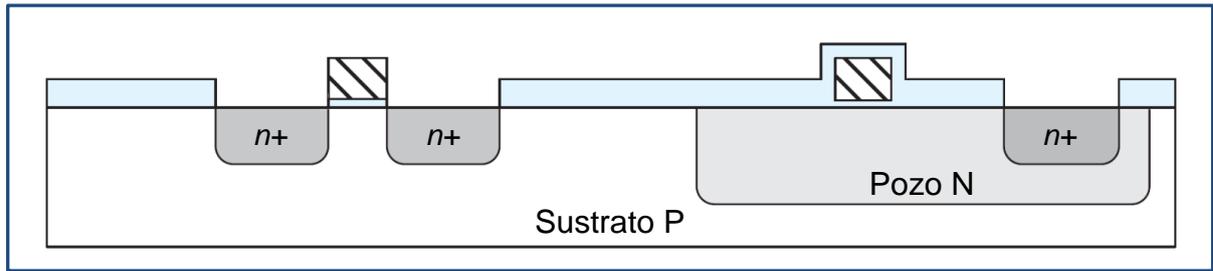


Fig. 13: difusión de regiones $n+$. [1]

Después, se aplican los pasos descritos en el párrafo anterior utilizando la máscara de regiones $p+$.

Por último, utilizando el proceso fotolitográfico se aplican las capas de los distintos niveles de metal que formarán las interconexiones entre los componentes del circuito. Cada uno de estos niveles, se encuentra aislado de los demás por gruesas capas de SiO_2 . En la Fig. 14 se muestra el resultado final del proceso.

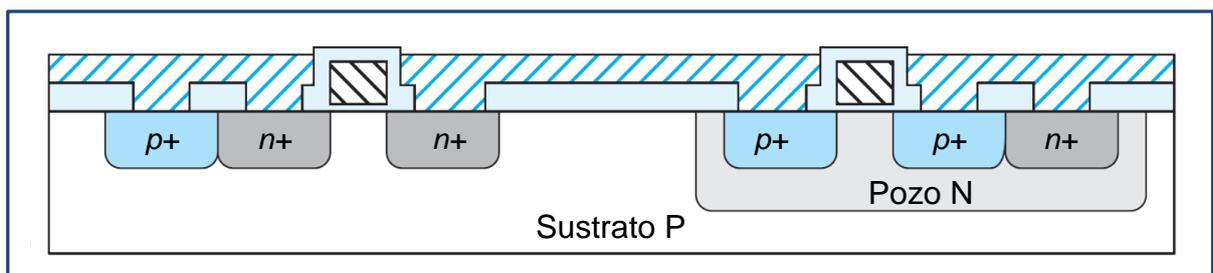


Fig. 14: vista en corte de la compuerta lógica. [1]



5. Diseño microelectrónico

5.1 Jerarquización, niveles de abstracción y representación

El principal desafío para el diseño de sistemas integrados como los que hoy en día podemos encontrar radica en su complejidad. Es por esto que la metodología de diseño se basa en la estructuración del sistema, de manera que pueda ser abordado por partes. Además, debido a que se deben controlar una gran cantidad de variables, es necesario trabajar en distintos niveles de abstracción con el objetivo de minimizar la cantidad de información a manejar en cada momento.

La descripción de un sistema está basada en los procesos de jerarquización, abstracción y representación. La primera consiste en la subdivisión del sistema en bloques para lograr reducir el nivel de complejidad de cada parte, ya que en la mayoría de los casos tratar todo el sistema de manera conjunta es imposible. Mediante el proceso de abstracción se acota la información manejada definiendo un conjunto reducido de propiedades y elementos del sistema para poder describirlo. Este consiste en estructurar el sistema en distintos niveles, desde el físico, en el que la representación es más detallada, hasta el de arquitectura, en el cual puede describirse todo el sistema omitiendo información sobre muchas de las propiedades definidas en niveles inferiores. Independientemente del nivel de abstracción en el que se encuentre descrito el sistema, existen tres formas de representarlo. La primera se denomina representación o vista estructural y describe al sistema mediante la interconexión de bloques o componentes con funciones y propiedades conocidas. En segundo lugar, en la vista comportamental el sistema se describe por su función utilizando ecuaciones matemáticas, curvas, algoritmos, tablas, etc. Por último, la vista física o implementación que no es más que el aspecto real que tendrá el sistema o circuito una vez fabricado.

En la Tabla 2 se resume lo expresado en los párrafos anteriores.

Nivel de abstracción	Vista funcional	Vista estructural	Vista física
Físico	Ec. de Laplace. Ec. de Maxwell. Leyes físicas.	Estructuras 3D, 2D. Materiales.	Diagramas de máscaras.
Eléctrico	Ec. diferenciales, Curvas V/V, I/V, T/V, etc.	Transistores, resistencias, bobinas, condensadores, diodos, etc.	Componentes electrónicos
Lógico	Ec. booleanas, diagramas de estados.	Puertas, biestables.	Celdas estándar. Diagramas de máscara Lógico Macromodelo ras. Módulos.
Arquitectura	Especificaciones funcionales, algoritmos, diagramas de flujo, conjuntos de instrucciones, etc.	Memorias, ASIC's, Bloques combinacionales y secuenciales, Convertidores, Filtros, etc.	Chips, placas de circuito impreso, MCM's.

Tabla 2: niveles de abstracción y vistas.

5.2 Ciclo de diseño

El diseño es un proceso por medio del cual a partir de la especificación de un sistema electrónico es posible obtener la implementación del mismo. La especificación es la descripción de la función de este y de ciertas características relacionadas con su uso como velocidad, tecnología, etc. En otras palabras, describe “qué” hace el sistema pero sin especificar “cómo”. Por otro lado, la implementación explica “cómo” éste está construido, en base a componentes más simples. Para cerrar el ciclo de todo el proceso, es necesario verificar mediante un procedimiento de análisis que la implementación final del sistema se comporta como describe su especificación y en caso de no ser así, ésta debe refinarse y volver a recorrer el ciclo que se presenta en el Diagrama 1. Si el diseño es complejo es necesario recurrir a una estrategia de diseño jerárquico o multinivel como se expresó en el apartado 4.1.

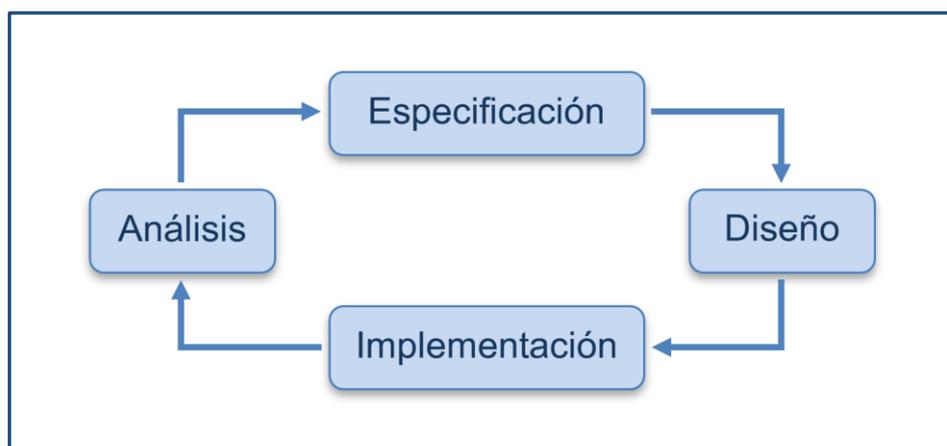


Diagrama 1: ciclo de diseño.

5.2.1 Diseño descendente y diseño ascendente

El diseño jerárquico tiene dos variantes posibles, la estrategia de diseño descendente (*top-down*) ilustrada en la Fig. 15-a consiste en descomponer al sistema en diversos subsistemas, los cuales a su vez son descompuestos en subsistemas más simples hasta que se llega a un nivel en el cual estos pueden ser realizados directamente con módulos disponibles.

En la otra estrategia de diseño multinivel se parte de módulos básicos que se conectan para formar sistemas de nivel superior y éstos se conectan a otros hasta lograr la funcionalidad requerida. Esta estrategia se llama diseño ascendente (*bottom-up*) y se observa en la Fig. 15-b.

El éxito en cualquiera de estas estrategias depende de la experiencia del diseñador al escoger una descomposición adecuada para cada nivel.

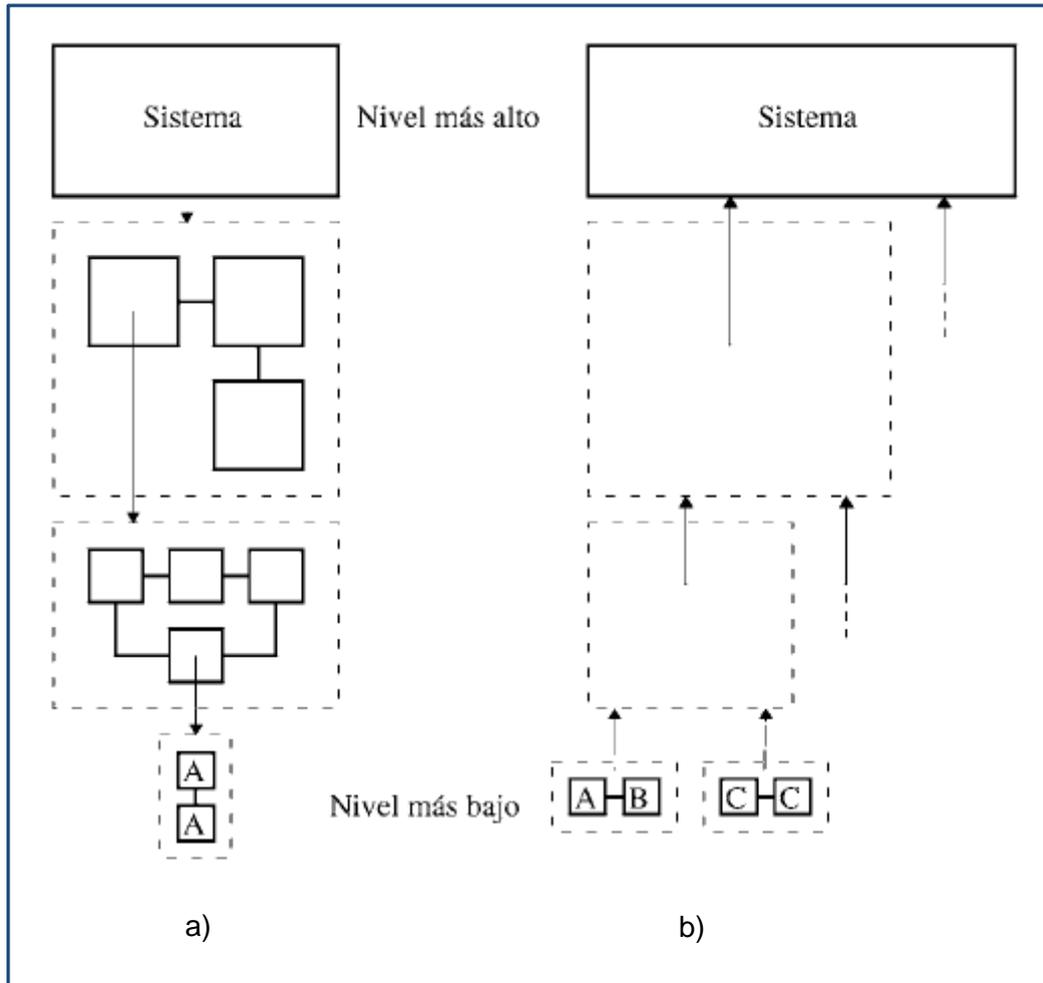


Fig. 15: a) diseño descendente; b) diseño ascendente. [2]

5.3 Modalidades para el diseño

A la hora de diseñar existen varias modalidades de trabajo para elegir dependiendo de los requerimientos del sistema que se va a realizar, estas son:

Celdas Estándar

En un diseño con celdas estándar, se comienza a partir de una librería de componentes funcionales básicos (como compuertas lógicas, sumadores, multiplexores, etc.) ya diseñados con anterioridad. Una característica particular es que todas las celdas de una librería tienen la misma altura, lo que permite disponerlas de forma contigua formando un conjunto de filas y espacios entre ellas. Es posible generar una librería o añadir elementos a una ya existente con bloques que sean necesarios para un diseño concreto. La uniformidad de altura de las celdas tiene como ventaja la simplicidad de la interconexión de los bloques, con lo cual es posible un proceso automatizado. Pero como desventaja, los bloques pueden no estar optimizados en prestaciones, y al ser de altura fija tampoco en área.



Full-Custom

El diseño totalmente personalizado o *full-custom* es una metodología por medio de la cual se diseñan todas las partes de un circuito integrado de forma manual. Esto permite mejorar las prestaciones de cada bloque mediante el dimensionamiento de los transistores que lo componen, y la realización a mano del *layout* del circuito. Este método tiene como ventaja la posibilidad de obtener circuitos de altas prestaciones y área reducida, pero como contrapartida presenta un costo de diseño muy elevado, debido a la gran cantidad de tiempo que demanda.

Matriz de Compuertas

Un circuito *gate array* o matriz de puertas, se basa en la interconexión de bloques básicos pre colocados. El proceso de diseño consiste en definir las interconexiones, lo que es sencillo desde el punto de vista de la automatización del proceso. Además, el proceso de fabricación también se ve simplificado ya que lo único que cambia entre diferentes diseños son las capas de metalización. Se parte de obleas en las cuales ya se han fabricado los transistores y conexiones que forman los bloques, y sólo se añaden las capas de interconexión entre estos últimos. Tiene ciertas ventajas como la rapidez en el diseño, la reducción de costo y tiempo de fabricación, ya que parte del proceso es común para cualquier diseño. Pero el circuito no está optimizado ni en área ni en prestaciones, por lo que normalmente se utiliza solo para prototipos o aplicaciones poco exigentes.

5.4 Reglas de diseño

El proceso de fabricación de circuitos microelectrónicos no es ideal, sino que algunos procedimientos como litografía, difusión, remoción, alineación de máscaras o la tolerancia de estas pueden introducir ciertas variaciones en las dimensiones de los componentes.

Es debido a esto que, si no se toman algunas precauciones en el diseño y confección de las máscaras, el funcionamiento del circuito puede no ser el esperado. Por ejemplo, si una línea de metal se hace muy angosta, las imprecisiones podrían causar que en algún punto la línea resulte abierta. También podría suceder que dos líneas se pongan en contacto si se colocan demasiado cerca, produciendo un cortocircuito.

Para evitar estas imperfecciones y con el objetivo de maximizar el rendimiento (que se define como el porcentaje de chips funcionales de una oblea) minimizando el área que ocupa el chip sin comprometer su confiabilidad, las reglas de diseño establecen restricciones en las dimensiones y espaciamientos entre los objetos del circuito.

Es necesario tener en cuenta que la violación de estas reglas no necesariamente implica un mal funcionamiento del circuito integrado, y está incluso permitida para los diseñadores más

expertos. Por el contrario, para el resto de los diseñadores las reglas son un requisito estricto que se debe cumplir para enviar un circuito a fabricación.

Las reglas de diseño pueden representarse mediante sus dimensiones físicas, donde las separaciones y espaciamentos se expresan en micras. Manifestadas de este modo las reglas se conocen como nativas. También existe una forma genérica de representarlas, en la cual todas las restricciones se expresan a través de un parámetro λ , y son llamadas reglas escalables CMOS (SCMOS). La principal ventaja de estas últimas reside en que al utilizar un parámetro no se hace referencia explícita a las dimensiones reales. Por ello, un diseño puede migrar entre distintas tecnologías mediante la redefinición de este. Las reglas pueden clasificarse en cinco tipos, que se muestran en la Fig. 16.

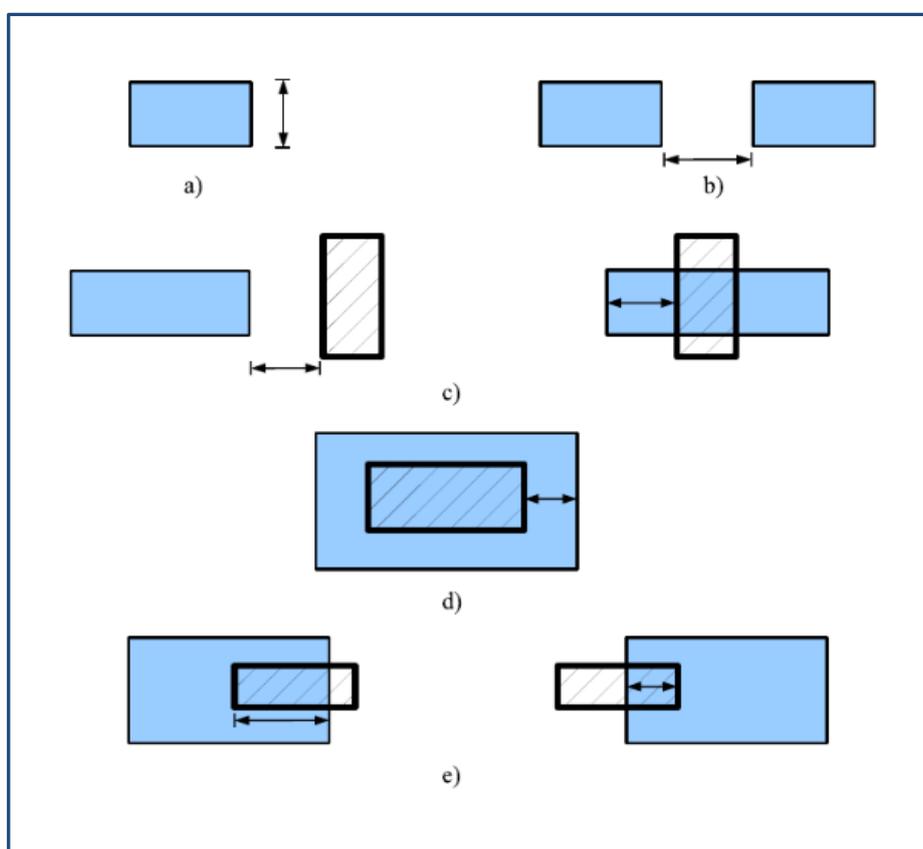


Fig. 16: a) Ancho; b) Espaciamiento; c) Separación; d) Extensión; e) Superposición. [3]

6. Aplicación práctica

La teoría expuesta en los apartados anteriores nos permitió comprender conceptos relacionados con los procesos de fabricación y diseño de circuitos integrados digitales. Sin embargo, para cumplir con el objetivo principal de este trabajo que es la realización de un chip funcional, no es suficiente con estos conocimientos, sino que es necesario integrarlos con otros que para una mejor comprensión, serán introducidos en este trabajo a medida que se avance con el diseño planteado como ejemplo de aplicación.

Este último está formado por dos subcircuitos, uno de ellos es de tipo secuencial y está compuesto por diez contadores de cuatro bits que funcionan en simultáneo en base a una señal de reloj común. Dos de los mismos diseñados por los autores de este trabajo y los ocho restantes por los demás participantes de la mencionada EAMTA. También, para este circuito secuencial fue necesario añadir un bloque que permite seleccionar cada uno de estos contadores conectándolos a la salida del circuito para visualizar su funcionamiento. En segundo lugar, se realizó el diseño de un sumador binario de dos números de dos bits, circuito de tipo combinacional.

En el Diagrama 2 se presenta una estructura en bloques simplificada con la distribución de las partes del circuito.

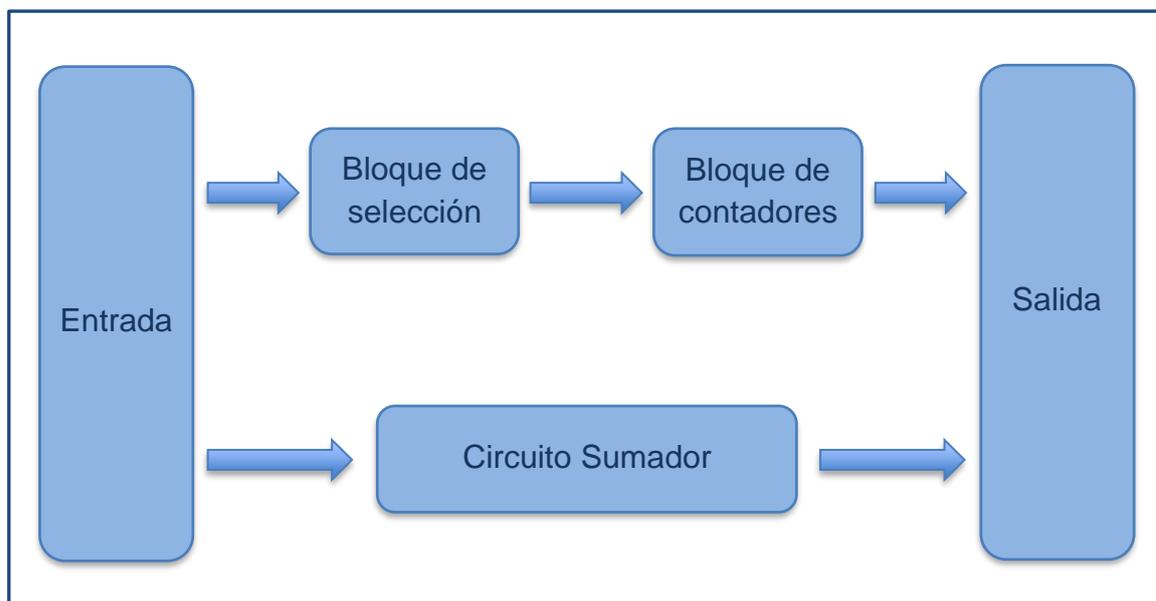


Diagrama 2: bloques que conforman el circuito.

- Entrada y Salida: abarca las conexiones y los circuitos de acondicionamiento de las señales provenientes del exterior. Esto se logra mediante la configuración de un anillo de *pads* como entrada o salida según corresponda, y la incorporación de buffers mediante los cuales se le dará a las señales la robustez necesaria para un buen desempeño del circuito.
- Contadores: este bloque está compuesto por un conjunto de diez circuitos contadores de cuatro bits, los cuales funcionan en simultáneo.

- Selección: compuesto por un circuito conversor binario a decimal, el cual comanda a un grupo de compuertas de transmisión permitiendo seleccionar que contador se conectará con la salida.
- Circuito sumador: sumador binario de dos números de dos bits.

6.1 Tecnología de fabricación

Cada tecnología establece una cantidad limitada de capas que pueden ser fabricadas de cada uno de los diferentes materiales (metal, polisilicio, etc.), así como también las dimensiones permitidas para los diferentes componentes y las reglas que deben respetarse a la hora de realizar un diseño.

Para este trabajo se utilizó la tecnología CMOS escalable SUBM C5F/N 0.5 μm del fabricante MOSIS. Esta es una tecnología de doble pozo (*twin-tub*) con sustrato de base tipo p , y permite fabricar hasta tres capas de metal y dos de polisilicio. La indicación 0.5 μm hace referencia al largo mínimo que puede tener el canal de un transistor indicado en la Fig. 17, en las tecnologías más avanzadas de hoy en día esta medida llega hasta los 7 nm.

El hecho de ser una tecnología escalable implica que el diseñador trabaja utilizando como unidad de medida el parámetro lambda (λ) que se define según la Ecu. 1, estableciendo todas las dimensiones mediante múltiplos de este. Esto permite que, modificando el valor de este parámetro, un mismo diseño pueda ser fabricado en procesos con otras dimensiones y reglas de diseño. En la tecnología elegida, el largo mínimo de canal (L) es de 0.5 μm , sin embargo, en el software de diseño se trabaja con un L de 0.6 μm siendo entonces $\lambda=0.3 \mu\text{m}$ que luego es escalado a la medida del proceso de fabricación.

$$\lambda = \frac{L}{2}$$

(Ecu. 1)

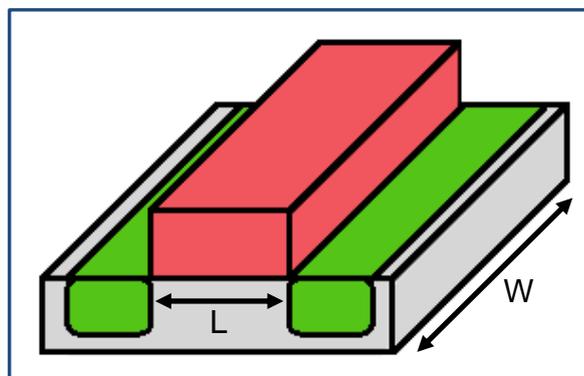


Fig. 17: perspectiva de un transistor MOS.



6.2 Desarrollo

Se decidió para este trabajo optar por la modalidad de diseño *full-custom* con el objeto de crear manualmente una librería propia de celdas y compuertas estándar, que luego se combinaron para realizar circuitos de mayor complejidad.

Los transistores utilizados para formar todas estas celdas fueron hechos con el tamaño mínimo de largo de canal (2λ). Esto es posible debido a que, al ser un circuito de tipo digital, no es necesario manejar grandes niveles de corriente y permite optimizar su área. A su vez, se definieron distintos valores de ancho de canal, siendo este en los transistores pMOS el doble que en los nMOS, 12λ y 6λ respectivamente. Esto ayuda a compensar el hecho de que la movilidad de los electrones (portadores en el nMOS), es mucho mayor que la de los huecos (portadores del pMOS), y de esta manera se logra obtener tiempos de subida y bajada aproximadamente iguales en ambos transistores.

Para garantizar un correcto diseño, es necesario respetar los diferentes pasos que se deben dar para culminar con la obtención de la máscara y que constituyen el denominado flujo de diseño, estos son:

- Edición de esquemático y simulación: como primer paso se construyen los diferentes bloques del circuito en forma de esquemático con transistores y de manera jerárquica. Para la verificación del comportamiento de cada uno de ellos se utiliza un simulador de circuitos.
- Edición de máscara de *layout* y verificación de reglas de diseño: en segundo lugar, se diseñan las máscaras para la celda o bloque construido en el paso anterior. Es necesario que al dibujarlas, se respeten las reglas de diseño establecidas por la tecnología de fabricación, lo que se comprueba utilizando una herramienta de chequeo de reglas de diseño (DRC).
- Verificación de equivalencia entre esquemático y *layout*: en última instancia, se debe corroborar que el circuito esquemático coincida eléctricamente con su correspondiente máscara. Esto se analiza mediante una herramienta que compara las descripciones de ambos y es denominada máscara versus esquemático (LVS).

Una vez que se cuenta con la máscara completa del circuito integrado, que ha cumplido con ambos chequeos (DRC y LVS) es conveniente extraer el *netlist* y realizar las simulaciones necesarias para asegurar el funcionamiento del circuito integrado. El *netlist* producido a partir de la máscara final posee la información de las dimensiones de cada uno de los componentes del circuito, tanto dispositivos como interconexiones, a diferencia del circuito esquemático. Esto permite generar una descripción más precisa de las capacidades de cada nodo, lo cual es importante para la verificación temporal del circuito.

6.2.1 Compuertas lógicas

La compuerta inversora es una de las compuertas más sencillas, dado que solo requiere de dos transistores. Se explica para este caso el diseño paso a paso del *layout* de la compuerta de manera que el lector comprenda, en forma gráfica y mediante una vista superior, la visualización de las capas en el entorno de Electric VLSI.

Conectados como se observa en la Fig. 18, los transistores que componen el inversor entregan a la salida el valor lógico opuesto al de entrada.

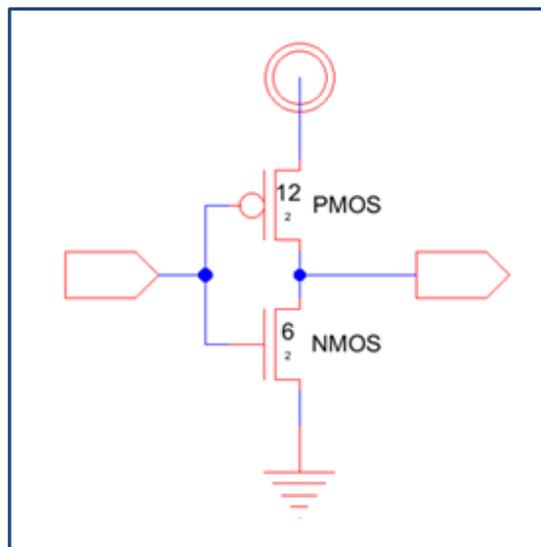


Fig. 18: esquemático de un inversor en entorno Electric VLSI.

El dibujo manual del *layout* comienza por la definición de las regiones de los pozos *n* y *p* (Fig. 19-a) dentro de las cuales se crean las áreas activas donde irán los transistores y las líneas de alimentación, que pueden observarse en color verde en la Fig. 19-b. Mediante una línea de polisilicio como se muestra en la Fig. 19-c, se implementa la compuerta de cada uno de los transistores. Se unen ambas compuertas a través de una línea ininterrumpida del mismo material constituyendo así el terminal de entrada del inversor (Fig. 19-d). Por último, se añade la primera capa de metalización que conecta los transistores y los terminales de alimentación mediante vías (Fig. 19-e).

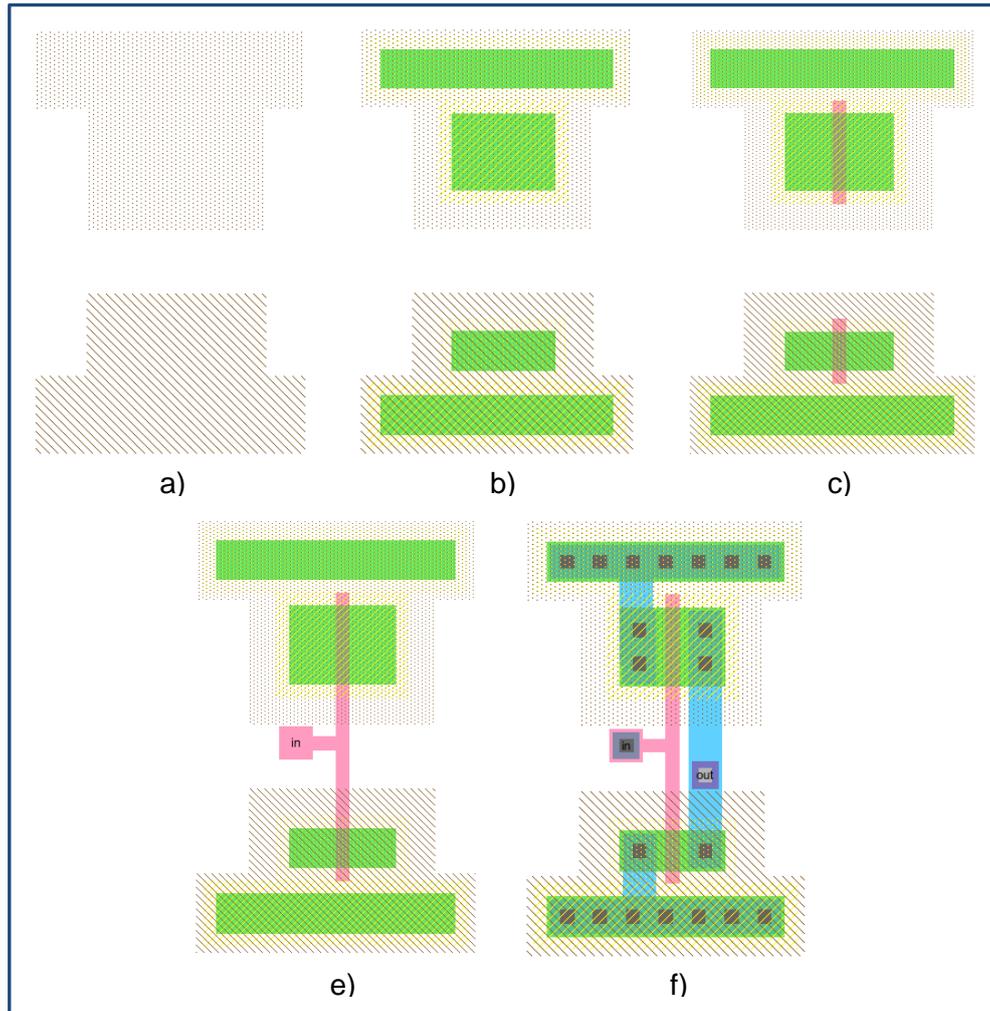


Fig. 19: pasos para el dibujo de una compuerta inversora.

Además de la inversora se diseñaron para el grupo de compuertas lógicas básicas, aquellas que representan las funciones NAND, NOR, AND y XOR cuyos circuitos esquemáticos y *layout* se muestran desde la Fig. 20 a la Fig. 23.

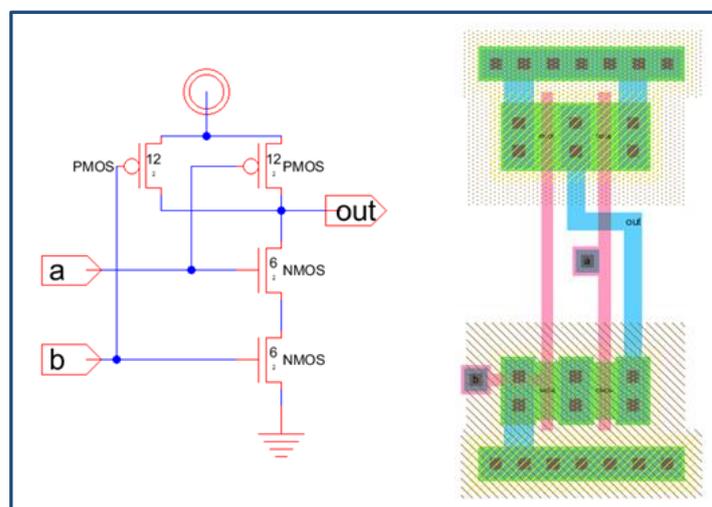


Fig. 20: esquemático y *layout* de una compuerta NAND.

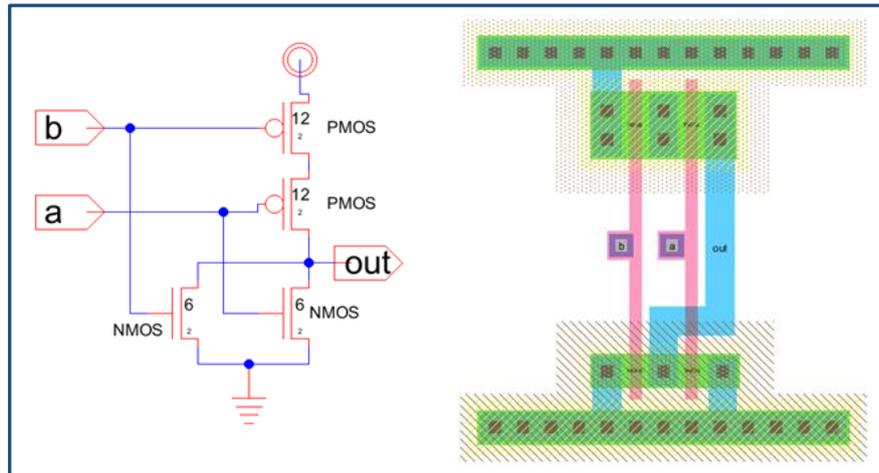


Fig. 21: esquemático y *layout* de una compuerta NOR.

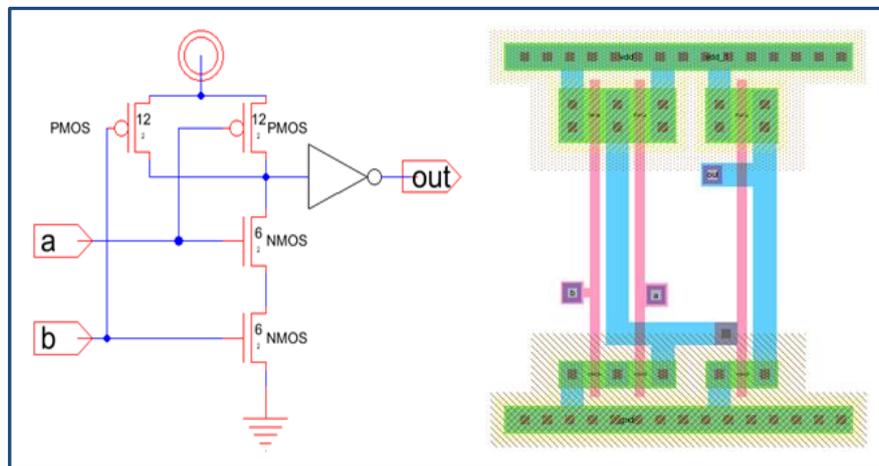


Fig. 22: esquemático y *layout* de una compuerta AND.

Como se aprecia en la Fig. 22, la compuerta AND se forma mediante la unión de una NAND y un inversor.

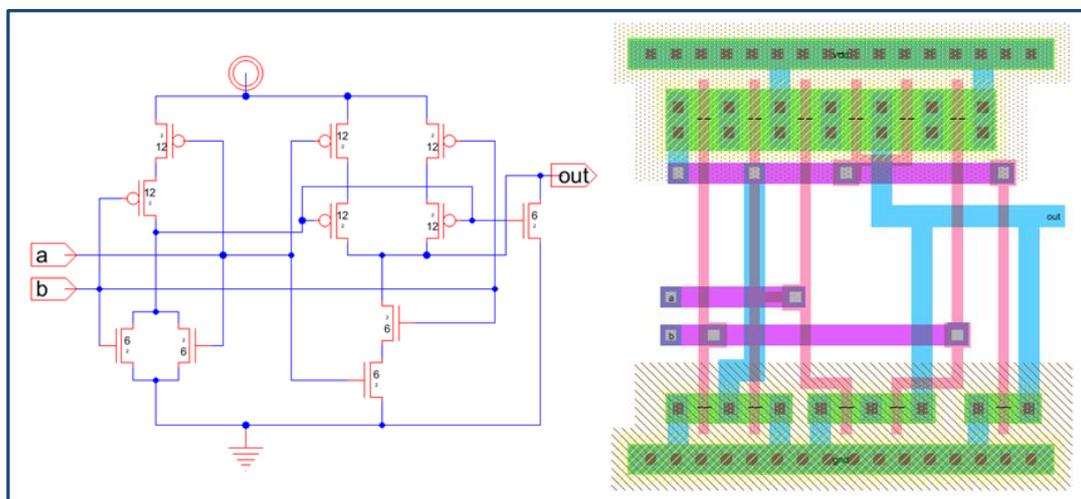


Fig. 23: esquemático y *layout* de una compuerta XOR.

Como se puede observar en el dibujo de *layout*, al aumentar la complejidad de las compuertas, aumenta la dificultad a la hora de realizar las conexiones pertinentes. Es esto por lo que fue necesario añadir una capa de metalización superior que se ve en la Fig. 23 en color violeta, correspondiente a la capa de Metal 2.

6.2.2 Circuito combinacional

6.2.2.1 Sumador

Para la obtención del circuito combinacional planteado se comenzó por el diseño y dibujo manual de un semisumador, capaz de sumar dos bits y entregar a la salida el resultado de la suma y un bit de acarreo en caso de que lo hubiese. El mismo presenta una respuesta de acuerdo con la Tabla 3.

Entrada		Salida	
A	B	Carry Out	Suma
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Tabla 3: tabla de verdad de un semisumador.

El circuito esquemático en este caso no se realiza directamente con transistores, sino que se utilizan para el mismo las compuertas lógicas ya diseñadas disponibles en nuestra librería. Este esquemático y su *layout* creados en el entorno de diseño de la herramienta Electric VLSI pueden verse en la Fig. 24 a continuación:

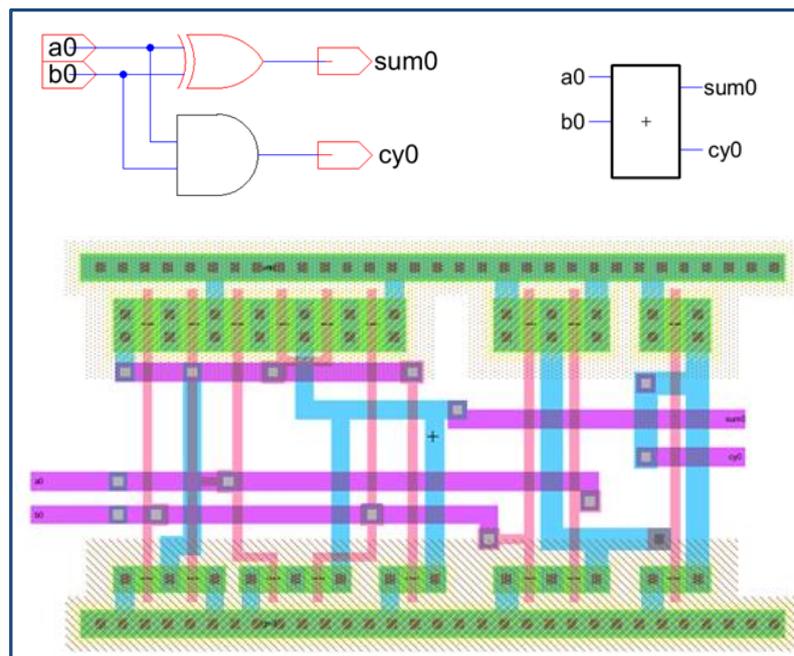


Fig. 24: esquemático, símbolo y *layout* del semisumador.

En base al semisumador se puede obtener un circuito capaz de realizar la suma de dos bits a_0 y b_0 con un posible acarreo previo. Esto se hace mediante el agregado de compuertas lógicas como se detalla en la Fig. 25 y su respuesta se muestra en la Tabla 4.

Entrada			Salida	
A	B	Carry In	Carry Out	Suma
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Tabla 4: tabla de verdad de un sumador con acarreo de entrada.

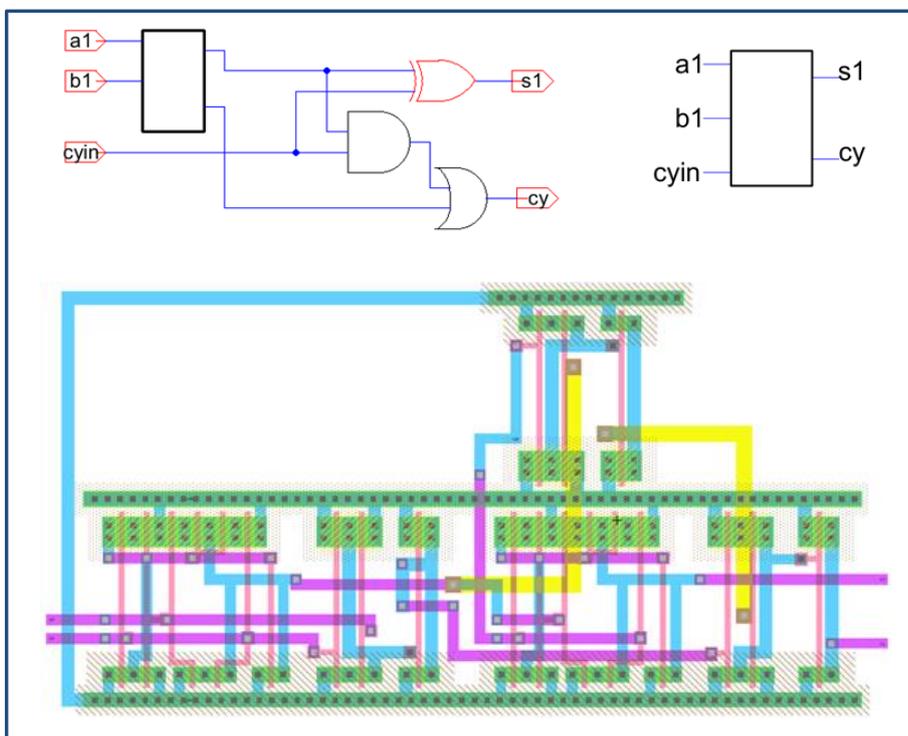


Fig. 25: esquemático, símbolo y *layout* del sumador con acarreo de entrada.

Conectando en cascada el diseño de la Fig. 25 n veces, se consigue un circuito que permite la suma de dos números A y B cada uno de ellos con n bits. Para este caso estos números tendrían solo dos bits cada uno, es decir $n = 2$. El circuito se muestra en la Fig. 26.

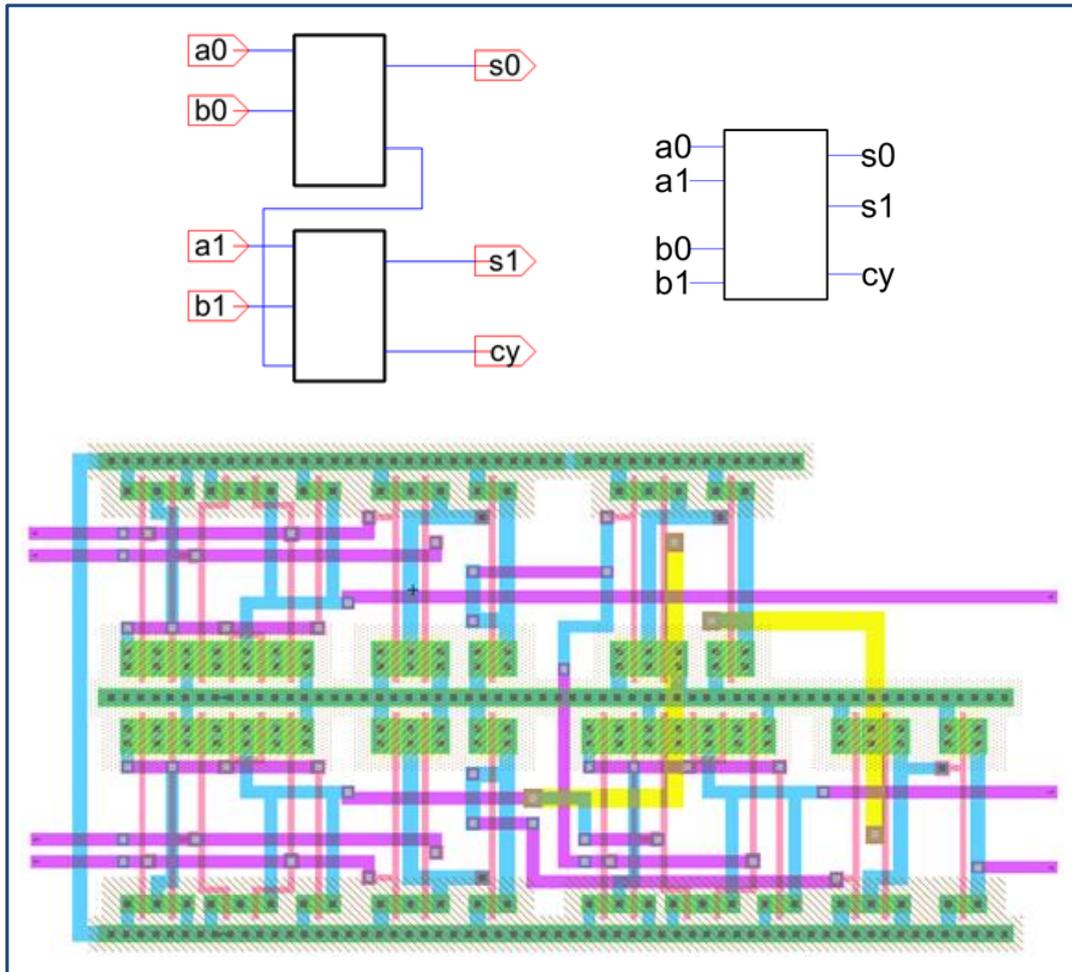


Fig. 26: esquemático, símbolo y *layout* del circuito sumador de dos bits.

Un buen hábito a la hora de dibujar manualmente los *layouts* de circuitos microelectrónicos, es organizar las diferentes capas metálicas para optimizar al máximo las interconexiones eléctricas. La forma en la que logramos esto fue dibujando todas las líneas de cada nivel de metal en una misma dirección, distinta para cada uno de ellos. Como se observa en las imágenes anteriores, para la primera capa metálica todas las interconexiones se realizaron en dirección vertical y las de metal de segundo nivel en dirección horizontal. Respecto a la tercer y última capa de metalización, se tomó la decisión de limitar su uso a las interconexiones que no pudieron ser realizadas con los dos niveles inferiores y también para las conexiones de alimentación, reloj, señales de entrada y salida del circuito. Esta estrategia permite evitar que algún nodo quede “encerrado” en un área entre distintos niveles de metal sin posibilidades de conectarse con otros nodos

6.2.3 Circuito secuencial

6.2.3.1 Bloque de contadores

Para formar cada contador se conectaron en cascada cuatro módulos contadores de un bit. Cada uno de estos últimos formado por un Flip-Flop tipo D al cual se le agregaron dos compuertas lógicas, una AND y una XOR. Todos los módulos funcionan con un reloj bifásico de fases no solapadas, una maneja al maestro del FF y la otra al esclavo. En la Fig. 27 se aprecia su circuito esquemático y *layout*.

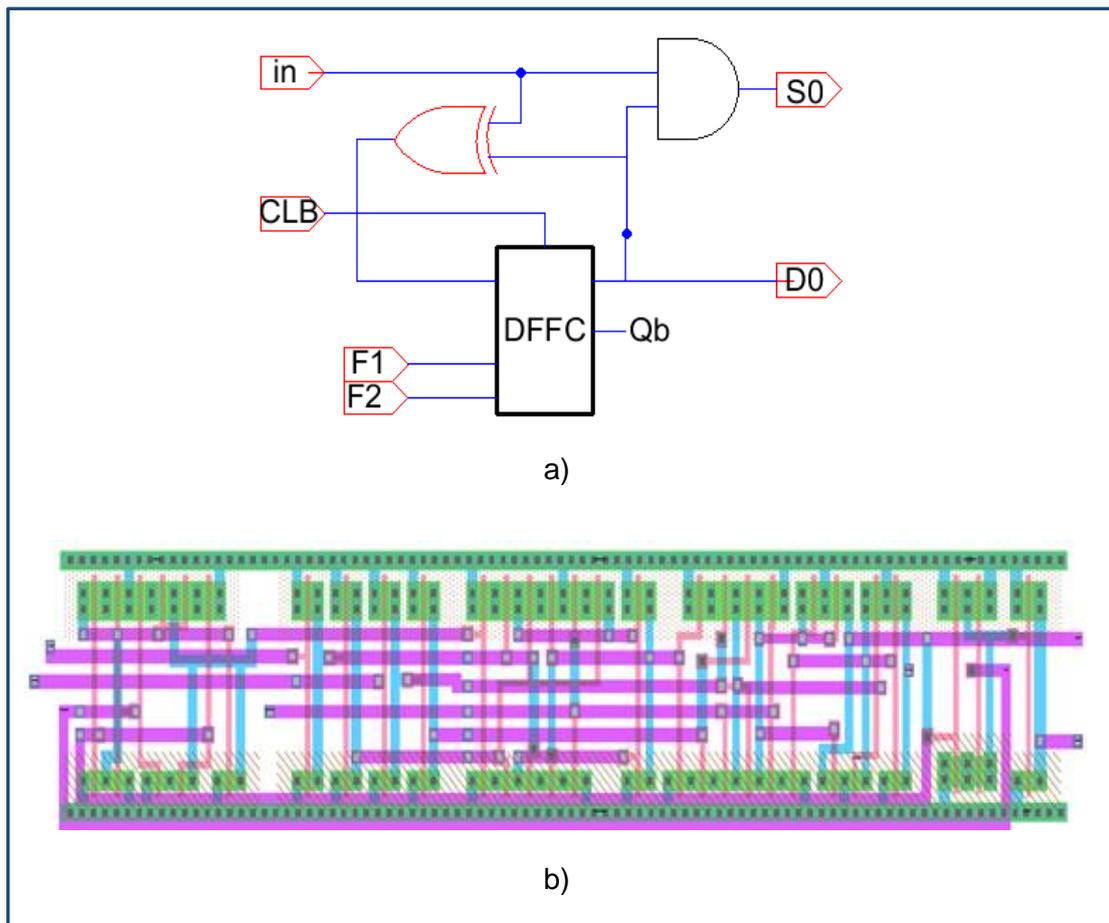


Fig. 27: esquemático y *layout* de un módulo contador.

La Fig. 28-a muestra la conexión de cuatro contadores de un bit para la obtención del contador completo. Si se observa con detenimiento, en la Fig. 28-b es posible ver que se ubicaron por pares, invirtiendo un contador de cada par haciendo coincidir las barras de alimentación de ambos para optimizar el *layout*.

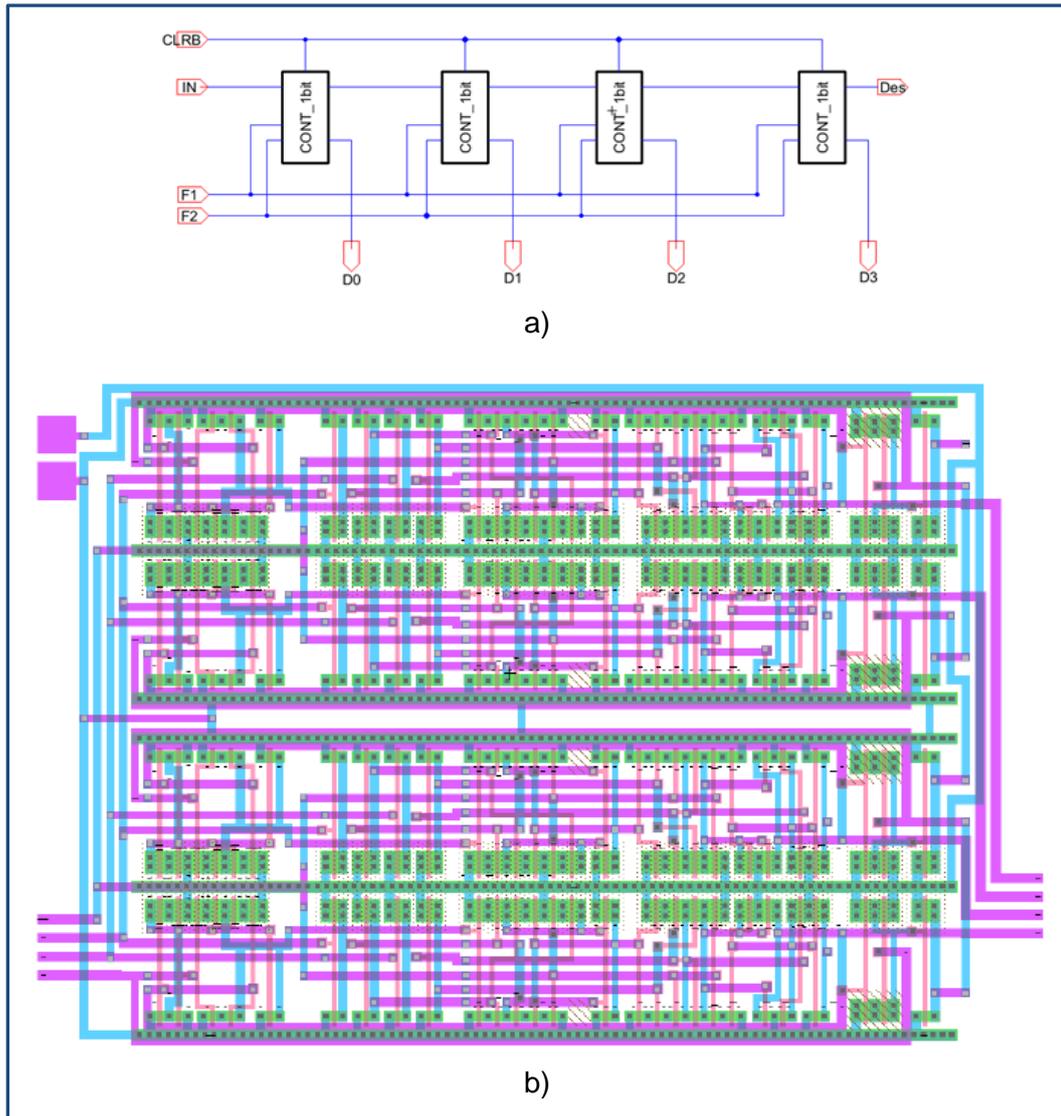


Fig. 28: contador de cuatro bits a) Esquemático; b) *Layout*.

Puede verse que los contactos de alimentación y las señales de entrada/salida se realizaron en el segundo nivel de metal para facilitar su posterior conexión con el resto de los componentes del circuito. A su vez estos contactos son de un ancho mayor que las líneas internas de la celda. Esto es así debido a que el largo de las rutas de conexión con los demás bloques es mayor y se hace necesario reducir la resistencia de cada una de ellas para lograr que las señales lleguen con un buen nivel lógico.

6.2.3.2 Bloque de selección

Como se explicó con anterioridad se creó un sistema de selección que permite al usuario, ingresando un número binario del 0001 al 1010 en los pines de control, elegir cuál de los contadores se conecta con la salida del circuito integrado.

Se aprecia en el Diagrama 3 que este sistema incluye cuatro multiplexores implementados con compuertas de transmisión y cuyas entradas son, para cada uno, los bits de igual peso de todos los contadores. Es decir, al multiplexor b0 le corresponden los bits menos significativos, al multiplexor b1 los siguientes, etc. También incorpora un convertor binario a decimal que cuenta con diez salidas, cada una conectada a los pines de control de cada multiplexor. De esta manera, en función del número n ingresado en el convertor se activa una de sus n salidas dejando pasar, a través de los multiplexores, los cuatro bits del contador n a la salida.

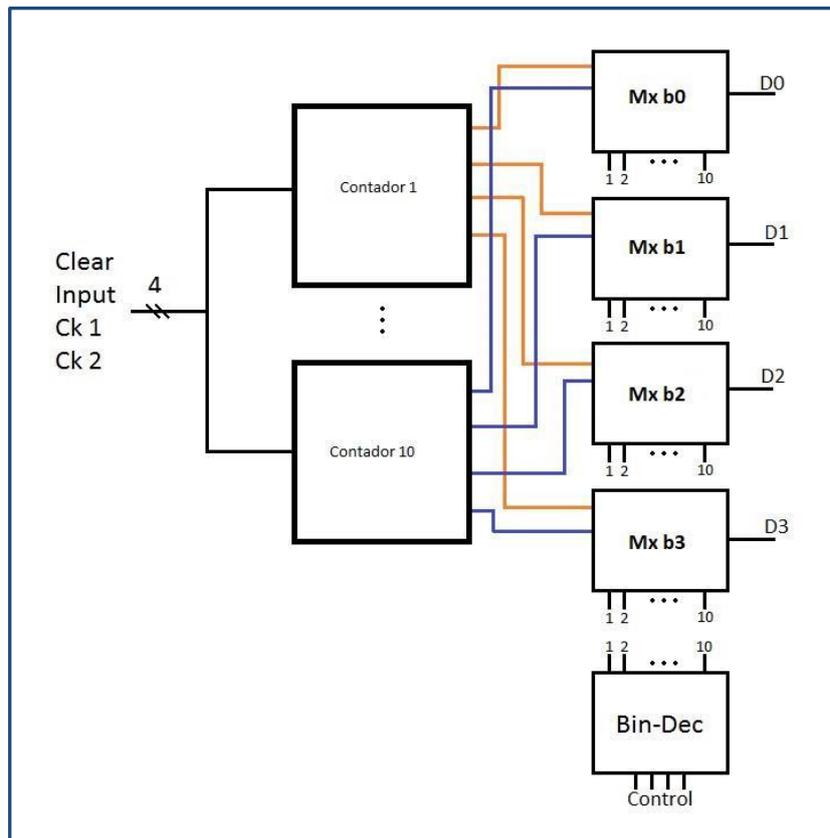


Diagrama 3: bloque de selección.

6.2.3.2.1 Conversor binario a decimal

El circuito conversor se realizó con compuertas lógicas diseñadas para nuestra librería de celdas. Su esquemático y *layout* se pueden observar en la Fig. 29.

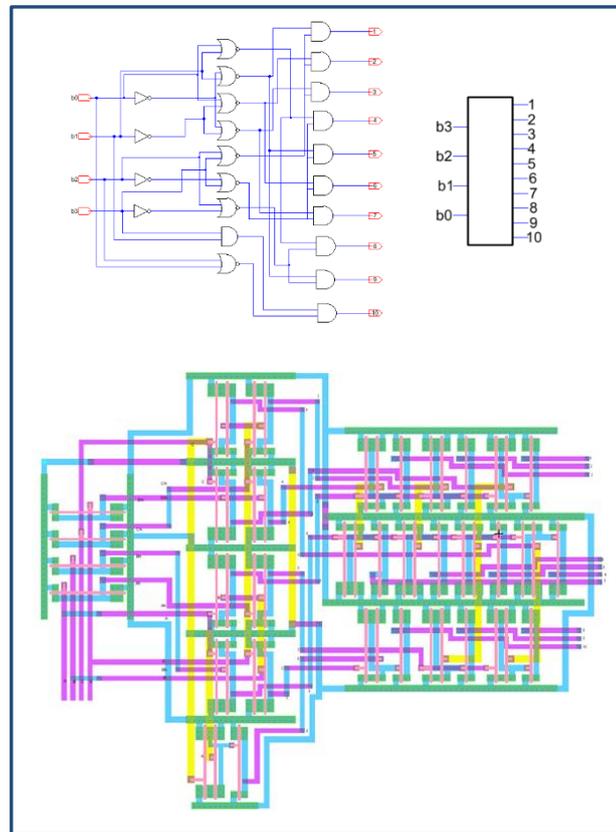


Fig. 29: conversor binario a decimal. Esquemático, símbolo y *layout*.

6.2.3.2.2 Compuertas de transmisión y multiplexores

Las compuertas de transmisión funcionan como una llave de paso, tienen un terminal de entrada, uno de salida y uno de habilitación. Para la apertura o cierre de las mismas se necesitan señales de control complementarias, por lo que se debe disponer de una señal y su inversa.

Su circuito esquemático y símbolo se muestran en la Fig. 30.

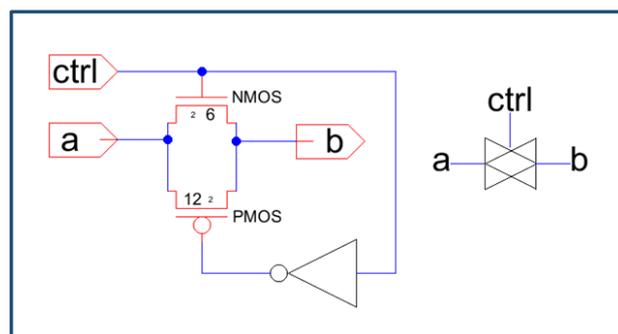


Fig. 30: compuerta de transmisión.

Debido a que necesitamos la señal de control y su complementaria, el dibujo de *layout* se hizo partiendo de la celda inversora. Se agregaron a ella dos transistores que conforman la compuerta de paso y se realizaron las conexiones pertinentes como se ven en la Fig. 31.

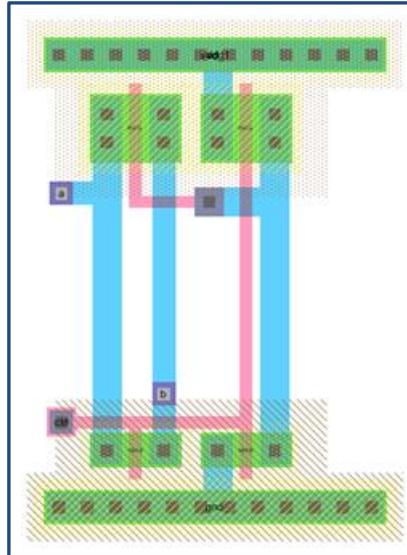


Fig. 31: *layout* de una compuerta de transmisión.

Los multiplexores están formados por diez de estas compuertas. En el circuito esquemático de la Fig. 32 se pueden apreciar las entradas de datos indicadas con la letra 'a' provenientes de los contadores, los pines de control con la letra 'c' y las salidas de las compuertas conectadas a una línea común.

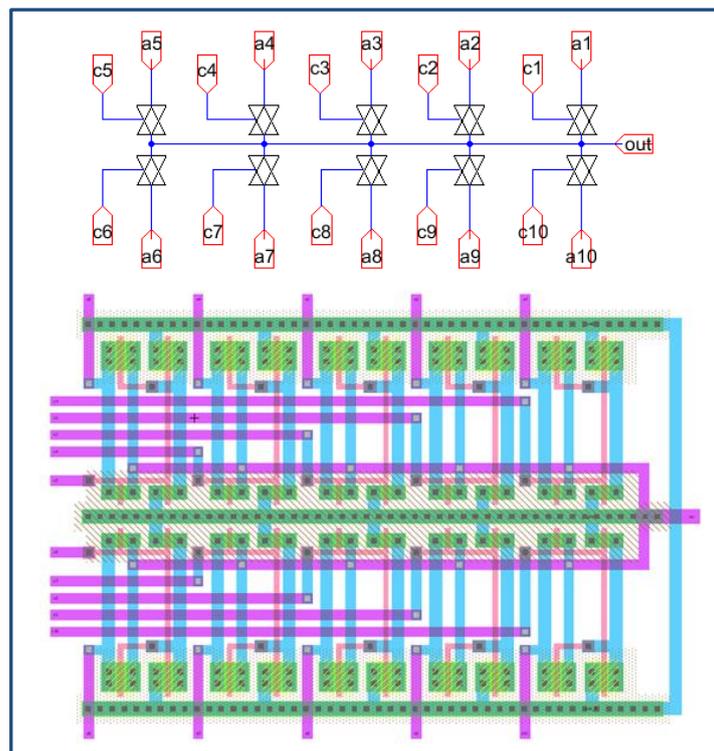


Fig. 32: esquemático *layout* de un multiplexor.

6.2.4 Entrada y salida

6.2.4.1 Pads

Los *pads* son estructuras metálicas mediante las cuales se realiza la conexión entre el chip semiconductor sobre el que se fabricó el circuito integrado y el exterior. Estos tienen forma cuadrada y son del orden de 90 μm de lado o menos y sobre ellos se suelda el hilo metálico que vincula el chip a su encapsulado. Para asegurar la mayor robustez mecánica posible al contacto, estos se implementan con todos los niveles de metal disponibles para la tecnología, interconectados por vías. El tamaño de cada *pad* depende mayormente de la tecnología utilizada para realizar la soldadura y no tanto de la tecnología del proceso de fabricación.

Es fundamental tener en cuenta los efectos de las descargas electrostáticas (ESD) que surgen del contacto de personas o equipos con el chip y pueden romper los transistores del circuito. Para evitar daños por este tipo de fenómenos se implementan estructuras de protección capaces de disipar la carga transferida manteniendo los pines en niveles seguros de tensión. Estas se colocan en los *pads* de alimentación y de señales, tanto de entrada como de salida.

Se presentan en la Fig. 33-a y 33-b dos esquemas típicos de protección contra ESD, uno implementado con diodos y el otro con transistores. Ambos cumplen con el objetivo de mantener la tensión interna del circuito en niveles cercanos a V_{DD} y V_{SS} .

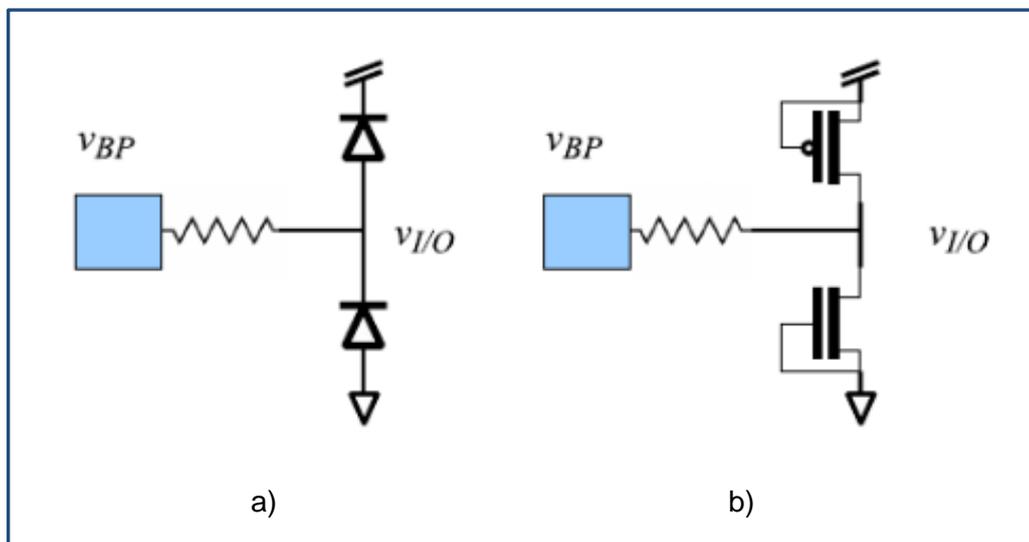


Fig. 33: protecciones contra ESD a) Con diodos; b) Con transistores. [3]

En la Fig. 34 se muestra el *layout* de un *pad* individual donde puede verse que el contacto de soldadura es de gran tamaño. También incluye en el lado derecho la protección contra descargas electrostáticas realizada con diodos, y en el izquierdo cuenta con una cadena de inversores cuyo objetivo es mejorar la robustez de las señales optimizando el *fan-in* y *fan-out*.

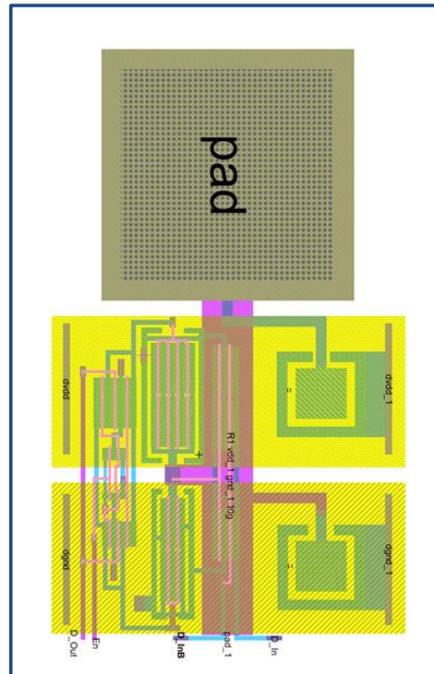


Fig. 34: *layout* de un *pad* con protección contra ESD.

Para nuestro diseño utilizamos un anillo de *pads* configurables provisto por el fabricante MOSIS como el de la Fig. 35. Su tamaño total es de 1.5 mm x 1.5 mm, con un área de 1,1 mm x 1,1 mm disponible para la inserción de los dispositivos diseñados. Se debieron realizar las conexiones internas en cada uno de ellos para poder configurarlos como *pad* de entrada o de salida en función de las necesidades de nuestro circuito.

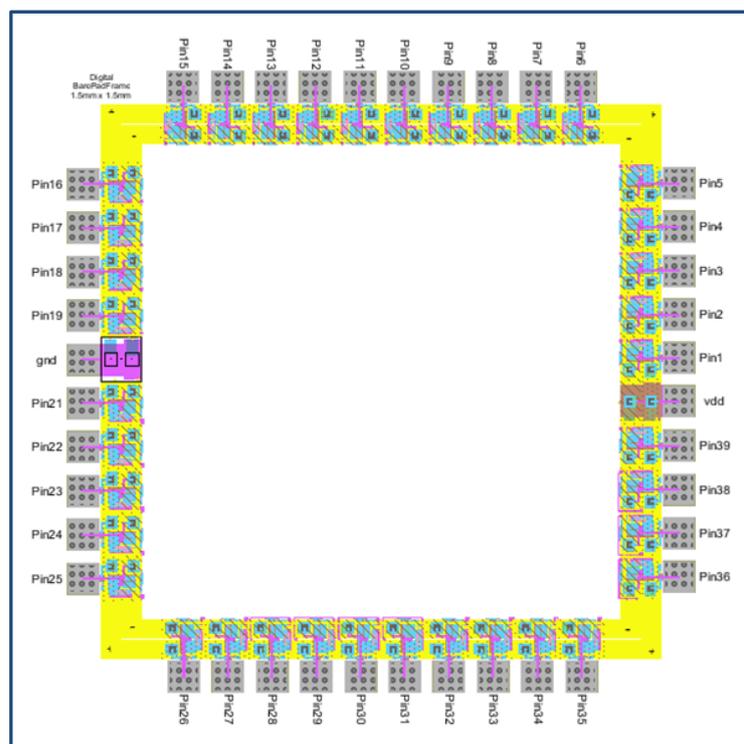


Fig. 35: anillo de *pads* de fabricante MOSIS.

Como se ve en el anillo, dos de los *pads* se diferencian de los demás ya que no cuentan con cadenas de inversores, estos están destinados para las señales de alimentación (V_{DD} y GND).

6.2.4.2 Alimentación

Los canales internos de alimentación deben diseñarse en función de dos objetivos fundamentales. El primero es mantener los valores de tensión estables ante los picos de corriente producidos por el consumo de potencia dinámica concentrado en los flancos de reloj. El segundo es evitar que la densidad de corriente supere el límite de electromigración del material. Para lograrlo se deben dimensionar correctamente las líneas de alimentación y su distribución dentro de la superficie del chip debe ser cuidadosamente planificada.

Existen diversas alternativas típicas en función de la cantidad de niveles de metal disponibles para la distribución interna de V_{DD} y GND. En caso de disponer de un mismo nivel de metal para ambas señales de alimentación, puede optarse por alguna de las opciones mostradas en la Fig. 36-a o 36-b. Si es posible utilizar más de un nivel, pueden implementarse sistemas de distribución como grillas o planos completos como se puede ver en las Fig. 36-c y 36-d.

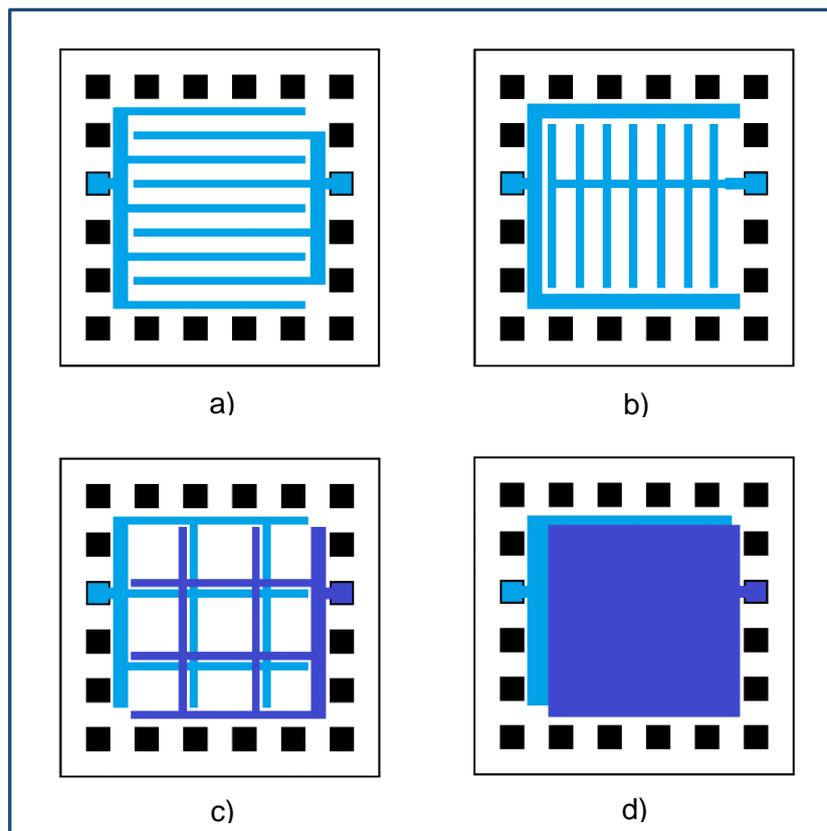


Fig. 36: esquemas de distribución a) y b) Para un solo nivel de metal;
c) y d) Para dos niveles de metal

En nuestro diseño, se colocaron todos los dispositivos con sus entradas de alimentación en dirección hacia afuera, y se implementó un cableado de distribución similar al de la Fig. 36-b.

Se realizaron dos pistas de un ancho de entre cuatro o cinco veces mayor al utilizado para las conexiones internas de las celdas, creadas con el nivel más alto de metalización y fueron ubicadas rodeando a todo el conjunto de dispositivos como se puede ver en la Fig. 37.

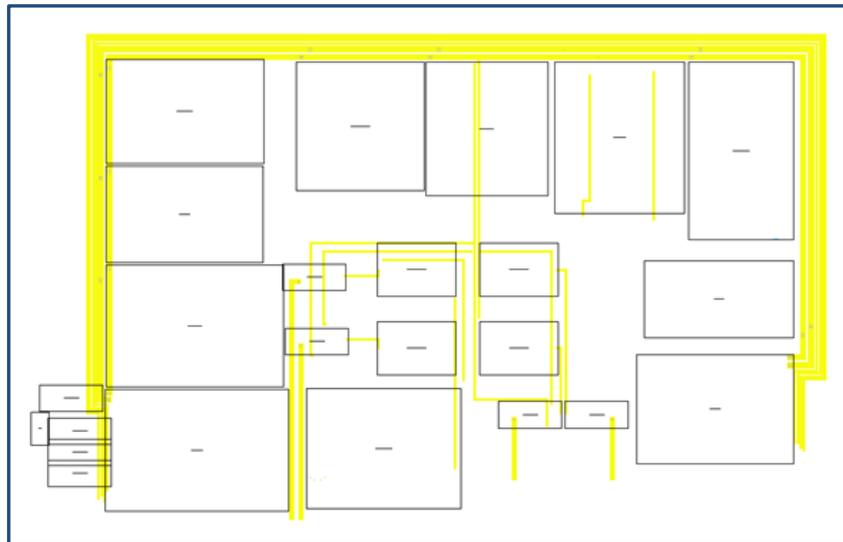


Fig. 37: distribución de alimentación.

6.2.4.3 Reloj

La señal de reloj de un circuito puede verse afectada por dos fenómenos, *skew* y *jitter*. El primero consiste en que la señal no llega a todos los componentes del circuito simultáneamente, sino que lo hace en diferentes instantes. El *jitter* se define como la variación temporal del período del reloj en un punto dado del circuito y se considera generalmente como una variable aleatoria con valor medio nulo.

Para conseguir que todos los dispositivos del circuito que requieren sincronización entre sí reciban los flancos de reloj en el mismo instante, es menester realizar un diseño muy cuidadoso de la línea de distribución de este, agregando buffers para minimizar el efecto del *skew*. Algunas opciones para la distribución de reloj utilizando estos dispositivos son las que se muestran en la Fig. 38.

Para diseños simples, la opción más sencilla se presenta en la Fig. 38-a. Si la complejidad del sistema es mayor se pueden utilizar disposiciones del tipo buffers en cruz que distribuyen la señal desde el centro del circuito o implementar una grilla rectangular de distribución. El primero de los casos, reduce el *skew* al mínimo a lo largo de la estructura, el segundo logra una distribución regular de reloj, pero a costa de un incremento del cableado lo cual produce un aumento en el consumo de potencia.

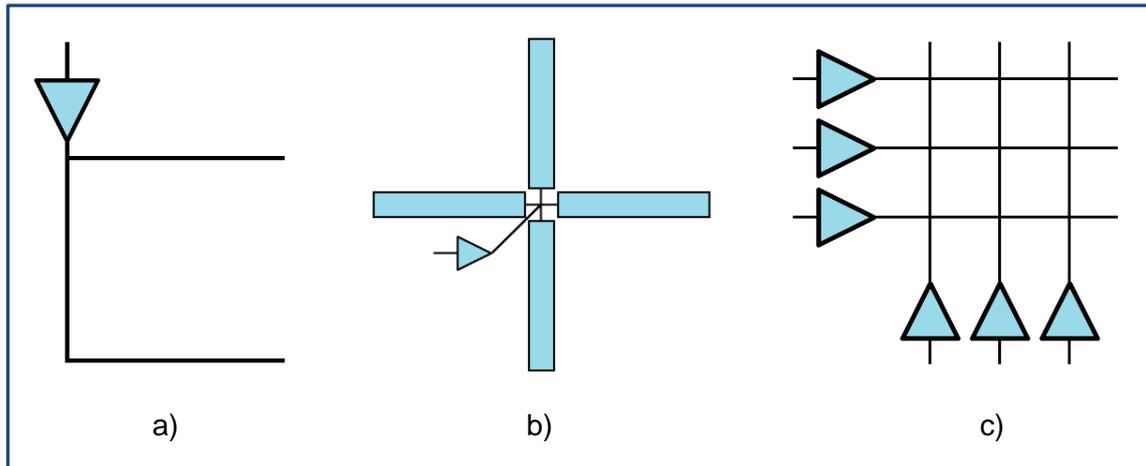


Fig. 38: esquemas de distribución de reloj. a) Distribución simple; b) Distribución en cruz; c) Distribución tipo grilla.

6.2.5 Montaje final

Después de diseñar la totalidad de las celdas que forman el circuito integrado, se debió agruparlas y realizar las interconexiones correspondientes. Comenzamos por ubicar los diez contadores en la parte externa, conectándolos a los anillos de alimentación como muestra la Fig. 39.



Fig. 39: ubicación de contadores y conexiones de alimentación.

En segundo lugar, se colocaron los multiplexores y el convertor, que conforman la etapa de selección. Se decidió, debido a que deben conectarse a todos los contadores, que estuvieran en el centro del circuito para evitar largos caminos de conexión.



Fig. 40: etapa de selección.

Se realizaron luego las conexiones entre todas las celdas incorporando *buffers* en las señales de entrada y de salida para mejorar su robustez. Estos, así como las pistas metálicas puede observarse en la Fig. 41.

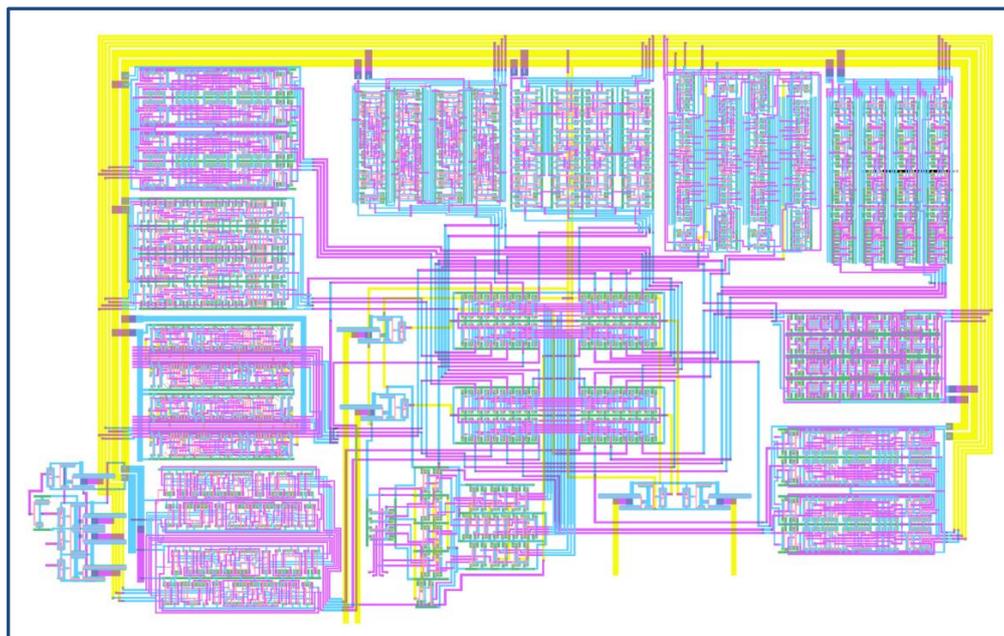


Fig. 41: inclusión de *buffers* y conexiones internas finalizadas.

En última instancia se introdujo este bloque junto con el circuito sumador dentro del anillo de *pads* y se conectaron las señales a cada uno de estos luego de haberlos configurado como entrada o salida, siendo este el último paso en el diseño planteado para este trabajo. En la Fig. 42 se puede observar la mitad del anillo de *pads* en la que fue ubicado nuestro circuito.

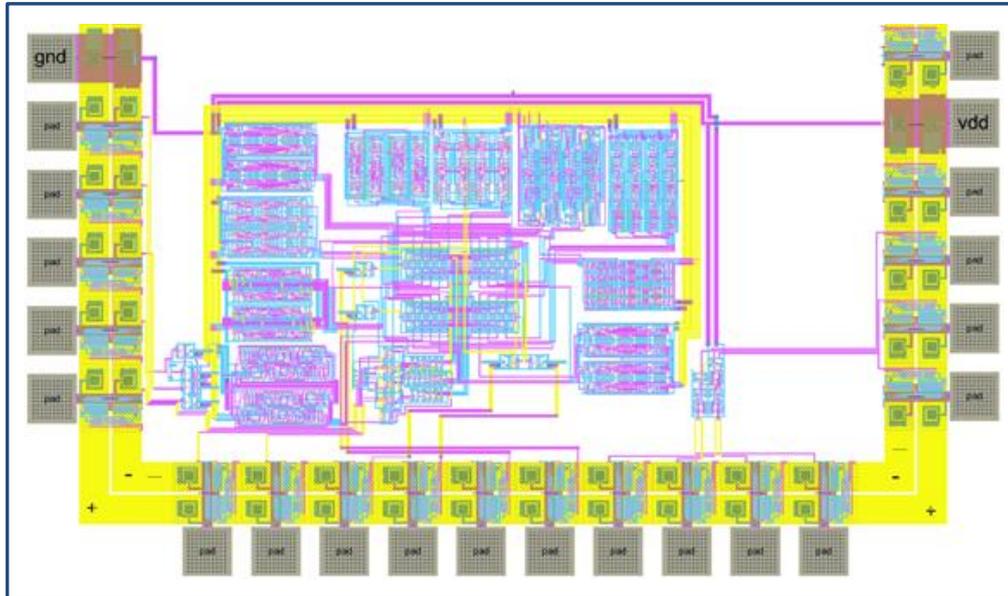


Fig. 42: diseño finalizado.

6.3 Evaluación Final del Sistema

6.3.1 Simulaciones

Para corroborar el comportamiento eléctrico realizamos una simulación sobre el esquemático del diseño finalizado de la Fig. 42. Para ello conectamos la alimentación, una señal de pulsos a contar (CLOCK), las señales de habilitación de cuenta (IN) y reinicio de cuenta (CLR), y por último se seleccionó uno de los contadores a través de los pines de selección, como se ve en la Fig. 43.

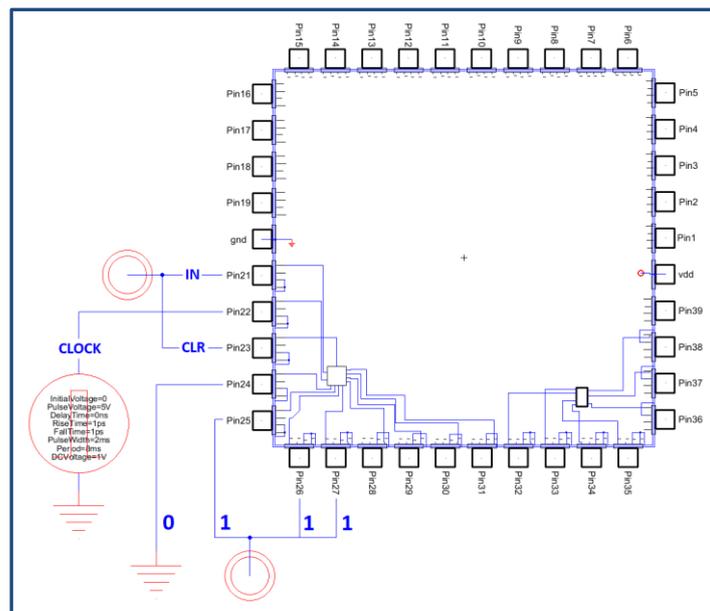


Fig. 43: conexiones para simulación.

Al tratarse de una simulación sobre el circuito esquemático, la respuesta será ideal, ya que no se tienen en cuenta ciertos factores que pueden alterar el funcionamiento. Como resultado de la simulación, se observa a la salida la cuenta del dispositivo seleccionado (Fig. 44).

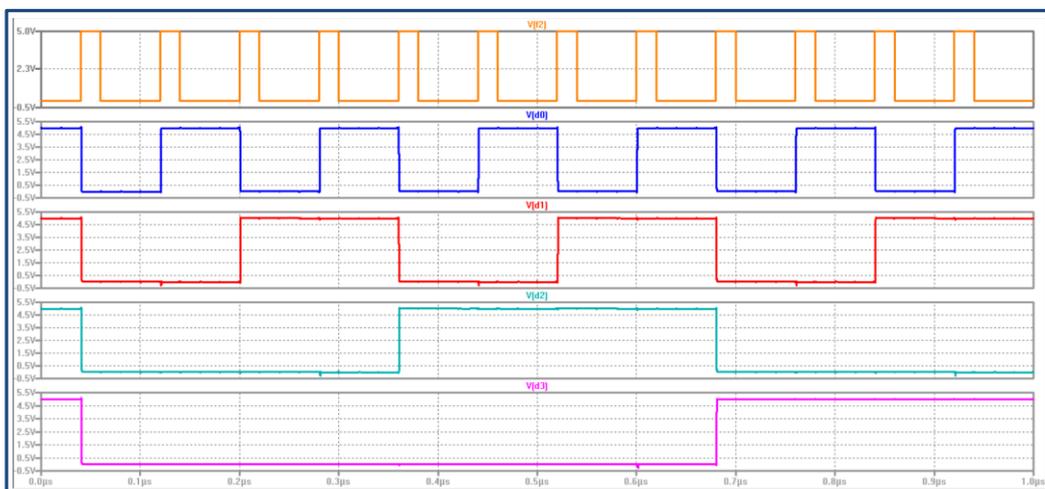


Fig. 44: simulación sobre esquemático del circuito.



Existe una relación directa entre el circuito esquemático y las conexiones eléctricas del *layout*, por lo tanto, es de esperar que el sistema real se comporte de forma similar a la ideal mostrada en la Fig. 44.

Sin embargo, las interconexiones de *layout* juegan un rol determinante en el desempeño total de un circuito integrado. Esto se debe a que en la realidad presentan efectos capacitivos, inductivos y resistivos que pueden conocerse solo cuando se realiza la máscara del circuito integrado y se sabe cuál es el tamaño y recorrido de las interconexiones reales. Estos componentes, que no son parte del diseño esquemático y surgen como una consecuencia inevitable de la implementación, son conocidos como componentes parásitos. Algunos efectos que pueden causar son:

- **Retardo:** Una señal tarda un cierto tiempo en propagarse a través de la interconexión. Para interconexiones globales el efecto del retardo de interconexión puede llegar a ser más importante que el del dispositivo, que va disminuyendo con la mejora de la tecnología.
- **Acoplamiento:** Si hay dos líneas muy próximas entre sí, pueden aparecer perturbaciones en sus señales. Estas pueden causar una distorsión de la señal transmitida, un aumento o disminución del retardo de una transición digital, o un valor lógico transitorio incorrecto que puede propagarse a través del circuito lógico.

En las líneas de alimentación, el objetivo es transmitir valores constantes de tensión, pero al conmutar los elementos activos del circuito hay circulación de corriente por ellas, lo que hace difícil mantener la tensión constante debido a dos fenómenos:

- **Caída de tensión:** La resistencia de las líneas provoca una caída de tensión de alimentación cuando circula corriente. Esto se minimiza diseñando las líneas de alimentación con un ancho suficiente para lograr un bajo valor resistivo.
- **Ruido de conmutación:** este se debe a la inductancia de las líneas. Si hay una demanda brusca de corriente se produce una caída de tensión proporcional a la derivada de la misma, en lugar de a su magnitud. La manera de trazar las líneas de alimentación tendrá mucha influencia en el valor de la inductancia y por tanto en la importancia de este efecto.

Los componentes parásitos tienen origen en las características geométricas de cada línea (longitud, ancho, espesor y recorrido) y en las relaciones espaciales entre diferentes líneas adyacentes. En el anexo Bravo se puede ver de qué manera influye la geometría de una línea en la generación de estos componentes, y en base a esto es posible optimizar el diseño del conexionado para minimizar sus efectos.

Para analizar la influencia de estos en nuestro diseño realizamos simulaciones sobre el *layout*. En la Fig. 45-a se muestra la respuesta ideal de las conmutaciones de un pulso de reloj y del bit menos significativo (d0) de un contador, mientras que en la Fig. 45-b se tienen en cuenta los efectos parásitos.

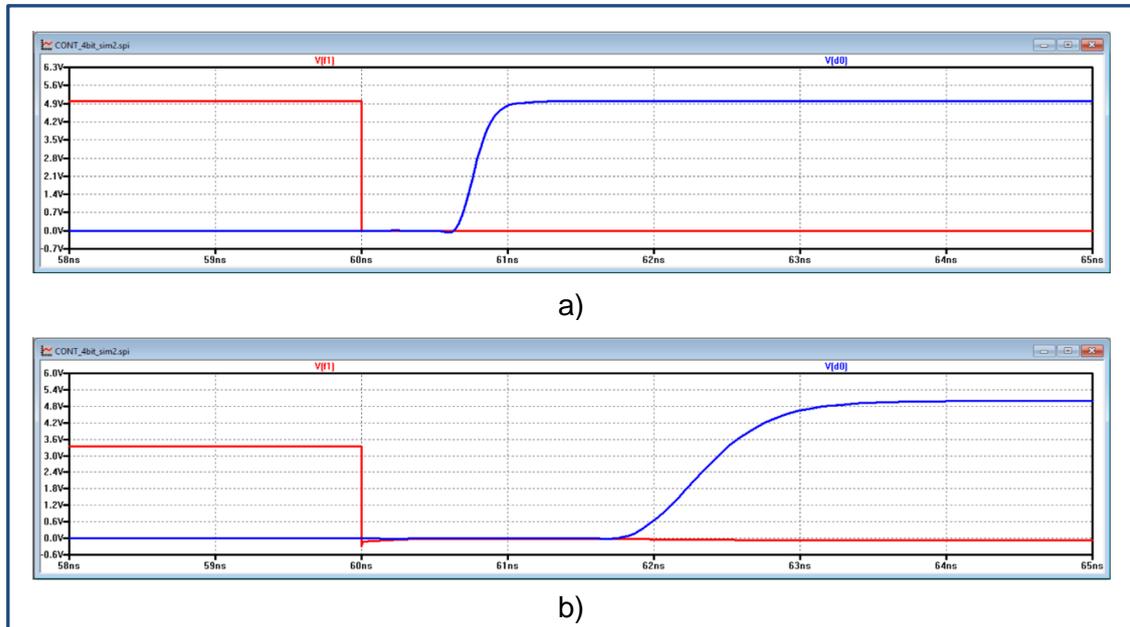


Fig. 45: simulación de un contador del sistema. a) Ideal; b) Con componentes parásitos.

Para el caso ideal, desde el flanco negativo de la señal de reloj hasta que la señal d0 alcanza su valor máximo el tiempo de retardo es de 1 ns. Al incorporar a la simulación los componentes parásitos, se ve que este tiempo aumenta a 2,5 ns. También, aparecen pequeños ruidos de conmutación que en la simulación ideal no existen. Sin embargo, ambos efectos son muy pequeños y no influyen de manera significativa en el desempeño del sistema, como se ilustra en la Fig. 46.

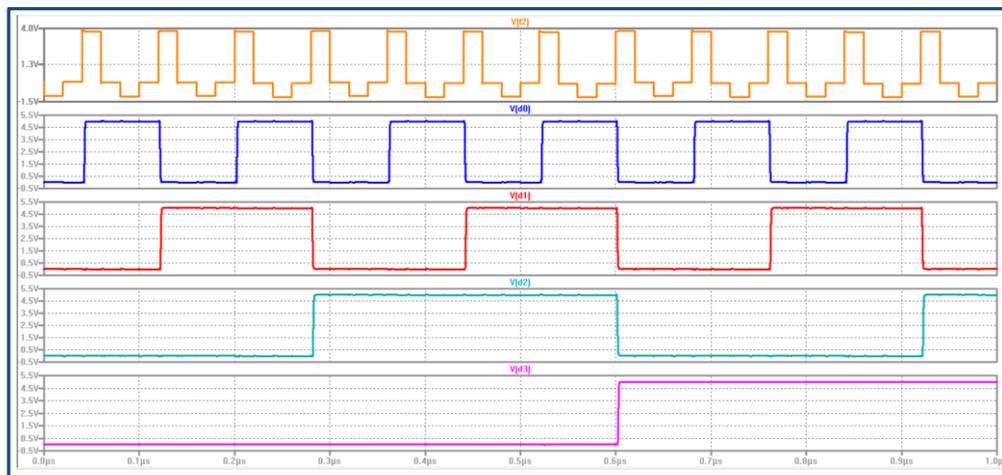


Fig. 46: simulación sobre *layout* del circuito.

6.3.2 Pruebas de laboratorio.

Una vez recibido el circuito integrado, testeamos el funcionamiento del mismo en el laboratorio. Para tal fin se utilizó un generador de señales para la entrada de pulsos a contar y mediante los bits de selección se determina qué contador se mostrará en los pines de salida.

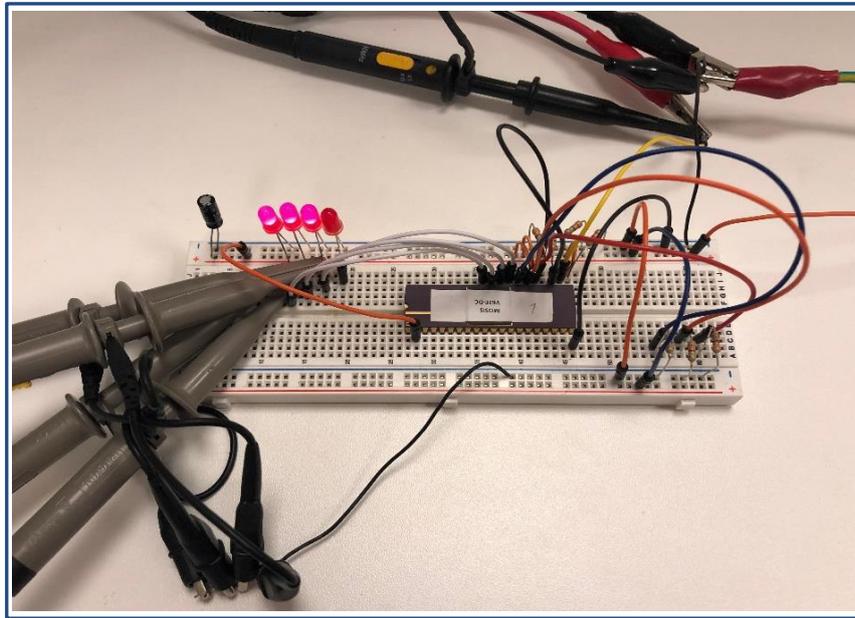


Fig. 47: montaje de prueba.

En la Fig. 48 se encuentran las salidas del contador seleccionado a través de un osciloscopio de cuatro canales, donde la señal de color azul corresponde al bit menos significativo y la de color anaranjado al de mayor peso. Analizando las gráficas constatamos que la cuenta se desarrolla correctamente, lo que implica que el sistema se comporta de la manera esperada.

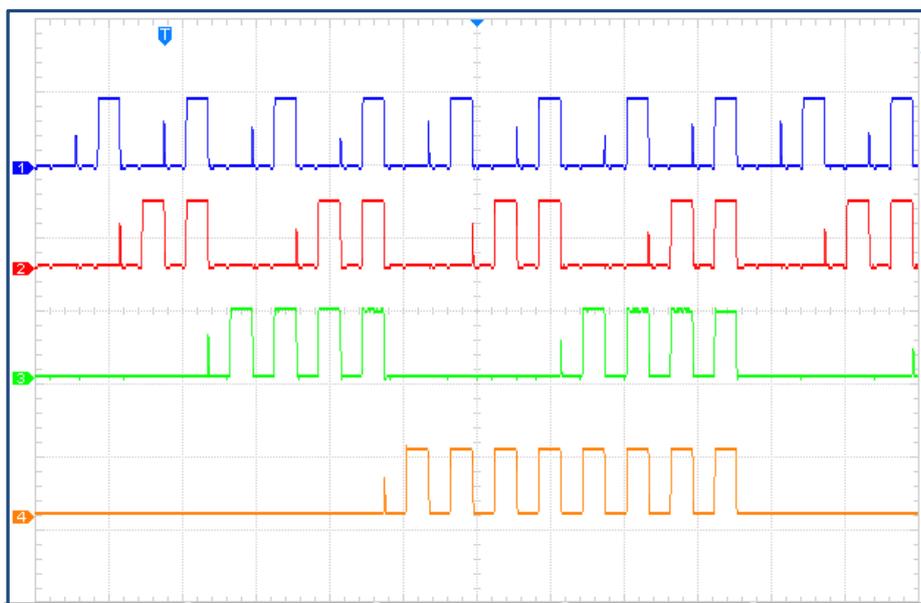


Fig. 48: pines de salida del circuito integrado en osciloscopio de cuatro canales.

7. Circuito integrado

En las Fig. 49 y 50 se presenta el circuito integrado ya fabricado en un encapsulado del tipo DIP40.

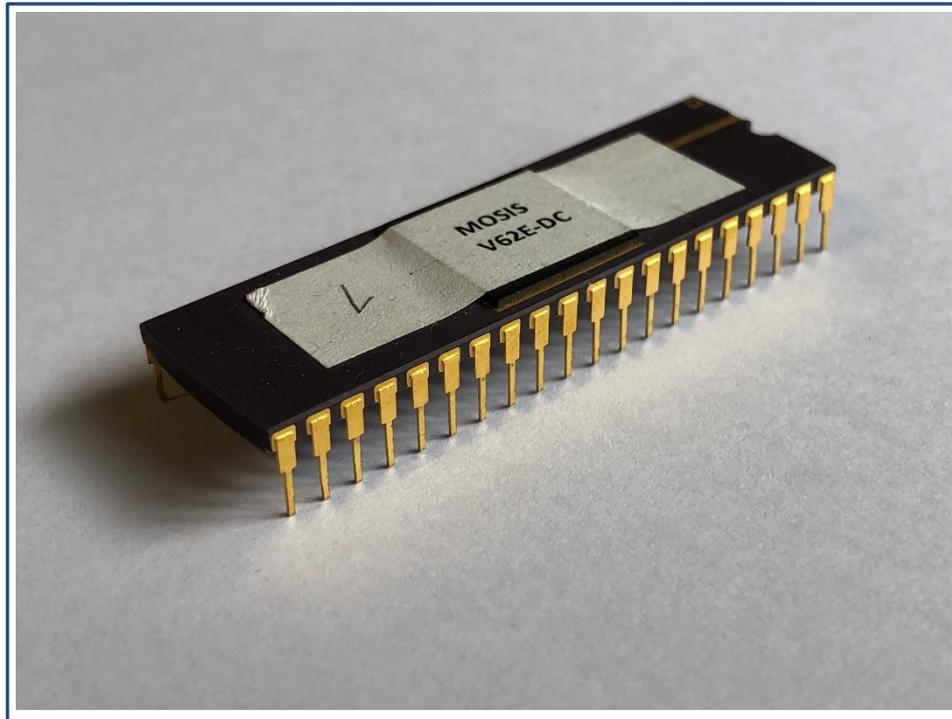


Fig. 49: circuito integrado en encapsulado DIP40.

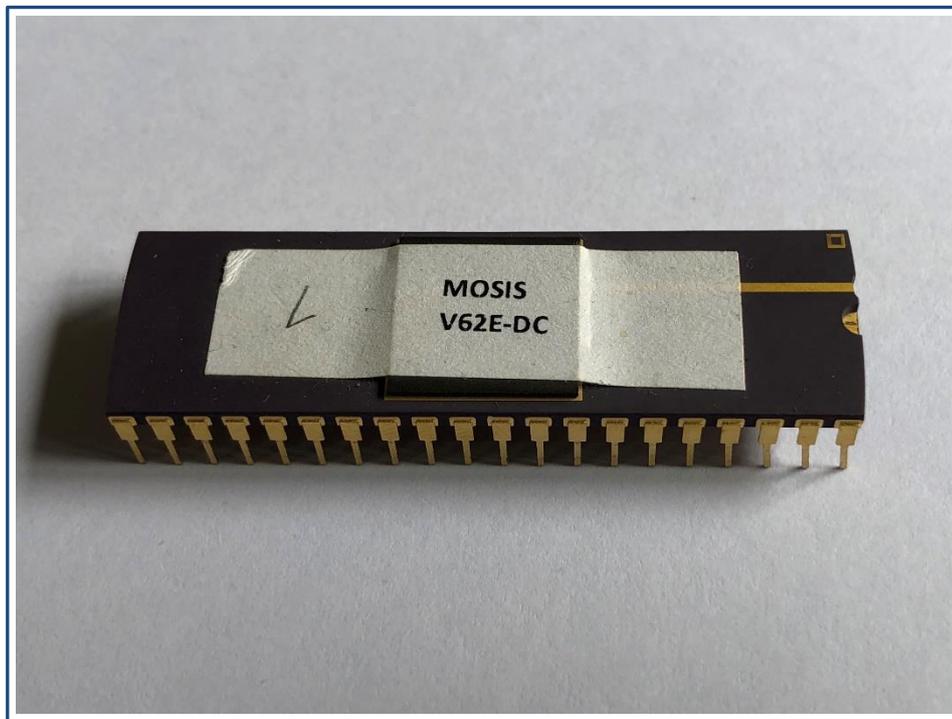


Fig. 50: circuito integrado en encapsulado DIP40.



8. Conclusión

Mediante la investigación realizada pudimos adquirir el nivel de entendimiento teórico para lograr, a través del desarrollo de la aplicación práctica, llevar a cabo el proceso completo de diseño de un circuito integrado digital de complejidad moderada.

Se utilizó para el trabajo el software Electric VLSI, una herramienta de licencia gratuita que cuenta con muy poco soporte en comparación con herramientas más sofisticadas, que poseen funciones automatizadas y mantenimiento continuo a cambio de licencias de costo elevado. Debido a ello se presentaron ciertas dificultades a medida que se avanzó con el diseño, principalmente relacionadas con el incremento de la complejidad de las conexiones y ubicación de las celdas, que debieron ser realizadas manualmente. Sin embargo, consideramos que esto presenta también un aspecto positivo, ya que el dibujo manual de cada uno de los componentes y capas permite lograr una mayor comprensión de todas las partes y pasos involucrados en el diseño de un sistema microelectrónico.

Al finalizar el desarrollo se obtuvo como resultado un circuito integrado que funciona de la manera esperada, habiendo superado las pruebas de laboratorio. Con esto podemos concluir que los objetivos planteados han sido cumplidos satisfactoriamente.

A nivel personal, consideramos que este proyecto ha sido un gran desafío y hemos disfrutado cada paso del proceso. Estamos sumamente satisfechos por haber llevado a cabo un trabajo exitoso, lo que nos motiva a profundizar nuestros conocimientos sobre el desarrollo de circuitos microelectrónicos de mayor complejidad. También esperamos que este trabajo despierte interés en otros estudiantes por una rama de la electrónica que viene mostrando un crecimiento importante en nuestro país.



9. Bibliografía

- [1] Neil H. E. Weste, David Money Harris; *CMOS VLSI Design*; Addison – Wesley; Cuarta edición; 2011.
- [2] Antonio Rubio, Josep Altet, Xavier Aragonés, José Luis González, Diego Mateo, Francesc Moll; *Diseño de Circuitos y Sistemas Integrados; Edicions de la Universitat Politècnica de Catalunya*; Primera Edición; 2003.
- [3] Pedro Julián; *Circuitos Integrados Digitales: Análisis y Diseño*; Alfaomega; Primera Edición; 2015.
- [4] Neil H. E. Weste, Kamran Eshraghian; *Principles of CMOS VLSI Design: A systems perspective*; Addison – Wesley; Segunda edición; 1988.
- [5] *Manual de introducción al uso de “Electric VLSI Design System”*: <https://www.staticfreesoft.com/jmanual/index.html> última consulta 23/09/2018.
- [6] *Manual de usuario de “LT Spice IV”*: <http://cds.linear.com/docs/en/software-and-simulation/LTspiceGettingStartedGuide.pdf> última consulta 18/08/2018.
- [7] *Design Rules MOSIS Scalable CMOS (SCMOS); Revision 8.00*; 2009.

10. Anexo

10.1 Anexo Alfa: El transistor MOS.

El transistor de efecto de campo metal-óxido-semiconductor o MOSFET, es un dispositivo que permite amplificar o conmutar señales electrónicas. La tecnología MOS es además fácilmente integrable y es este el motivo por el que este tipo de transistor es el más utilizado en la industria microelectrónica, ya sea en circuitos analógicos o digitales.

10.1.1 Estructura

Su estructura se obtiene haciendo crecer una capa de dióxido de silicio (SiO_2) sobre un sustrato de silicio y depositando luego una capa de metal o silicio policristalino, formando el terminal de compuerta (G). También incluye dos terminales adicionales: fuente (S) y drenador (D), cada uno conectado a regiones altamente dopadas que están separadas por el sustrato. Estas pueden ser de tipo p o n , pero deben ser ambas iguales y del tipo opuesto al del sustrato.

La estructura de un transistor MOS se presenta en la Fig. A1:

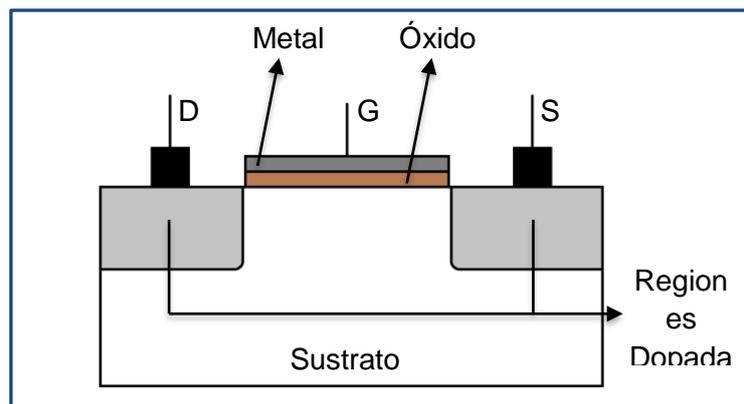


Fig. A1: estructura planar del transistor MOS sobre un sustrato de silicio.

Los transistores MOSFET pueden ser de dos tipos: canal p (pMOS) y canal n (nMOS). Si es de canal n , las regiones de dopado para la fuente y el drenador son regiones n^+ y el sustrato es una región de tipo p . Si es de canal p entonces las regiones de dopado para la fuente y el drenador son regiones p^+ y el sustrato es una región de tipo n . Ambos tipos se muestran en la Fig. A2.

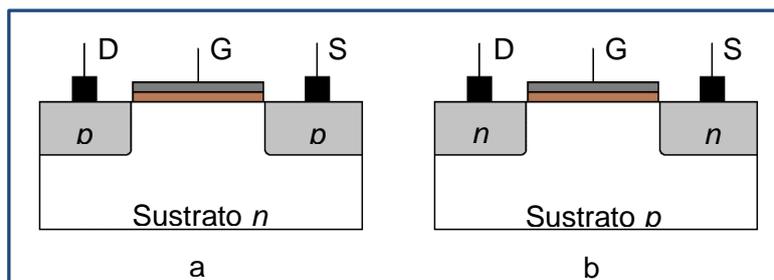


Fig. A2: a) Transistor pMOS; b) Transistor nMOS.

Mediante el terminal de puerta (G), es posible controlar el flujo de corriente eléctrica entre la fuente y el drenador. Considerando un transistor nMOS, el sustrato está generalmente conectado a tierra, por lo que las uniones $p-n$ de la fuente y el drenador al mismo, están polarizadas en sentido inverso. Si la puerta también está conectada a tierra, no fluye corriente a través de las uniones y se dice que el transistor está apagado. Si el voltaje de la compuerta se eleva se crea un campo eléctrico que atrae electrones libres a la parte inferior de la capa de óxido, formando así un canal de conducción de electrones desde la fuente hasta el drenador, decimos entonces que el transistor está encendido. Para el caso del transistor pMOS, el funcionamiento es el inverso, formándose el canal de conducción cuando la tensión de la puerta es negativa respecto a la tensión del sustrato.

10.1.2 El transistor como llave

Un único transistor puede ser interpretado como una llave controlada formada por un terminal de entrada, uno de salida y uno de control. Mediante este último se permite o no que el nivel lógico de la entrada sea transmitido a la salida.

La entrada y salida corresponden a los terminales de fuente y drenador, mientras que el control es el terminal de compuerta del transistor.

Estas llaves son bidireccionales debido a las características simétricas de los transistores MOS, es esto por lo que los terminales de sustrato (B) deben conectarse de manera apropiada a los terminales de la fuente de alimentación ($V_{Bn} = V_{SS}$ y $V_{Bp} = V_{DD}$).

Sin embargo, el comportamiento como llave de los dos tipos de transistores no es exactamente igual. En una llave realizada con un transistor nMOS como en la Fig. A3, cuya entrada y salida son los terminales S y D respectivamente. Suponiendo en la salida un capacitor cargado con un valor V_{DD} , si el terminal G se conecta a V_{DD} y se introduce en S una tensión $V_{SS} = 0$ tendremos entonces $V_{GS} = V_{DD}$. Si V_{GS} es mayor a la tensión umbral V_T el transistor comenzará a conducir, produciendo la descarga total del capacitor. Una vez descargado, tendremos en la salida una tensión igual a 0 que se mantendrá en este nivel incluso ante la presencia de perturbaciones. Se dice que tenemos un nivel lógico bajo fuerte o 0 fuerte. Si el capacitor se encuentra descargado ($V_D = 0$), conectando G a V_{DD} y haciendo tender la tensión de entrada a V_{DD} , comenzará a cargarse mientras se cumpla que $V_{GS} > V_T$. Cuando ambas tensiones se igualen, el transistor dejará de conducir y el capacitor se habrá cargado hasta un nivel de tensión $V_{DD} - V_T$ siendo este un valor por debajo de un 1 lógico, y se lo llama nivel lógico alto débil o 1 débil.

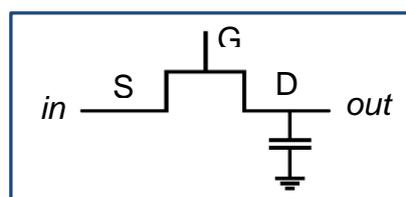


Fig. A3: llave con transistor nMOS.

Si la llave está formada con un transistor pMOS, cuando $V_{GS} > V_T$ el transistor está apagado, esto es así debido a que las tensiones V_{GS} y V_T son negativas. Si analizamos sólo las magnitudes, las reglas de funcionamiento son las mismas que para el nMOS. Entonces, el transistor pMOS estará apagado cuando $|V_{GS}| < |V_T|$. Si la entrada está en V_{DD} que es mayor en magnitud que 0 voltios (valor de tensión en G), entonces $|V_{GS}| = |V_{DD}| > |V_T|$, el transistor conducirá cargando el capacitor hasta el valor de V_{DD} siendo un nivel lógico alto fuerte o 1 fuerte. Cuando se disminuye la tensión de entrada desde V_{DD} a 0, el capacitor comienza a descargarse. En un momento la tensión de entrada será igual a V_T y el transistor dejará de conducir, habiéndose descargado el capacitor hasta ese mismo valor. Se dice que es un nivel lógico bajo débil o 0 débil.

Se resume el funcionamiento de los transistores como llave en la Fig. A4.

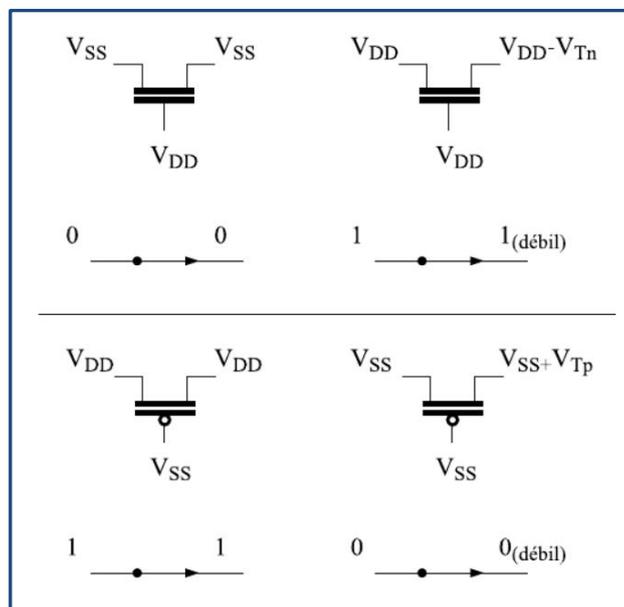


Fig. A4: respuesta de llaves con los distintos transistores. [3]

10.1.3 Tecnología CMOS

La familia lógica denominada MOS complementaria o CMOS se ha convertido en la opción más utilizada en la fabricación de circuitos integrados debido a su sencillez y solidez.

Esta lógica se construye utilizando dos redes circuitales, como se muestra en la Fig. A5. Una de ellas se denomina pull-up (PUP) por su capacidad de entregar corriente y elevar la tensión, y se coloca entre el nodo de salida y el terminal positivo de la fuente de alimentación V_{DD} . La otra se denomina pull-down (PDN) por su capacidad de tomar corriente y bajar la tensión. Ésta se ubica entre el nodo de salida y el terminal negativo de la fuente, V_{SS} .

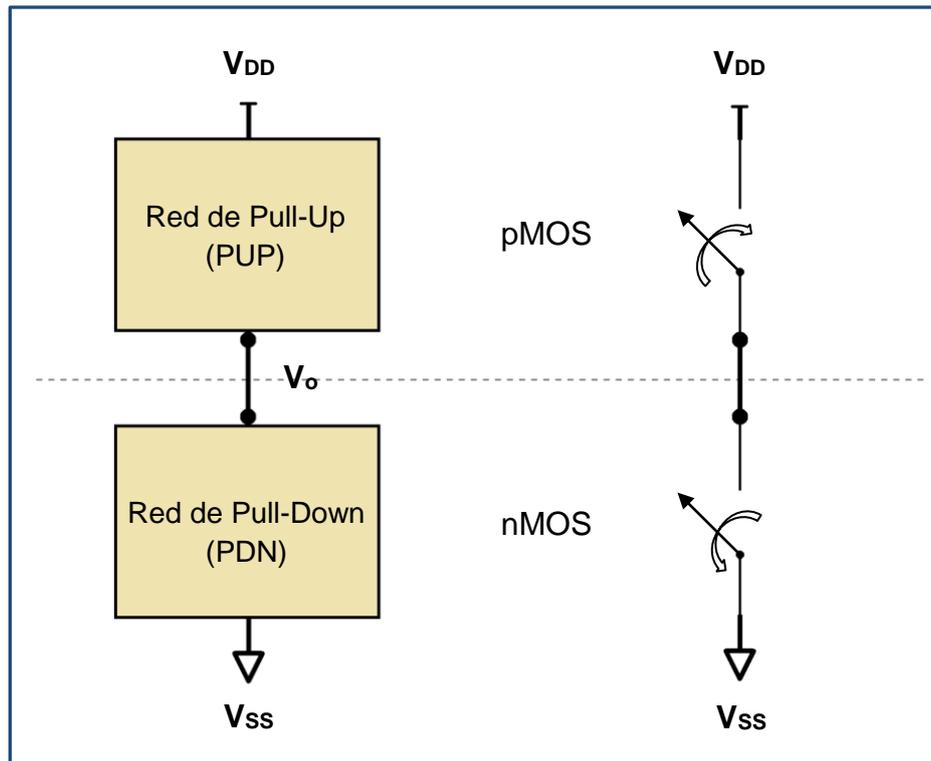


Fig. A5: redes de Pull-Up y Pull-Down en lógica CMOS. [3]

La red PUP es responsable de llevar el nodo de salida hacia V_{DD} (1 fuerte) y solo utiliza transistores PMOS, mientras que la red PDN es responsable de llevar el nodo de salida hacia V_{SS} (0 fuerte) y solo utiliza transistores NMOS. Una propiedad fundamental de las compuertas CMOS es la dualidad de las redes PUP y PDN: mientras una de las redes permite la conducción la otra la bloquea, y de esta forma en ninguno de los estados lógicos existe un camino directo entre la fuente de alimentación y el terminal de tierra, por lo tanto, solo existen corrientes parásitas en estado de reposo. Gracias a esto se tiene un bajo consumo de potencia estática.

10.2 Anexo Bravo: Cálculo simplificado de los parámetros eléctricos de un conductor.

10.2.1 Capacidad parásita

El factor que más influye en la limitación de velocidad en los circuitos digitales es la capacidad de las interconexiones. Considerando un conductor de ancho W , longitud L , altura H y a una distancia h por encima del sustrato, como se muestra en la Fig. B1, la capacidad de placas paralelas del mismo responde a la Ecu. B1.

$$C = \epsilon_r \frac{WL}{h} \quad (\text{Ecu. B1})$$

donde ϵ_r es la constante dieléctrica o permitividad relativa del aislante que separa el metal del sustrato.

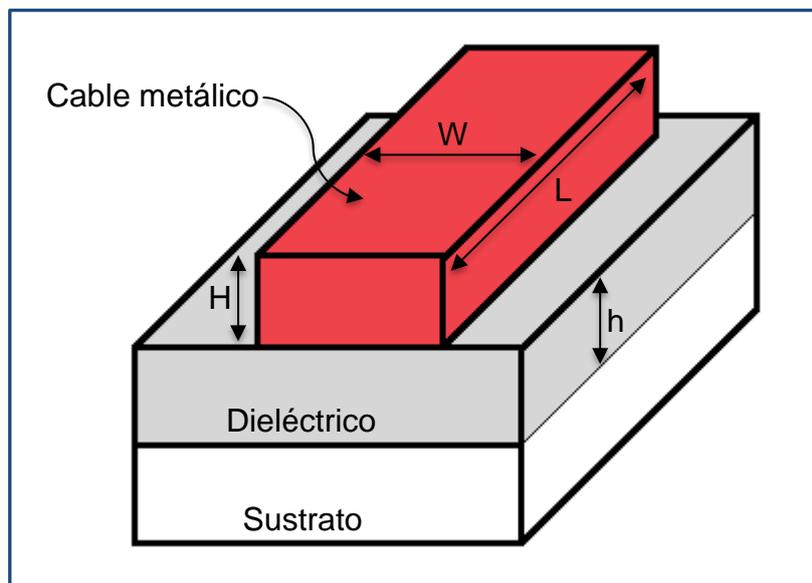


Fig. B1: vista en perspectiva de un conductor metálico.

En el caso de conductores en circuitos integrados, las dimensiones de W , H y h son similares entre sí, por lo que además de las líneas de campo eléctrico correspondientes a la capacidad de placas paralelas C_{pp} , se deben considerar las líneas que se cierran entre los costados del conductor y el sustrato. Estas líneas de campo dan origen a una capacidad adicional denominada de *fringe*, C_{fr} . La capacidad total se puede modelar reemplazando el conductor de sección cuadrada por dos conductores, uno cilíndrico de diámetro H y otro rectangular de ancho W , como se ilustra en la Fig. B2. La capacidad total está dada por la Ecu. B2.

$$C_T = C_{pp} + C_{fr} = \epsilon_r \left[\frac{W - H/2}{h} + \frac{2\pi}{\log(h/H)} \right] \quad (\text{Ecu. B2})$$

Esta ecuación es válida para un solo conductor con respecto a un sustrato. La situación en un circuito integrado es bastante diferente debido a la presencia de múltiples niveles de metales. Esto produce capacidades de placas paralelas y de *fringe* entre líneas de un mismo nivel y a su vez entre distintos niveles.

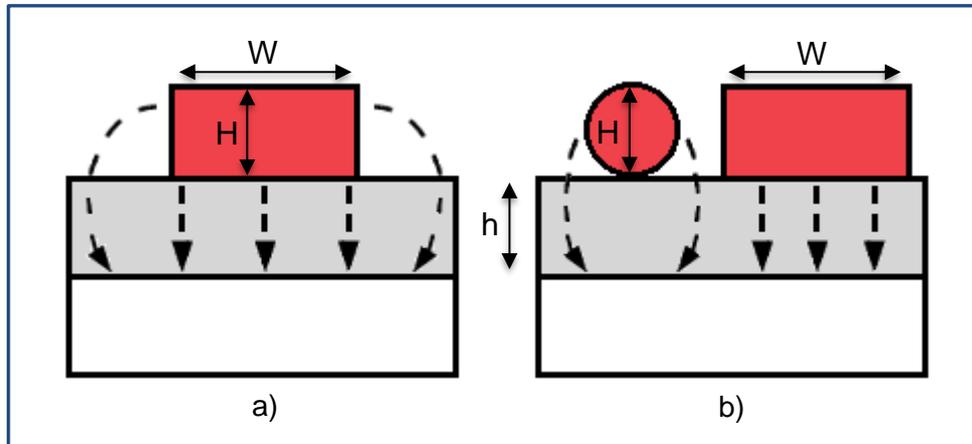


Fig. B2: a) conductor y líneas de campo eléctrico; b) modelo de conductores equivalentes.

10.2.2 Resistencia parásita

La resistencia de un conductor como el de la Fig. B1 depende de la resistividad del material como se muestra en la Ecu. B3.

$$R = \rho \times \frac{L}{WH} \quad (\text{Ecu. B3})$$

Los parámetros ρ y H , son dependientes de la tecnología de fabricación mientras que W y L , son definidos por el diseñador de *layout*. Generalmente, la resistencia se expresa en función de la llamada resistencia de cuadro, definida por la Ecu. B4 como:

$$R_{\text{cuadro}} = \frac{\rho}{H} \quad (\text{Ecu. B4})$$

El valor R_{cuadro} indica la resistencia de un elemento de igual longitud y ancho, es decir, de forma cuadrada.

Generalmente, un nodo del circuito se halla físicamente conectado a varias capas de metalización, por lo que habrá una contribución de los contactos y vías a la resistencia total. Esta resistencia dependerá del material usado en el contacto, así como de su área. A medida que las tecnologías se escalan, las dimensiones de los contactos disminuyen, y su efecto es cada vez más importante. Por ello a menudo es conveniente poner más de un contacto para reducir la resistencia del nodo.



10.2.3 Inductancias parásitas

La inductancia es un parámetro que aparece inevitablemente asociado al circuito y es la forma de este lo que determina su valor. Un trazado que ocupe una gran área dará lugar a una inductancia mayor que uno con un área pequeña.

La inductancia de un conductor cilíndrico sobre un plano de tierra se indica en la Ecu. B5.

$$L = \frac{\mu}{2\pi} \times \frac{4h}{W} \quad (\text{Ecu. B5})$$

en la cual μ es la permeabilidad magnética del conductor, W es su diámetro y h es la distancia de este al plano de tierra. Esta ecuación es útil para calcular la inductancia de los cables que conectan los *pads* con el encapsulado, y para sus patas. La inductancia de los cables de soldadura es importante porque puede producir picos de tensión en las líneas de alimentación V_{DD} y GND, especialmente en los momentos de transición del reloj cuando el circuito demanda corriente, de acuerdo con la Ecu. B6.

$$v = L \frac{\delta i}{\delta t} \quad (\text{Ecu. B6})$$

Para un conductor en alguna de las capas metálicas dentro del chip, la inductancia se calcula mediante la Ecu. B7.

$$L = \frac{\mu}{2\pi} \times \ln \left(\frac{8h}{W} + \frac{W}{4h} \right) \quad (\text{Ecu. B7})$$

Las inductancias dentro de los circuitos integrados son, por lo general, pequeñas y no es necesario tenerlas en cuenta, salvo en el caso de chips que deban funcionar a alta velocidad o en diseños de radiofrecuencia.



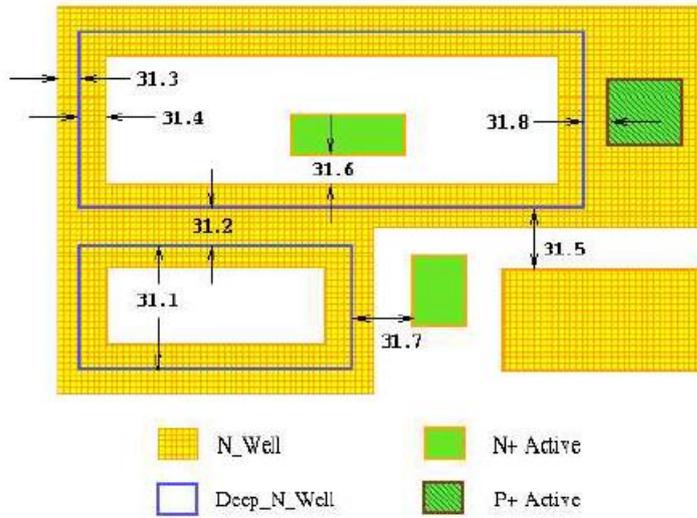
10.3 Anexo Charlie: Extracto reglas de diseño para tecnologías escalables – MOSIS.

SCMOS Layout Rules - DEEP_N_WELL for SCMOS_DEEP (and SUBM)

The DEEP_N_WELL layer provides access to the DNW layer in the TSMC 0.18 and 0.25 processes. This provides a layering sometimes called "triple-well" in which an n-well sits in the p-substrate, and then a p-well sits fully inside of the n-well; it is then possible to construct NMOS devices inside of that isolated p-well. The isolated p-well is surrounded by a fence of standard N_WELL (around its periphery), and by DEEP_N_WELL underneath. The N_WELL fence makes direct electrical contact with the DEEP_N_WELL plate beneath it.

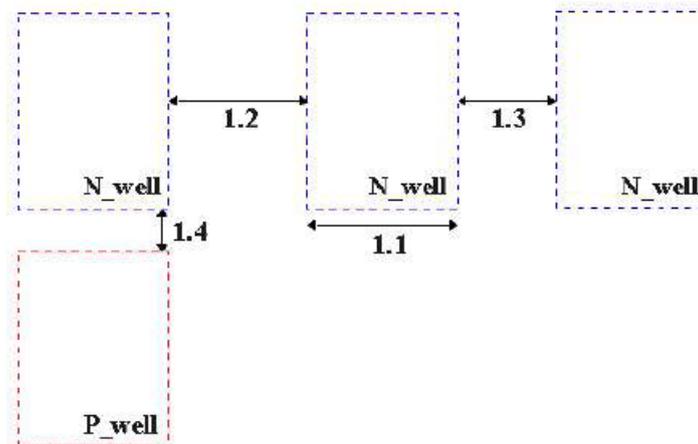
DEEP_N_WELL is available in technology codes SCN5M_SUBM, SCN5M_DEEP, SCN6M_SUBM and SCN6M_DEEP but only where these are to be fabricated on TSMC foundry runs. To gain a better understanding of this layer, the TSMC vendor-rule design rule documentation should be studied.

Rule	Description	Lambda		
		SCMOS	SUBM	DEEP
31.1	Minimum Width, Deep_N_Well	n/a	30	34
31.2	Minimum Spacing, Deep_N_Well to Deep_N_Well	n/a	50	56
31.3	Minimum extension, N_Well beyond Deep_N_Well edge	n/a	15	17
31.4	Minimum overlap, N_Well over Deep_N_Well edge	n/a	20	23
31.5	Minimum spacing, Deep_N_Well to unrelated N_Well	n/a	35	39
31.6	Minimum spacing, N+Active in isolated P-well, to N_Well	n/a	5	6
31.7	Minimum spacing, external N+Active to Deep_N_Well	n/a	30	34
31.8	Minimum spacing, P+Active in N_Well to its Deep_N_Well	n/a	10	13



SCMOS Layout Rules - Well

Rule	Description	Lambda		
		SCMOS	SUBM	DEEP
1.1	Minimum width	10	12	12
1.2	Minimum spacing between wells at different potential	9	18	18
1.3	Minimum spacing between wells at same potential	6	6	6
1.4	Minimum spacing between wells of different type (if both are drawn)	0	0	0

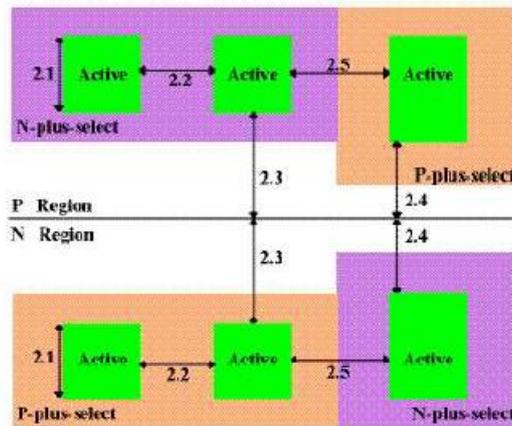


SCMOS Layout Rules - Active

Rule	Description	Lambda		
		SCMOS	SUBM	DEEP
2.1	Minimum width	3 *	3 *	3
2.2	Minimum spacing	3	3	3
2.3	Source/drain active to well edge	5	6	6
2.4	Substrate/well contact active to well edge	3	3	3
2.5	Minimum spacing between non-abutting active of different implant. Abutting active ("split-active") is illustrated under Select Layout Rules.	4	4	4

* Note: For analog and critical digital designs, MOSIS recommends the following minimum MOS channel widths (active under poly) for ON Semiconductor designs. Narrower devices, down to design rule minimum, will be functional, but their electrical characteristics will not scale, and their performance is not predictable from MOSIS SPICE parameters.

Process	Design Technology	Design Lambda (micrometers)	Minimum Width (lambda)
AMI_C5F/N	SCN3M, SCN3ME	0.35	9
AMI_C5F/N	SCN3M_SUBM, SCN3ME_SUBM	0.30	10





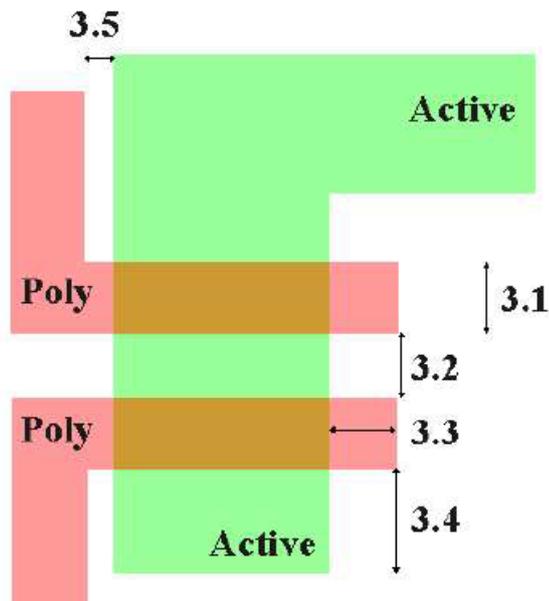
SCMOS Layout Rules - Thick Active

THICK_ACTIVE is a layer used for those processes offering two different thicknesses of gate oxide (typically for the layout of transistors that operate at two different voltage levels). The ACTIVE layer is used to delineate all the active areas, regardless of gate oxide thickness. THICK_ACTIVE is used to mark those ACTIVE areas that will have the thicker gate oxide; ACTIVE areas outside THICK_ACTIVE will have the thinner gate oxide. THICK_ACTIVE by itself (not covering any ACTIVE polygon) is meaningless.

Rule	Description	Lambda		
		SCMOS	SUBM	DEEP
24.1	Minimum width	4	4	4
24.2	Minimum spacing	4	4	4
24.3	Minimum ACTIVE overlap	4	4	4
24.4	Minimum space to external ACTIVE	4	4	4
24.5	Minimum poly width in a THICK_ACTIVE gate	3	3	3
24.6	Every ACTIVE region is either entirely inside THICK_ACTIVE or entirely outside THICK_ACTIVE			

SCMOS Layout Rules - Poly

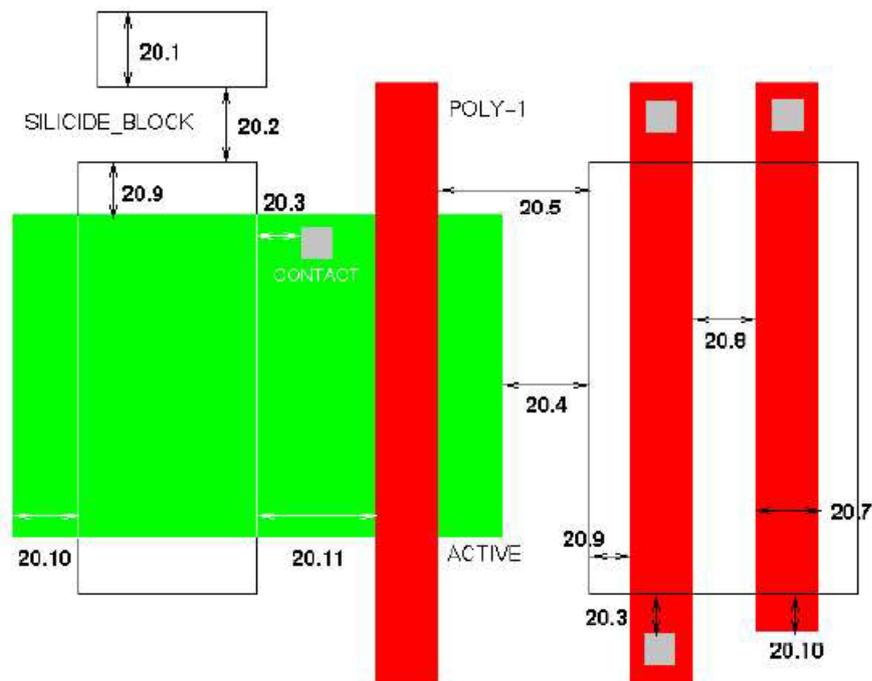
Rule	Description	Lambda		
		SCMOS	SUBM	DEEP
3.1	Minimum width	2	2	2
3.2	Minimum spacing over field	2	3	3
3.2.a	Minimum spacing over active	2	3	4
3.3	Minimum gate extension of active	2	2	2.5
3.4	Minimum active extension of poly	3	3	4
3.5	Minimum field poly to active	1	1	1



SCMOS Layout Rules - Silicide Block

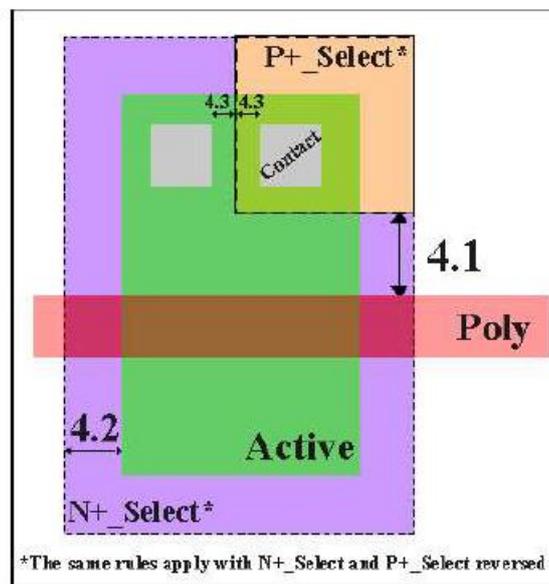
Rule	Description	Lambda		
		SCMOS	SUBM	DEEP
20.1	Minimum SB width	4	4	4
20.2	Minimum SB spacing	4	4	4
20.3	Minimum spacing, SB to contact (no contacts allowed inside SB)	2	2	2
20.4	Minimum spacing, SB to external active	2	2	2
20.5	Minimum spacing, SB to external poly	2	2	2
20.6	Resistor is poly inside SB; poly ends stick out for contacts the entire resistor must be outside well and over field			
20.7	Minimum poly width in resistor	5	5	5
20.8	Minimum spacing of poly resistors (in a single SB region)	7	7	7
20.9	Minimum SB overlap of poly or active	2	2	2
20.10	Minimum poly or active overlap of SB	3	3	3
20.11	Minimum spacing, SB to poly (in a single active region)	3	5	5

NOTE: Some processes do not support both silicide block over active and silicide block over poly. Refer to the individual process description pages.



SCMOS Layout Rules - Select

Rule	Description	Lambda		
		SCMOS	SUBM	DEEP
4.1	Minimum select spacing to channel of transistor to ensure adequate source/drain width	3	3	3
4.2	Minimum select overlap of active	2	2	2
4.3	Minimum select overlap of contact	1	1	1.5
4.4	Minimum select width and spacing (Note: P-select and N-select may be coincident, but must <i>not</i> overlap) (not illustrated)	2	2	4

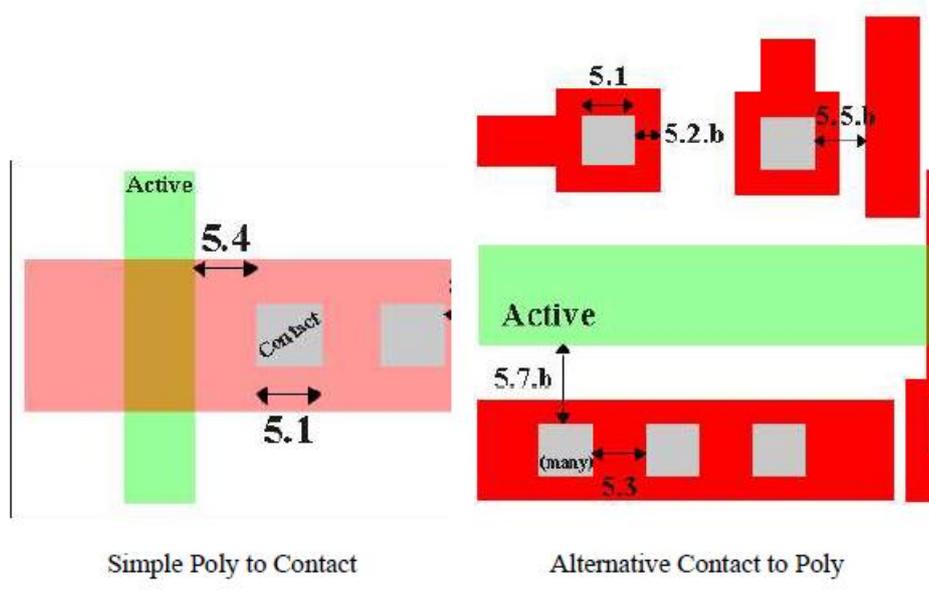


SCMOS Layout Rules - Contact to Poly

On 0.50 micron process (and all finer feature size processes), it is required that all features on the insulator layers (CONTACT, VIA, VIA2) must be of the single standard size; there are no exceptions for pads (or logos, or anything else); large openings must be replaced by an array of standard sized openings. Contacts must be drawn orthogonal to the grid of the layout. Non-Manhattan contacts are not allowed.

If your design cannot tolerate 1.5 lambda contact overlap in 5.2, use the alternative rules which reduce the overlap but increase the spacing to surrounding features. Rules 5.1, 5.3, and 5.4, still apply and are unchanged.

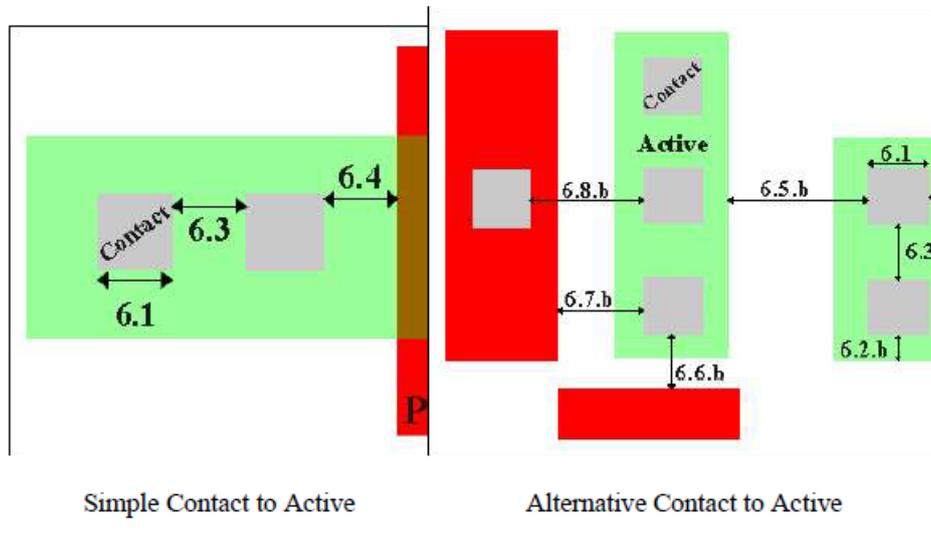
Simple Contact to Poly					Alternative Contact to Poly				
Rule	Description	Lambda			Rule	Description	Lambda		
		SCMOS	SUBM	DEEP			SCMOS	SUBM	DEEP
5.1	Exact contact size	2x2	2x2	2x2	5.2.b	Minimum poly overlap	1	1	1
5.2	Minimum poly overlap	1.5	1.5	1.5	5.5.b	Minimum spacing to other poly	4	5	5
5.3	Minimum contact spacing	2	3	4	5.6.b	Minimum spacing to active (one contact)	2	2	2
5.4	Minimum spacing to gate of transistor	2	2	2	5.7.b	Minimum spacing to active (many contacts)	3	3	3



SCMOS Layout Rules - Contact to Active

If your design cannot handle the 1.5 lambda contact overlap in 6.2, use the alternative rules which reduce the overlap but increase the spacing to surrounding features. Rules 6.1, 6.3, and 6.4, still apply and are unchanged. Contacts must be drawn orthogonal to the grid of the layout. Non-Manhattan contacts are not allowed.

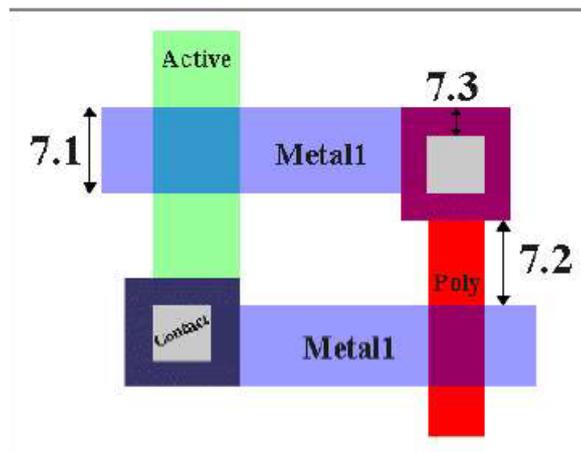
Simple Contact to Active					Alternative Contact to Active				
Rule	Description	Lambda			Rule	Description	Lambda		
		SCMOS	SUBM	DEEP			SCMOS	SUBM	DEEP
6.1	Exact contact size	2x2	2x2	2x2	6.2.b	Minimum active overlap	1	1	1
6.2	Minimum active overlap	1.5	1.5	1.5	6.5.b	Minimum spacing to diffusion active	5	5	5
6.3	Minimum contact spacing	2	3	4	6.6.b	Minimum spacing to field poly (one contact)	2	2	2
6.4	Minimum spacing to gate of transistor	2	2	2	6.7.b	Minimum spacing to field poly (many contacts)	3	3	3
					6.8.b	Minimum spacing to poly contact	4	4	4





SCMOS Layout Rules - Metall

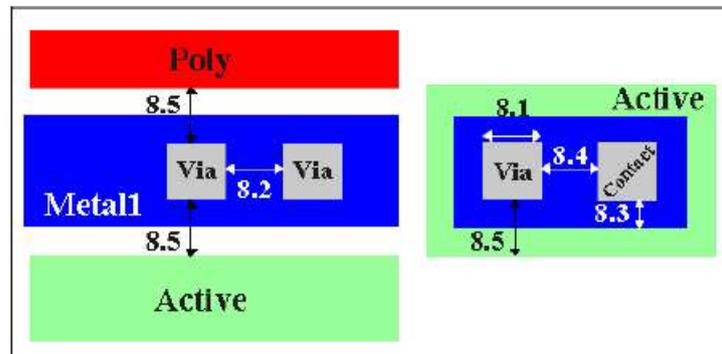
Rule	Description	Lambda		
		SCMOS	SUBM	DEEP
7.1	Minimum width	3	3	3
7.2	Minimum spacing	2	3	3
7.3	Minimum overlap of any contact	1	1	1
7.4	Minimum spacing when either metal line is wider than 10 lambda	4	6	6



SCMOS Layout Rules - Via

Vias must be drawn orthogonal to the grid of the layout. Non-Manhattan vias are not allowed.

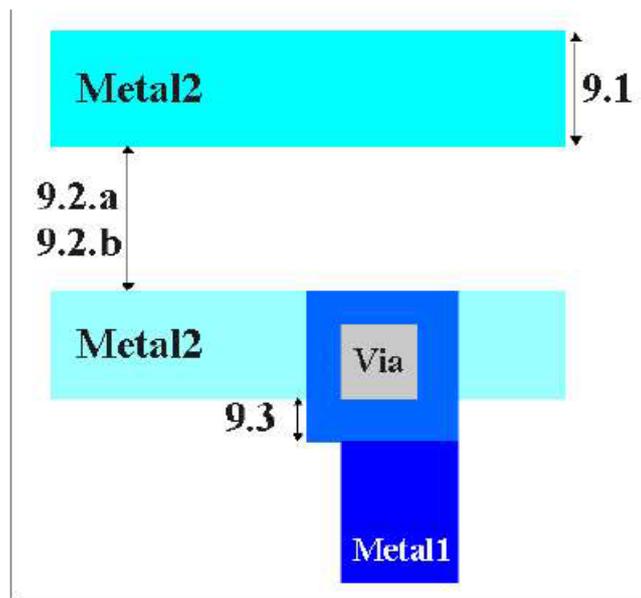
Rule	Description	Lambda					
		2 Metal Process			3+ Metal Process		
		SCMOS	SUBM	DEEP	SCMOS	SUBM	DEEP
8.1	Exact size	2 x 2	n/a	n/a	2 x 2	2 x 2	3 x 3
8.2	Minimum via1 spacing	3	n/a	n/a	3	3	3
8.3	Minimum overlap by metal1	1	n/a	n/a	1	1	1
8.4	Minimum spacing to contact for technology codes mapped to processes that do not allow stacked vias (SCNA, SCNE, SCN3M, SCN3MLC)	2	n/a	n/a	2	2	n/a
8.5	Minimum spacing to poly or active edge for technology codes mapped to processes that do not allow stacked vias (NOTE: list is not same as for 8.4)	2	n/a	n/a	2	2	n/a





SCMOS Layout Rules - Metal2

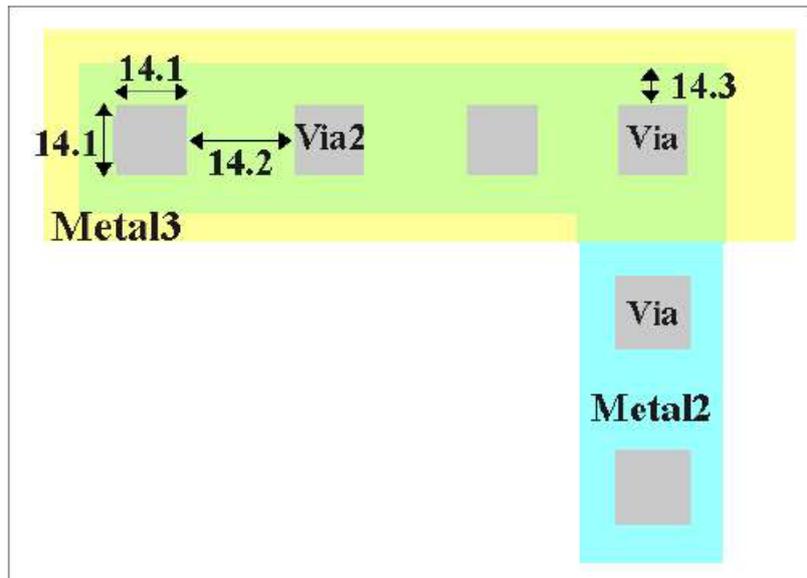
Rule	Description	Lambda					
		2 Metal Process			3+ Metal Process		
		SCMOS	SUBM	DEEP	SCMOS	SUBM	DEEP
9.1	Minimum width	3	n/a	n/a	3	3	3
9.2	Minimum spacing	3	n/a	n/a	3	3	4
9.3	Minimum overlap of via1	1	n/a	n/a	1	1	1
9.4	Minimum spacing when either metal line is wider than 10 lambda	6	n/a	n/a	6	6	8



SCMOS Layout Rules - Via2

Vias must be drawn orthogonal to the grid of the layout. Non-Manhattan vias are not allowed.

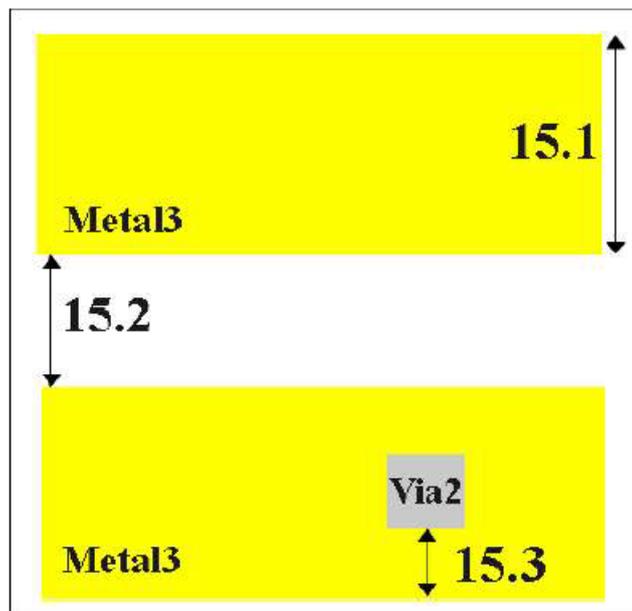
Rule	Description	Lambda					
		3 Metal Process			4+ Metal Process		
		SCMOS	SUBM	DEEP	SCMOS	SUBM	DEEP
14.1	Exact size	2x2	2x2	n/a	2x2	2x2	3x3
14.2	Minimum spacing	3	3	n/a	3	3	3
14.3	Minimum overlap by metal2	1	1	n/a	1	1	1
14.4	Via2 may be placed over via1						
14.5	Via2 may be placed over contact						





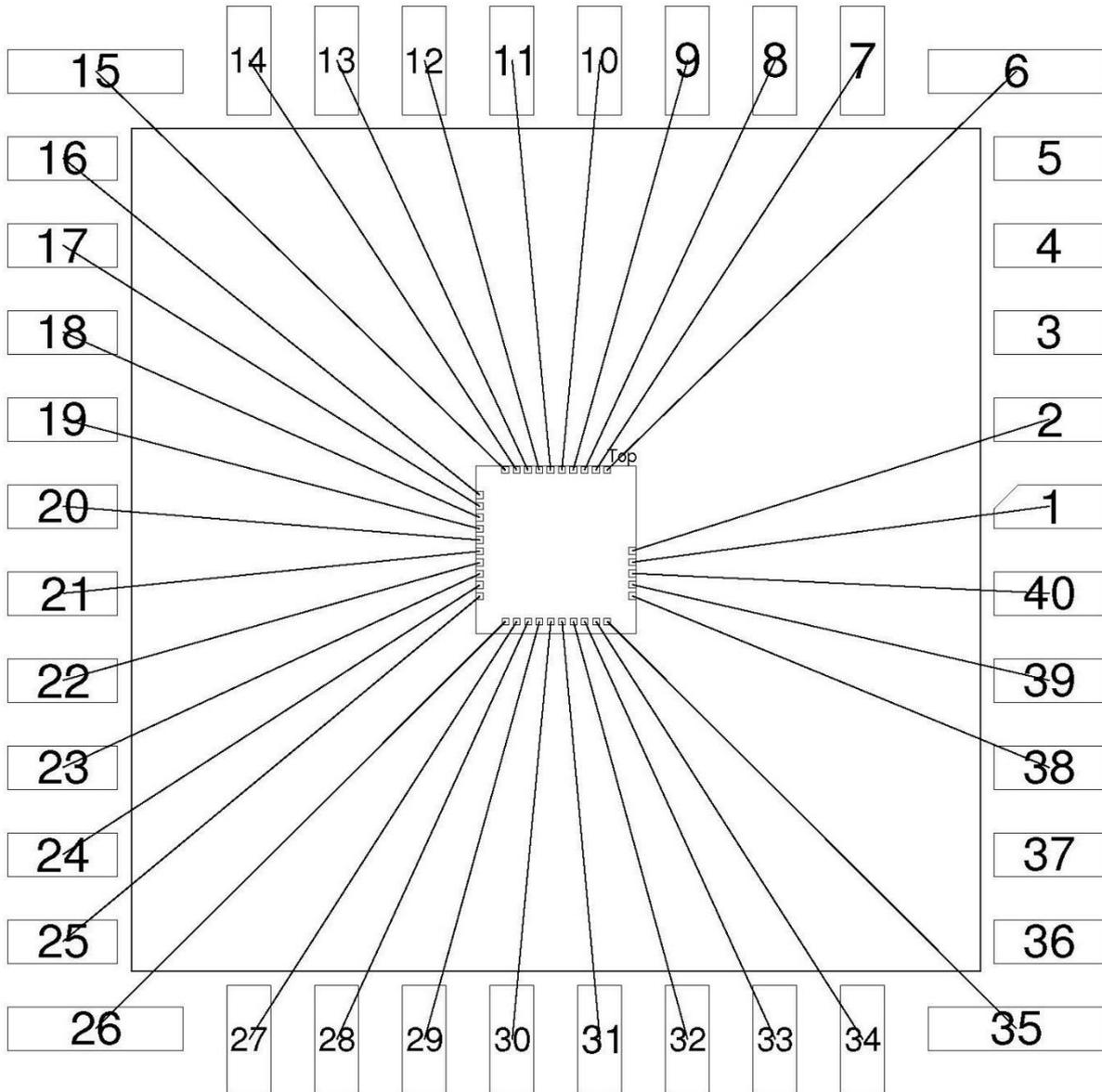
SCMOS Layout Rules - Metal3

Rule	Description	Lambda					
		3 Metal Process			4+ Metal Process		
		SCMOS	SUBM	DEEP	SCMOS	SUBM	DEEP
15.1	Minimum width	6	5	n/a	3	3	3
15.2	Minimum spacing to metal3	4	3	n/a	3	3	4
15.3	Minimum overlap of via2	2	2	n/a	1	1	1
15.4	Minimum spacing when either metal line is wider than 10 lambda	8	6	n/a	6	6	8





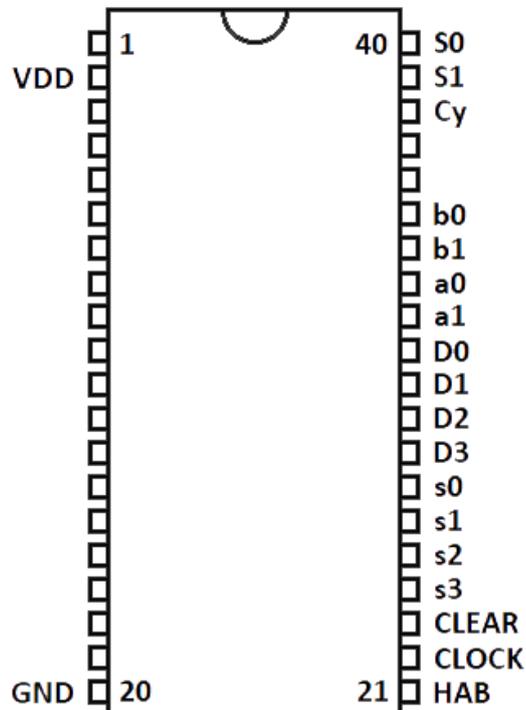
10.4 Anexo Delta: Detalle de encapsulado - MOSIS.



Qty: 2 req'd		DIP40	
		(93711)	
Minimum pad size: 63 x 63; minimum pad pitch: 105 um			
	Design_name: EAMTA_2015		
	Customer Account: 4064-MEP-INS/UNDSUR-DIEC		
	Die Rotation in Cavity: None		
	Cavity Size: 7874 um x 7874 um		
			



10.5 Anexo Echo: Descripción de pines del circuito integrado.



ALIMENTACION

VDD: 5 V.

GND: 0 V.

CIRCUITO DE CONTADORES

HAB: 1: habilita la cuenta.

0: pausa la cuenta.

CLOCK: pulsos a contar.

CLEAR: 1: los pulsos son contados.

0: reinicia la cuenta.

s3, s2, s1, s0: entrada de selección de contador.

D3, D2, D1, D0: salida de contador seleccionado.

CIRCUITO SUMADOR

a1, a0: número a sumar.

b1, b0: número a sumar.

Cy: acarreo.

S1, S0: resultado de suma.