

## **Proyecto: Adquisición, Registro y Visualización**

(Equipo de última generación)



## Índice General

### Adquisición, Registro y Visualización.

1.- Presentación del Proyecto.....	6
1.1 – Síntesis .....	6
1.2 - Objetivos.....	6
1.3 - Aplicaciones .....	6
1.4 - Diagrama en Bloques.....	7
1.5 - Vista general del prototipo .....	8
1.6 - Desarrollo.....	9
1.7 - Especificaciones Técnicas.....	10
1.8 – Conclusión .....	10
1.9 – Bibliografía .....	10
- Nota 1 .....	10
2.- Etapa de Entrada y control de sincronismo .....	12
2.1 – Objetivo .....	12
2.2 – Introducción .....	12
2.3 - Ubicación en el prototipo .....	12
2.4 - Etapa de entrada.....	13
2.4.1 – Características .....	13
2.4.2 - Diagrama en Bloques .....	13
2.4.3 - Mediciones relativas .....	15
2.5 - Etapa de Sincronismo.....	16
2.5.1 – Características.....	16
2.5.2 - Diagrama en bloques.....	16
2.5.2.1 - Generador de Disparo y detector de flanco .....	16
2.5.2.2 - Selector de Flanco y Habilitador de disparo .....	17
2.6 - Circuito de la etapa de entrada.....	18
2.7 - Circuito del generador de sincronismo .....	19
2.8 - Vista fotográfica de la etapa.....	20
2.9 - Propuestas de mejoras.....	20
2.10 – Conclusiones .....	20
3. - Etapa de Adquisición y control.....	22
3.1 – Objetivo .....	22
3.2 – Introducción.....	22
3.3 - Ubicación de los módulos / etapa de muestreo y memorización .....	22
3.4 - Diagrama en Bloques.....	23
3.5 - Conversión analógica - digital y memorización.....	24
3.6 - Control de la adquisición .....	25
3.7 - Microcontrolador de muestreo y almacenamiento.....	26
3.8 - Software de control.....	26
3.9 - Circuito de conversión analógica y memorización .....	27
3.10 - Circuito de control de la adquisición .....	27
3.11 - Secuencia de control del muestreo y memorización.....	28
3.12 - Secuencia de adquisición y control / interrupción .....	28
3.13 - Circuito de la etapa de muestreo y almacenamiento .....	29
- Nota 2.....	30
3.14 - Propuestas de mejoras .....	30
3.15 – Conclusión .....	30

4 - Etapa de visualización.....	32
4.1 – Objetivo.....	32
4.2 – Introducción .....	32
4.3 - Ubicación de los módulos de la etapa de visualización.....	32
4.4 - Diagrama en bloques.....	33
4.5 - Presentación de la información .....	34
4.6 - Intercambio de información con el módulo de adquisición .....	34
4.6.1 - Trama de visualización a adquisición .....	35
4.6.2 - Trama de adquisición a visualización .....	35
4.7 - Comandos de control (Interfaz de entrada) .....	36
4.7.1 - Comandos disponibles.....	36
4.8 - Vista fotográfica de la Interfaz de entrada .....	37
4.9 - Inscripción en la pantalla .....	37
4.9.1 - Imagen en pantalla de una señal con persistencia aplicada.....	38
4.9.2 - Imagen en pantalla de la misma señal sin persistencia activada.....	39
4.9.3 - Imagen en pantalla de una señal transitoria .....	39
4.9.4 - Imagen en pantalla de una señal modulada en amplitud .....	39
4.10 - Diagrama general del software del sistema de visualización .....	40
4.11 - Secuencia del programa del microcontrolador supervisor del teclado .....	40
4.12 - Diagrama de respuesta del micro, / dato nuevo / por el puerto serie .....	41
4.13 - Secuencia que sigue el micro / interrupción, p./ interfaz de entrada .....	41
4.14 - Circuito de la etapa de visualización .....	42
4.15 - Propuestas de mejoras .....	43
4.16 – Conclusión .....	43
5 - Modulo coprocesador de FFT .....	45
5.1 – Objetivos .....	45
5.2 – Introducción .....	45
5.3 - Ubicación del módulo que constituye el coprocesador de FFT .....	45
5.4 - Diagrama en bloques .....	46
5.5 - Intercambio de información con el módulo de visualización .....	46
- Nota 3 .....	47
5.6 - Software de simulación y control.....	47
5.6.1 - Imagen en la PC auxiliar, del software / supervisión y depuración .....	48
5.7 - Firmware para del modulo coprocesador de FFT .....	49
5.7.1 - Bloques funcionales del software embebido .....	49
5.8 - Módulo coprocesador de FFT .....	50
5.9 - Circuito eléctrico del módulo coprocesador de FFT.....	50
5.10 - Propuestas de mejoras .....	51
5.11 – Conclusiones.....	51
- Nota 4.....	51
Apéndice I: Fuentes de Alimentación .....	53
Apéndice II: Base teórica asociada a la Transformada de Fourier .....	58
Apéndice III: Código assembler del programa de Adquisición .....	65
Apéndice IV: Código en assembler del programa de Visualización .....	88
Apéndice V: Código en assembler del programa de Interfaz de Entrada.....	137
Apéndice VI: Código en lenguaje C del programa de FFT.....	146



## **Proyecto: Adquisición, Registro y visualización**

### **1.- Presentación del Proyecto**

#### **1.1- Síntesis:**

Dado que existen gran cantidad de tareas donde es necesario realizar controles y/o mediciones sobre variables físicas de todo tipo, medir magnitudes, etc., se plantea la necesidad de disponer de un instrumento que justifica el desarrollo de este proyecto. En él se procesará una información eléctrica (como variable única), proveniente de una amplia variedad de transductores de magnitudes físicas. Así disponemos de una plataforma genérica de adquisición de señales.

El trabajo esta orientado al estudio y comprensión del manejo de señales analógicas por medios digitales, utilizados en los instrumentos actuales, temas sobre los cuales no se dispone de información por parte de los fabricantes, haciendo difícil la construcción de equipos de esta naturaleza en la industria local.

El equipo prototipo está limitado a los materiales obtenibles en el ámbito nacional, sin embargo, la disposición de elementos mas avanzados, permitiría incluirlos sin generar importantes modificaciones.

La configuración, armado y programación, está realizada sobre ideas originales cuyas propuestas nacen en las reuniones habituales del grupo LEFRA, en el ámbito del Laboratorio de Investigación Aplicada (LIA), definiendo la metodología y circuitería a realizar.

#### **1.2 - Objetivos:**

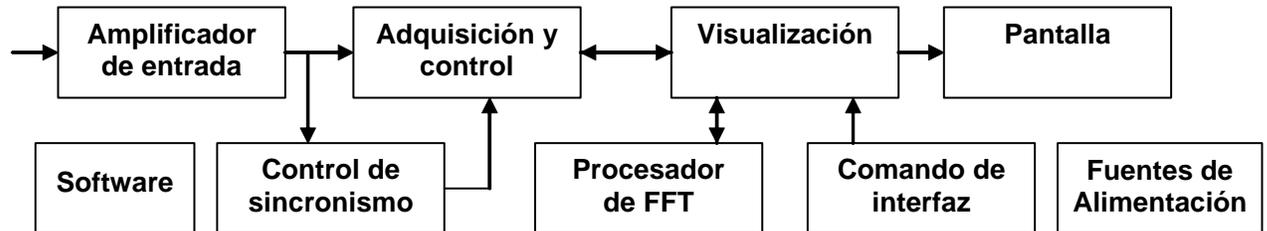
Diseño y construcción de un sistema prototipo de adquisición, registro y visualización de señales analógicas, basado en el método de digitalización de las mismas, que permita su posterior análisis, montado en un soporte modular, versátil y didáctico, apto para realizar mejoras y modificaciones, y también tomar las mediciones necesarias para determinar su estado de funcionamiento y operación. Las señales a medir pueden analizarse en una pantalla amplitud/tiempo, o bien amplitud/frecuencia dispuesta a tal fin.

#### **1.3 - Aplicaciones:**

Este desarrollo, por carácter propio, puede formar parte de equipos de mayor envergadura en aplicaciones sumamente variadas, tales como:

- 1) Estudios de ruido ambiental y contaminación sonora.
- 2) Análisis de perturbaciones y/o componentes espectrales en redes de energía.
- 3) Estudio de vibraciones mecánicas captadas por acelerómetros.
- 4) Monitoreo de procesos industriales.
- 5) Monitoreo en medicina de alta complejidad.
- 6) Registro de variables meteorológicas/sísmicas.
- 7) Registro de variables en prácticas educativas, etc.
- 8) Analizador de variables lógicas.

#### 1.4 - Diagrama en bloques:



**Amplificador de entrada:** Corrige la señal de entrada y ajusta su valor medio de modo de hacerla compatible con el módulo de adquisición de datos para su proceso posterior.

**Adquisición y Control:** Muestra la señal de entrada a una tasa que garantice mínima deformación, compatible con la tecnología y los recursos disponibles. Controla físicamente las variables del amplificador de entrada.

**Visualización:** Muestra la señal en un diagrama temporal o bien su espectro en frecuencia, generando las señales de comando necesarias de la base de tiempo y los atenuadores de entrada.

**Control de sincronismo:** Genera las señales de sincronismo necesarias para garantizar una imagen estable de la visualización.

**Interfaz de entrada:** es el intérprete hombre / máquina que permite la operación.

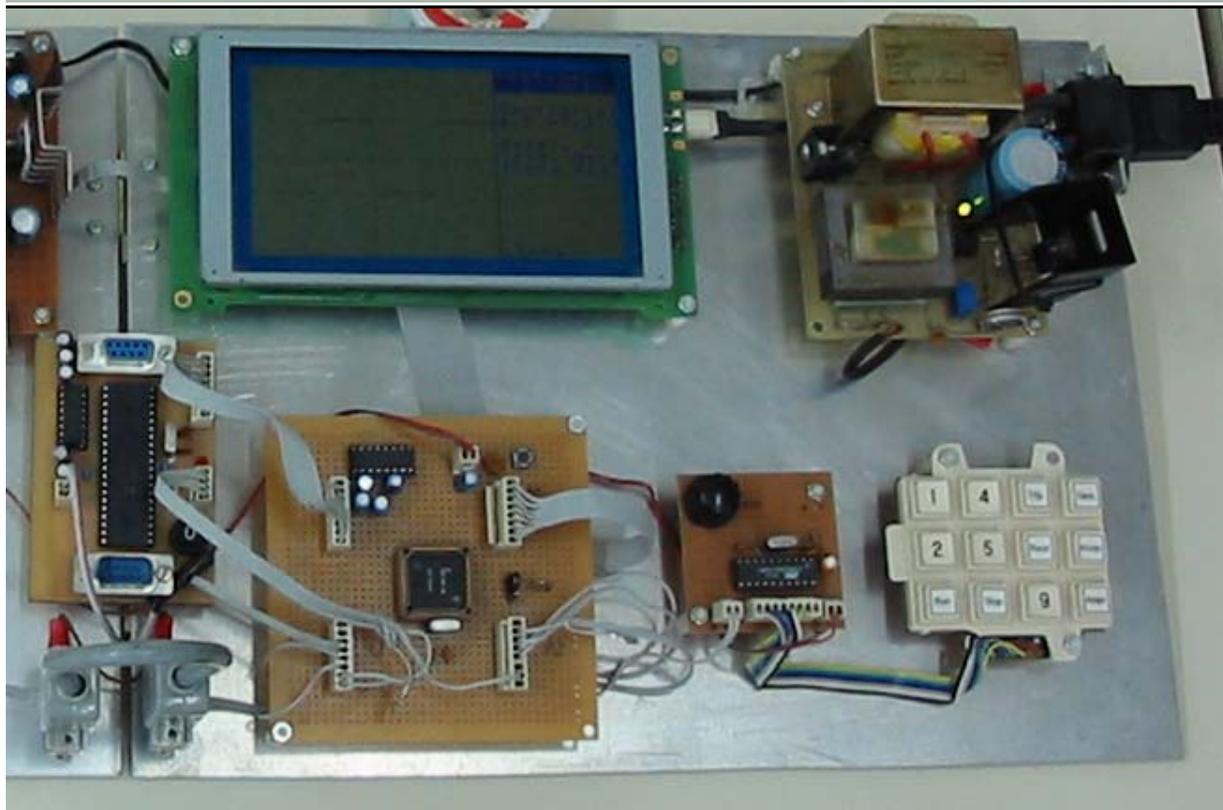
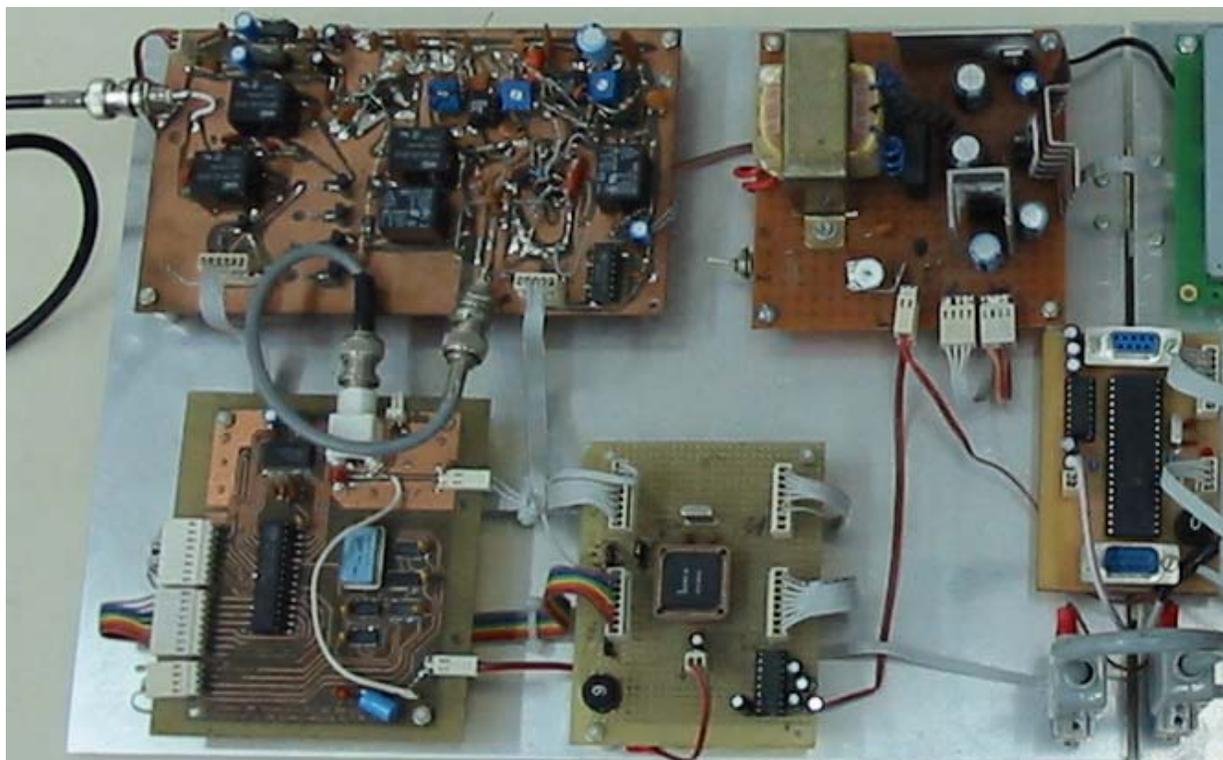
**Módulo procesador de FFT:** Calcula e identifica las componentes espectrales de la señal de entrada mediante una transformada matemática discreta.

**Pantalla:** Display de resolución limitada (reemplazable por otro de características superiores).

**Software para visualización y control:** Programación en idioma de máquina de los microprocesadores (cuatro) que componen algunos de los módulos anteriores.

**Fuentes de Alimentación:** Provee de las tensiones necesarias a cada parte del circuito.

1.5 - Vista general del prototipo:



### 1.6 - Desarrollo:

El módulo amplificador de entrada ajusta las señales que ingresan al equipo, de forma tal de aprovechar al máximo el rango dinámico de la etapa de digitalización. Se toman muestras de la señal de entrada para luego almacenarlas en forma digital y discreta. La velocidad de toma de muestras de la señal de entrada es superior a la que se procesa la información. Esta independencia, permite la utilización de microcontroladores convencionales para manejar señales digitales de muy alta velocidad. Dichas muestras, tomadas en alta velocidad, son procesadas al ritmo que dispone el microcontrolador, para luego ser graficadas.

El concepto de digitalizar una señal se basa en tomar un valor de la misma a intervalos de tiempo regulares. Existen dos parámetros fundamentales a tener en cuenta: velocidad de muestreo y cantidad de niveles de cuantificación. La velocidad de muestreo es la cantidad de muestras de la señal tomadas por unidad de tiempo. Los niveles de cuantificación determinan la cantidad de valores posibles que puede tomar cada muestra entre un mínimo y un máximo determinados. Estos valores son discretos y normalmente en valores de  $2^n$ . A mayor velocidad de muestreo, menor es el tiempo que separa dos muestras consecutivas y mayor es la información disponible para reconstruir la señal. Cuanto más grande es el número de niveles de cuantificación, el error es menor y el valor medido esta más cerca del valor real. Las limitaciones en ambos parámetros, son en general tecnológicas y económicas pues lograr tasas elevadas de muestreo y de mucha resolución es difícil y costoso.

En el proyecto se busca obtener la mayor velocidad de muestreo, sin necesidad de disponer de unidades de procesamiento extremadamente veloces. Por ello se utiliza una memoria intermedia, capaz de trabajar a alta velocidad de almacenamiento, y luego ser leída a baja velocidad de procesamiento. Cabe aclarar en este punto que debido a esta configuración, la etapa de muestreo y memorización podría aumentar su capacidad de manejar señales de mayor frecuencia, simplemente colocando componentes, que en esa parte trabajen a una frecuencia mayor. Al ser posible la lectura de la memoria a una velocidad mucho menor que la de muestreo y acorde a los tiempos del microcontrolador, la frecuencia máxima de muestreo, es independiente de la velocidad de procesamiento del microcontrolador y esto evita la necesidad de colocar microcontroladores rápidos y costosos.

La visualización de la señal, presenta dos opciones. Utilizar una PC externa a través de una interfaz RS232 (se dispone la posibilidad), o bien crear un módulo específico para tal fin. Esta opción es la elegida, para lo cual se emplea un microcontrolador dedicado y una pantalla gráfica (x,y), de baja resolución (por razones de costo). Esta última se podría reemplazar fácilmente por una pantalla de mayor resolución.

Una vez solucionados los problemas de digitalización y visualización de la señal de entrada, se emplea un módulo de procesamiento matemático. Este, recibe los datos desde la etapa de adquisición y una vez procesados entrega al módulo de visualización las componentes espectrales de la imagen original. Para realizar esto, se crea un algoritmo de transformada rápida de Fourier que maneja al microcontrolador de este módulo. Los resultados obtenidos mediante la FFT son graficados en un plano amplitud /frecuencia. Tanto este plano como el de amplitud / tiempo son generados en el controlador de visualización que los alterna según los valores que lee desde la interfaz de comandos.

### 1.7 - Especificaciones Técnicas:

Tensión de Alimentación:	220VAC - 50Hz.
Rango de señales de entrada:	hasta 16 Vpp.
Ancho de banda:	DC – 10 MHz.
Impedancia de entrada:	1 Mohm // 50pF.
Resolución de conversión:	8 bits.
Resolución de pantalla:	128 x 160.
Velocidad máxima de muestreo:	20 MHz.

### 1.8 - Conclusión:

Si bien la propuesta no busca la obtención de un equipo comercial, cumple con las características buscadas ya que éste, cuenta con las mismas funciones que sus pares de marcas reconocidas. Basta el cambio de memoria y velocidad de adquisición para que estas funciones tengan el mismo alcance que las de sus pares, y no es necesario hacer modificaciones profundas para su logro. Un paso avanzado sería la concreción de un módulo propietario (ASIC). Por otro lado, el permanente contacto con los alumnos, permite transferir el conocimiento generado, ya sea en el ámbito de la facultad, o bien mediante la exposición pública del mismo (conferencias). Este proyecto constituye en si mismo una prueba real de la capacidad local, de generar tecnología difícilmente disponible, dada la actual tendencia al retaceo de información.

### 1.9 - Bibliografía:

Bajo la premisa de realizar un trabajo original se emplea solo una mínima bibliografía, basada casi exclusivamente en las hojas de datos de los componentes utilizados.

- Tratamiento de señales en tiempo discreto. A.V. Oppenheim, R.W. Schafer. Prentice Hall
- Señales y sistemas. A.V. Oppenheim - A.S. Willsky. Pearson Educación, 1998
- The scientist and engineer's guide to digital signal processing. Steven W. Smith, Ph.D.
- Hojas de datos: LF356, AD818, T89C51RD2, T89C4051, TDA8703, CY7C433, 74LS90, KBU6D, 74LS151, 74LS00, 74LS74, PANTALLA WM-G2412A-1BEWA

### Nota 1:

Cada una de las etapas y/o partes se presentan por separado. En cada informe se incluyen las descripciones de funcionamiento, circuitos y programas originales, pruebas realizadas, y toda otra información considerada de importancia para su disposición y estudio.



## **Proyecto: Adquisición, Registro y visualización**

### **2 - Etapa de entrada y Control de sincronismo**

#### **2.1 - Objetivo:**

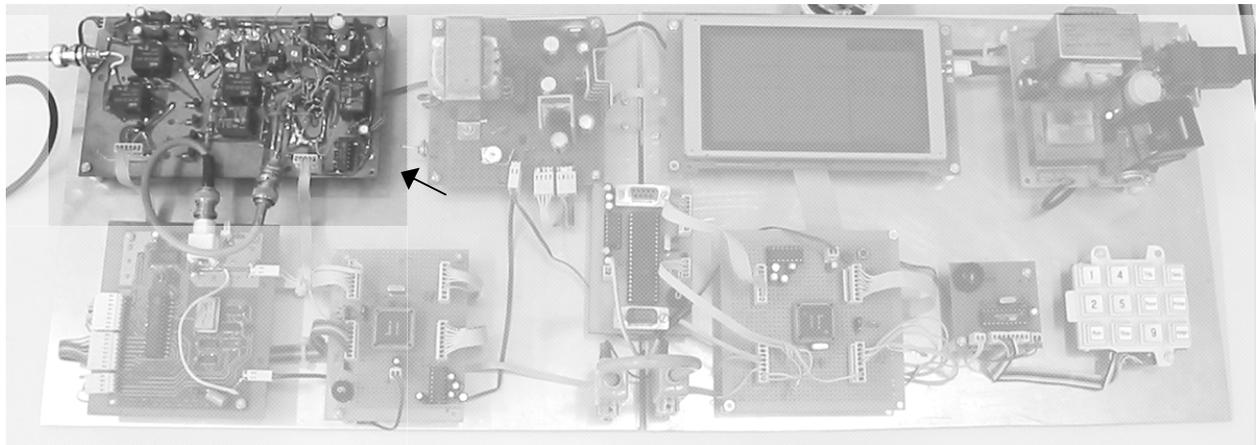
Desarrollar, construir y ensayar los circuitos, que permitan la puesta en norma de las señales a analizar, y generar las marcas temporales necesarias.

#### **2.2 - Introducción**

Esta etapa, en una de sus secciones, tiene la función de adaptar las características de la señal a procesar, a las necesidades de entrada de la etapa siguiente, cuya función es la adquisición digital y control. Por ello, este circuito, modifica las características de amplitud en forma lineal, dentro del ancho de banda especificado (no se desea un amplio BW).

La otra sección configura el generador de disparo, que tiene la función de sincronizar el momento de la adquisición con la señal de entrada, permitiendo a la etapa siguiente, el inicio de la captura en tiempo, para que en la pantalla aparezca una imagen estable, aunque ésta, se este actualizando a un determinado ritmo.

#### **2.3 - Ubicación en el prototipo:**

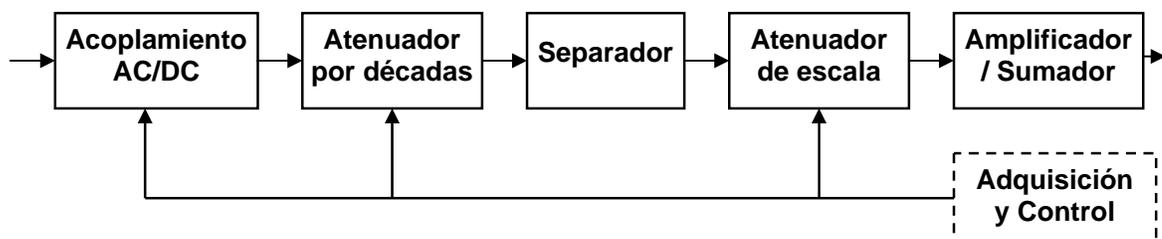


## 2.4 - Etapa de entrada:

### 2.4.1 - Características:

Sensibilidad de entrada:	50mV/div – 2V/div. (1 – 2 – 5).
Impedancia de entrada:	1 Mohm // 50pF.
Atenuador externo:	x10 // 6pF.
Acoplamiento:	CC, CA (-3dB/10 Hz).
Ancho de banda:	CC – 10 MHz. (-3dB : 200mV/div.).
Corrección de	CC: $\pm 5$ div. (pantalla).

### 2.4.2 - Diagrama en Bloques:



#### Acoplamiento AC/DC:

Este bloque permite seleccionar un acoplamiento en CC, para garantizar un adecuado funcionamiento en frecuencias extremadamente bajas, tales como señales generadas por geófonos, o para el estudio de vibraciones de muy baja frecuencia. Así mismo, la selección de un acoplamiento en CA, suele ser útil para eliminar el valor medio, cuando se trabaja con señales de relativa mayor frecuencia, p.ej. vibraciones estudiadas mediante acelerómetros, o bien, sonidos provenientes de micrófonos o captores de otra índole, en el estudio de ruidos en general.

#### Atenuador por décadas:

La necesidad del manejo de señales de amplio rango dinámico, determina el empleo de un atenuador de entrada en décadas (1, 10, 100), que garantiza una impedancia de entrada razonablemente constante. En este trabajo solo se emplea un atenuador x1 – x10.

#### Separador:

El separador es una etapa de ganancia unitaria con baja impedancia de salida y muy alta impedancia de entrada, esta última, necesaria para no alterar las características de atenuación de la etapa previa.

### Atenuador de escala:

Este bloque complementa los pasos necesarios de atenuación para el logro de las escalas previstas.

Ambos atenuadores (por décadas y de escala), cuya configuración circuital es del tipo divisor resistivo, se manejan mediante contactos comandados.

### Amplificador - Sumador:

La necesidad de alimentar la etapa siguiente hasta los límites máximos admitidos por el conversor análogo/digital (A/D), lleva al empleo de un amplificador de ganancia fija, con corrección de CC (variación de valor medio), y cuya impedancia de entrada garantice no alterar los pasos de atenuación de la etapa previa. También, su impedancia de salida es la necesaria para alimentar al conversor A/D. El circuito sumador no solo permite corregir el valor medio de la señal, sino que suma una constante requerida por el A/D dado que este solo opera en un rango de tensión específico (1.55 V – 3.26 V).

### Cálculo de la ganancia:

Para calcular la ganancia del amplificador es necesario tener en cuenta que: la máxima señal de entrada se debe corresponder con el máximo rango dinámico del conversor A/D, y a su vez debe utilizar la pantalla en su totalidad.

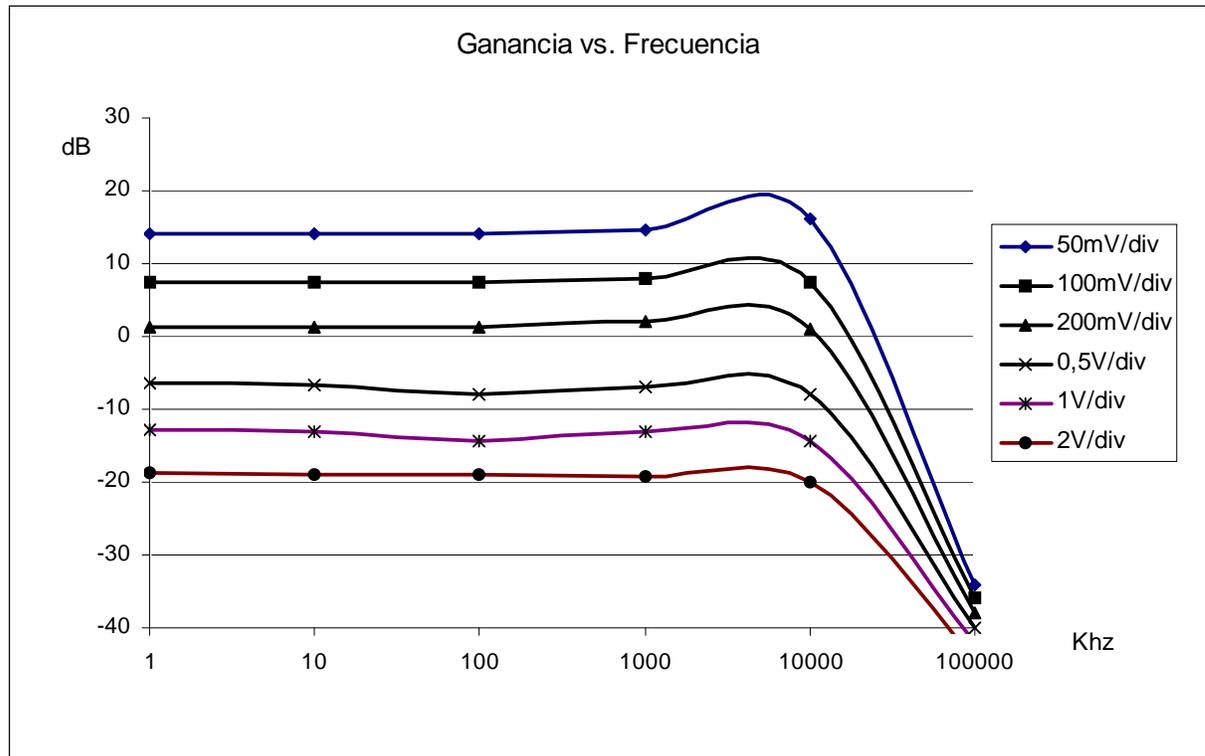
La máxima excursión de entrada del conversor A/D esta dada por los valores límites que éste acepta, de modo que su diferencia determina el rango a considerar, el que resulta ser de 1,71V y que corresponde a la máxima excursión en cualquiera de las escalas, ya que el trabajo del mismo es independiente de estas. En el caso de la escala de máxima sensibilidad, (50mV/div,) se necesitan 400mV para ocupar toda la pantalla, desde el margen inferior hasta el superior, (pues ésta conviene ser dividida en ocho partes, valor habitual comercial), tensión que se aplica a la entrada del amplificador, considerando que en esta escala los atenuadores se fijan en: X1. Esto determina que la ganancia del amplificador debe ser:  $1,71V/0.4V = 4,275$  veces. (este valor es constante). Otro paso de atenuación o escala provoca variaciones en pantalla de la amplitud de la onda de entrada, respetando las proporciones entre escalas. Por ejemplo: una onda que tiene 4div de amplitud en la escala de 10v/div, deberá tener 8div en la escala de 5v/div.

### Adquisición y Control:

Este módulo que no pertenece a la etapa de entrada, cuya función principal es la ejecución de todo el manejo temporal y de conversión, genera además las señales necesarias para su control, (Acoplamiento AC/DC, Atenuador por décadas y Atenuador de escala), las que provienen originalmente de la etapa de visualización y por supuesto respondiendo al software principal (programa propietario).

### 2.4.3 - Mediciones relativas:

Valores obtenidos al determinar la transferencia de la etapa:



Cuadro de valores referente a la respuesta en frecuencia:

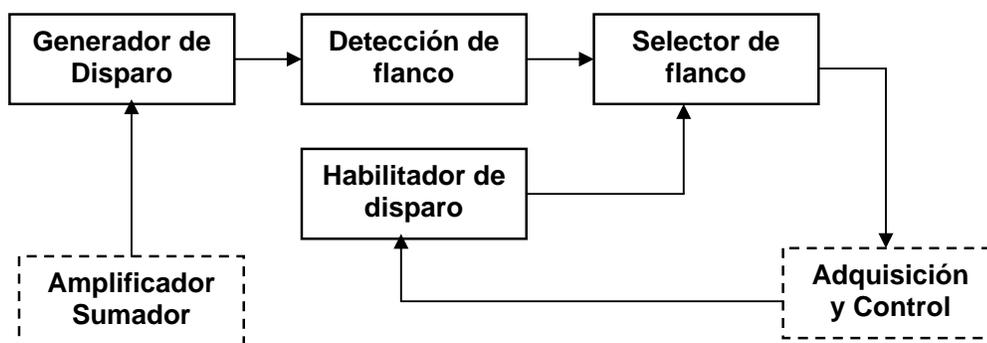
Escala	1Khz	10Khz	100Khz	1000Khz	10000Khz	
2v/div	-18,7	-18,9	-19,0	-19,3	-20,0	dB
1v/div	-12,9	-13,0	-14,3	-13,0	-14,3	dB
0,5v/div	-6,5	-6,6	-8,0	-6,9	-8,0	dB
200mV/div	1,3	1,3	1,3	1,9	1,1	dB
100mV/div	7,4	7,4	7,4	8,0	7,4	dB
50mV/div	14,0	14,0	14,0	14,5	16,0	dB

## 2.5 - Etapa de Sincronismo:

### 2.5.1 - Características:

Sensibilidad de entrada:	50mV/div – 2V/div. (1 – 2 – 5).
Impedancia de entrada:	1 Mohm // 50pF.
Acoplamiento:	CC, CA (-3dB/10 Hz).
Ancho de banda de sincronismo:	0.1– 2 MHz.
Nivel de disparo:	Ajustable en toda la excursión.
Tipo de disparo:	Por flanco seleccionable.

### 2.5.2 - Diagrama en bloques:

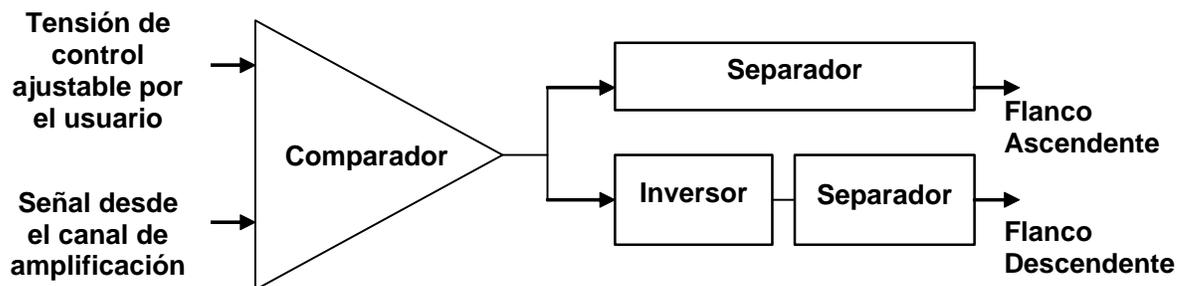


#### 2.5.2.1 - Generador de Disparo y detector de flanco:

Este sistema es capaz de detectar un nivel específico en la onda de entrada y genera pulsos para el selector de flanco. Para ello compara el valor instantáneo de la señal de entrada con una tensión de control ajustable por el operador, y un proceso analógico genera los pulsos a seleccionar por el selector de flanco.

Uno de estos pulsos mantiene su fase inicial mientras el otro la invierte, de modo que se tienen dos señales de sincronismo con la polaridad adecuada para manejar al detector de disparo; cada una de las cuales representa cada flanco a seleccionar. Eso nos permite elegir la pendiente de disparo.

Diagrama en bloques:



### 2.5.2.2 - Selector de Flanco y Habilitador de disparo:

Los pulsos provenientes del detector alimentan al selector de flanco que esta comandado desde el teclado frontal por el operador. Éste, según su necesidad, optará por visualizar la señal de entrada comenzando por la pendiente positiva o negativa.

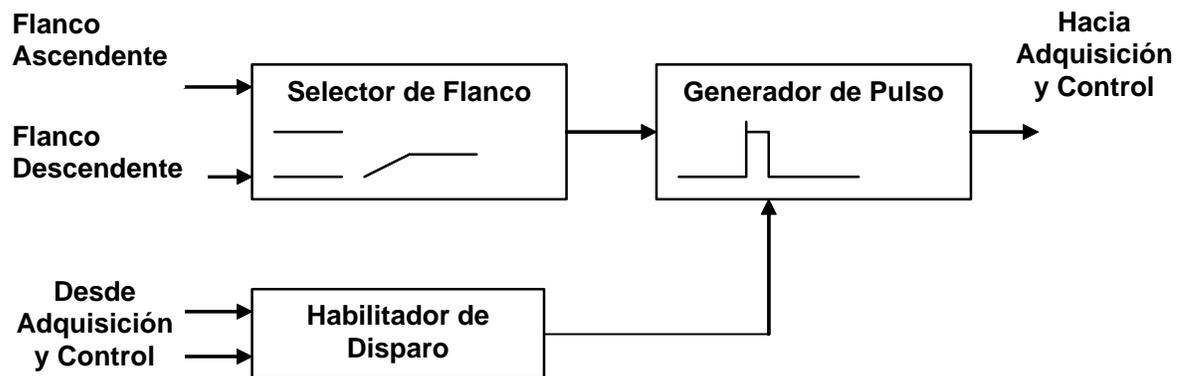
Se incluye un generador de pulsos para disponer de una señal uniforme independientemente del ancho de los pulsos de entrada, pero solo cuando el habilitador de disparo se lo permite, y así sincronizar el módulo de adquisición y control que provocará la carga de la memoria.

El habilitador de disparo permite a la unidad de control comandar el momento a partir del cual, se tendrán listos todos los requerimientos para poder manejar una nueva tanda de datos de lectura. Este circuito se comanda con dos señales provenientes del módulo de Adquisición y Control. Estas, aparecen en el momento adecuado, que depende del tiempo de liberación de la memoria FIFO. Una vez que se habilita el generador de pulsos, la presencia del próximo pulso de sincronismo recibido inicia la carga de la memoria y se deshabilita para evitar que el ingreso de nuevos pulsos sobrescriban la información anterior. Luego se vuelve a armar, se procesan los datos y cuando está listo se habilita una vez más, y se reinicia el proceso cíclicamente. Este modo de comandar los pulsos de sincronismo permite manejar el sistema a discreción, de modo que se acepta el paso de tan solo un pulso como se hace en el caso de disparo único.

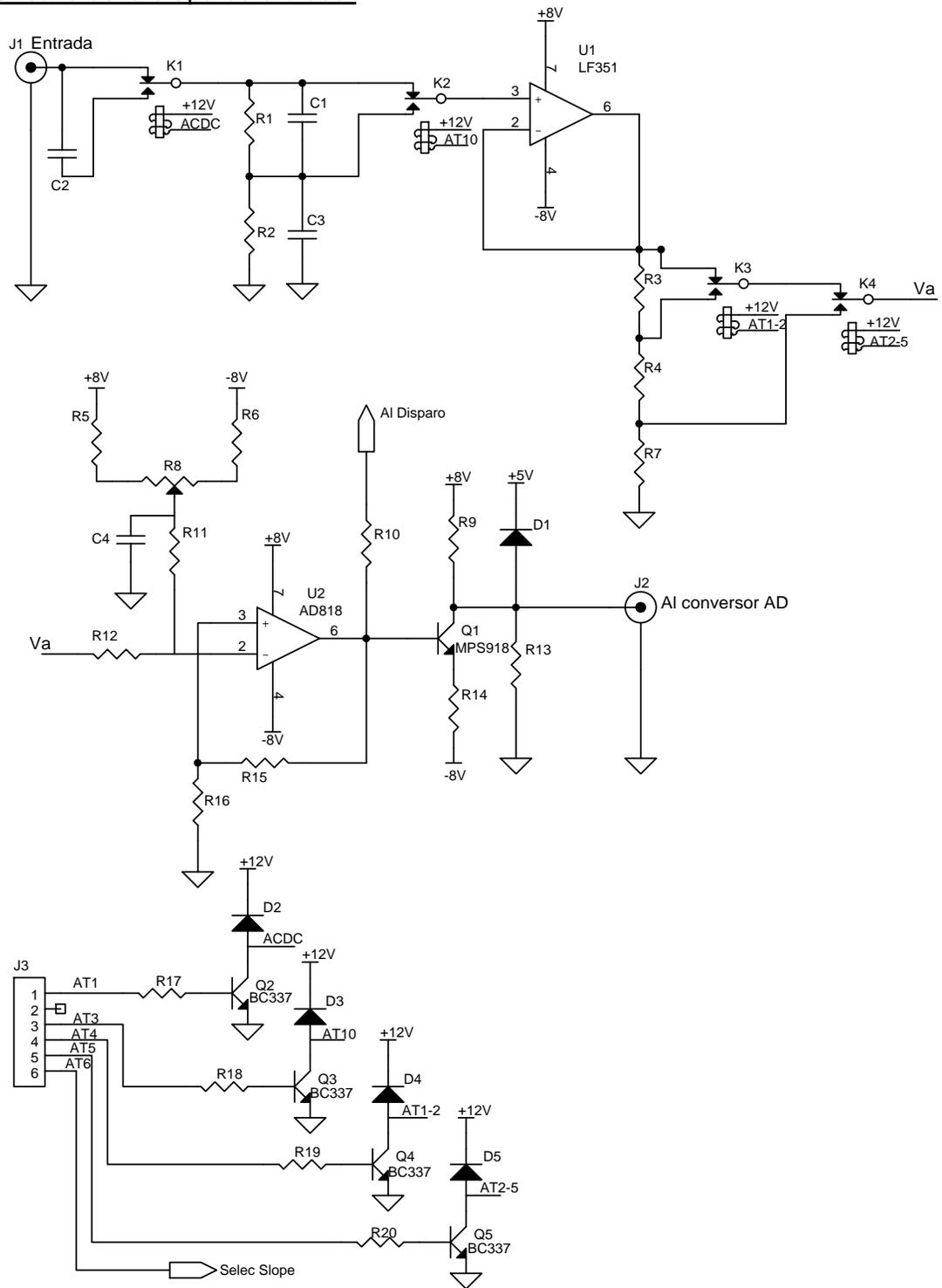
De esta forma solo quedan memorizados los datos suficientes para armar la imagen de una pantalla especialmente para la muestra de señales no repetitivas.

Este circuito demostró funcionar adecuadamente en el sincronismo de señales de hasta 2.5 MHz.

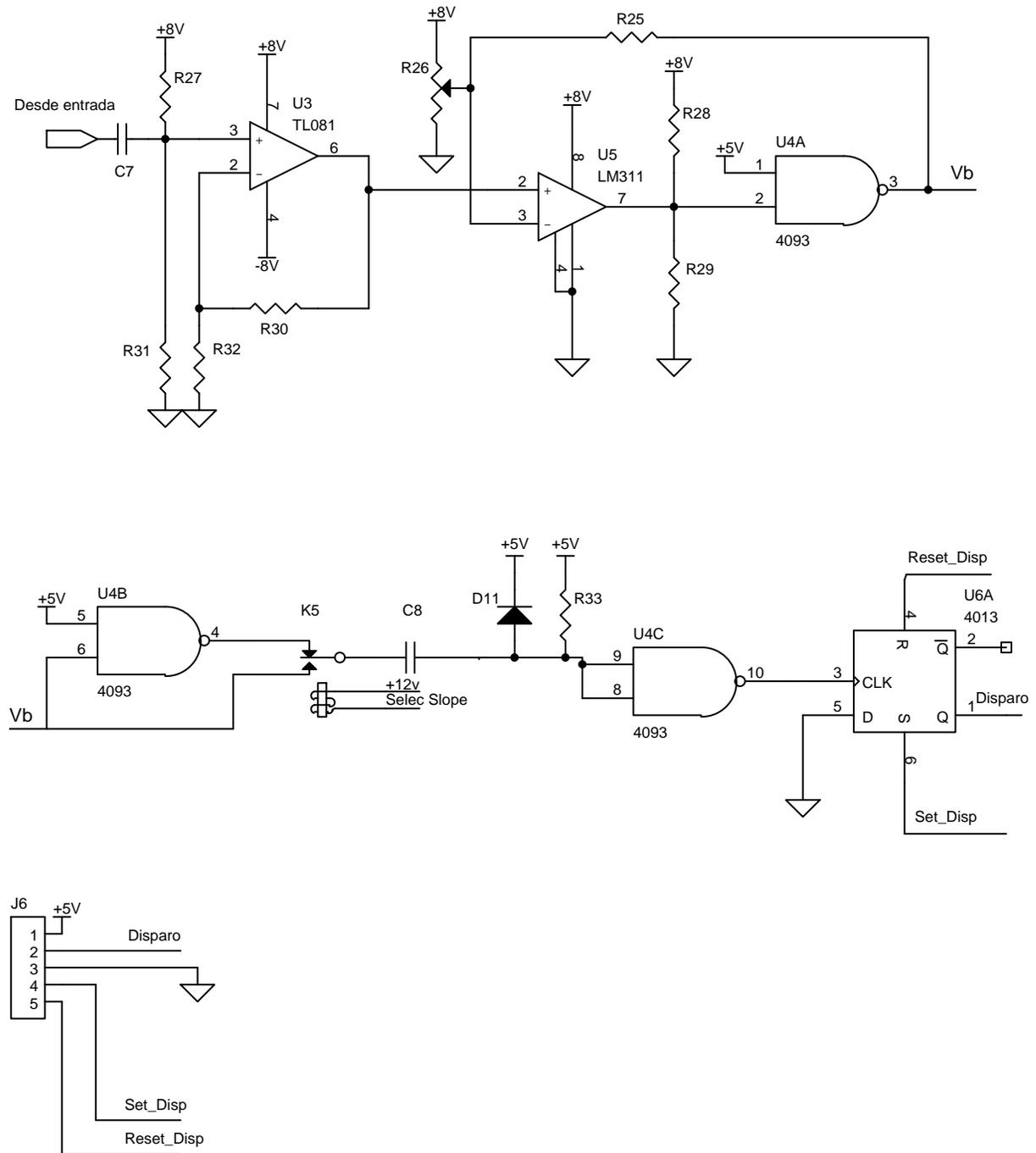
Diagrama en bloques:



**2.6 - Circuito de la etapa de entrada:**



2.7 - Circuito del generador de sincronismo:



## 2.8 - Vista fotográfica de la etapa



## 2.9 - Propuestas de mejoras:

El circuito, de estructura trivial, según sea el área de aplicación específica, es reemplazable por el adecuado a cada fin, p.ej., para el estudio de fenómenos de muy baja frecuencia (sismología, meteorología, etc.), éste debe procesar las señales provenientes de los sensores específicos, de modo que, la aplicación es rectora de la unidad de entrada a emplear.

A veces, es necesario comparar diferentes variables vinculadas entre si, En este caso, el agregado de varias unidades de entrada similares multiplexadas en el tiempo, sería de gran utilidad. Por ejemplo, en líneas de transmisión de energía, el disponer de seis etapas de entrada, convierte al sistema en un analizador de red, para estudiar y comparar diferentes variables (tensión, corriente, potencia, etc). También, al disponerse de la FFT, se pueden efectuar estudios referidos a componentes espectrales presentes y no deseadas sobre las líneas, convirtiendo al equipo en un analizador de distorsión de red.

Cuando se necesitan comparar señales digitales en circuitos combinatoriales o secuenciales, una etapa de entrada con ocho separadores lógicos, permitiría disponer de 8 señales en la misma pantalla, (herramienta de mucha utilidad).

Para su empleo definitivo y en otras aplicaciones (equipos portables), se adoptarán las tecnologías de construcción adecuadas.

## 2.10 - Conclusiones:

En este caso, (usos generales), su construcción y estudio según las premisas de amplificación, atenuación y sincronismo, cumple con las características esperables de un prototipo.



## **Proyecto: Adquisición, Registro y visualización**

### **3 - Etapa de Adquisición y control:**

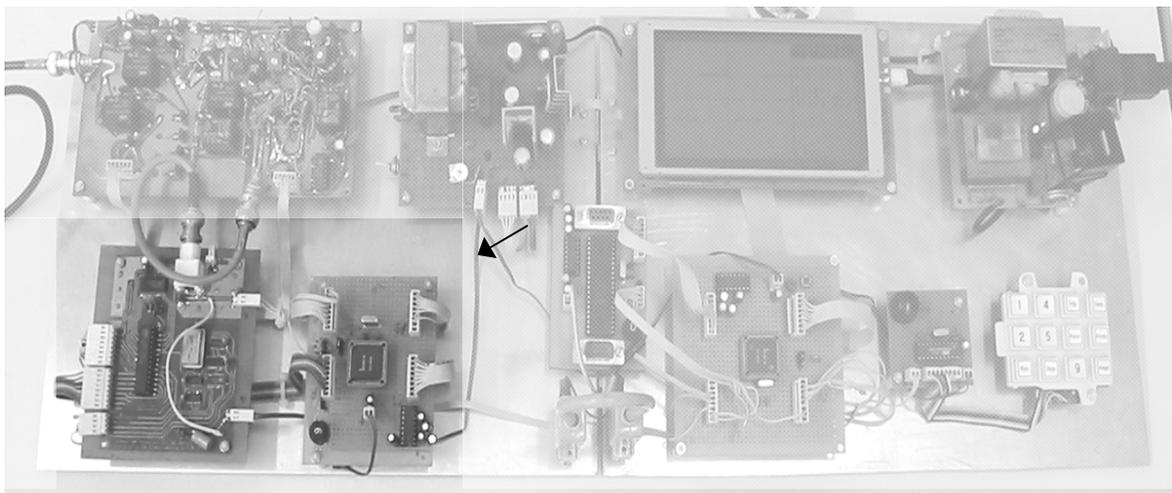
#### **3.1 - Objetivo:**

Mediante un sistema de conversión de señal y memorización, se busca digitalizar señales mediante el uso de elementos convencionales, para su proceso posterior. Se tratará, con las limitaciones del caso, de garantizar el máximo rango dinámico y el máximo ancho de banda obtenible.

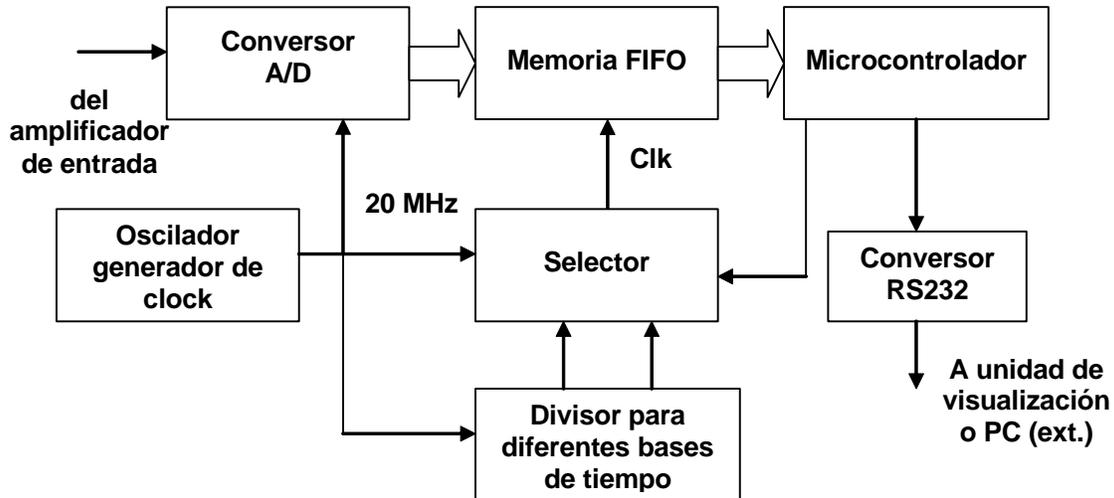
#### **3.2 - Introducción:**

Este módulo comanda todo el análisis temporal y de conversión de la onda entregada por la etapa de entrada. En este mismo se genera la frecuencia de muestreo y sus divisiones. Todo el modulo es controlado mediante las señales provenientes de la etapa de visualización. El circuito involucra elementos discretos así como circuitos integrados de funciones específicas y un microcontrolador programable. La funcionalidad de todo el conjunto depende de la interacción del hardware y del software programado en el microcontrolador. Dicho software es totalmente propietario y creado según las necesidades requeridas.

#### **3.3 - Ubicación de los módulos que constituyen la etapa de muestreo y memorización:**



### 3.4 - Diagrama en Bloques:



#### Convertor A/D:

Este bloque toma la señal analógica proveniente de la etapa de entrada y con un ritmo de 20 MHz, la digitaliza, y genera en 8 bits la información que alimenta a la memoria.

#### Memoria FIFO:

Se trata de una memoria tipo serie que acumula la información, respetando la prioridad de que los primeros datos que ingresan, serán los primeros datos que salen de ella. Tiene la particularidad que la entrada y la salida de datos son accesibles en forma independiente y a diferentes velocidades.

#### Microcontrolador:

Es un Microprocesador de 8 bit con memoria interna de programa tipo Flash y memoria de datos tipo RAM. Su tarea consiste en manejar (con programa ad hoc), todos los procesos de la etapa. También se comunica con la etapa de visualización, a la que suministra los datos muestreados y recibe los datos necesarios de configuración.

#### Oscilador generador de clock:

Se trata de un módulo de habitual empleo, con una frecuencia de operación de 20 MHz.

#### Selector:

Es una llave electrónica, capaz de interconectar tres entradas diferentes sobre una salida y que permite variar la frecuencia de almacenamiento de las muestras.

### Divisor para diferentes bases de tiempo:

Es una cadena de divisores, que suministra las frecuencias necesarias, para la operación adecuada de la memoria, permitiendo la elección de las diferentes bases de tiempo.

### Convertor RS232:

Es un convertor estándar que permite, según se elija, la conexión con el módulo de visualización, o bien con una PC externa, mediante el protocolo RS232.

## 3.5 - Conversión analógica - digital y memorización

Con el objeto de digitalizar la señal analógica proveniente de la etapa de entrada, se utiliza un convertor analógico/digital el cual toma muestras de la misma a una frecuencia de 20Mhz en conversión continua. La resolución del mismo es de 8 bits los cuales abarcan todo el rango dinámico seleccionado en la etapa anterior de acondicionamiento de la señal. Esto permite cuantificar la señal en 256 niveles, valor habitual en los sistemas de muestreo de alta velocidad. Se consideró la posibilidad de utilizar un convertor de mas resolución (10 bits), pero éste se descartó debido a la complicación en el manejo de los datos en memoria (se requiere mas espacio) y por obtener una resolución innecesaria para la función deseada.

El convertor elegido es el TDA8703 de Philips, que acepta un límite de 40 Mhz de frecuencia de reloj y un ancho de banda de hasta 19 Mhz. (dentro de los elementos disponibles en el mercado).

El rango dinámico de entrada del convertor es de 1,71 Volt, siempre positivo, limitado entre 1,55 Volt. y 3,26Volt. Esto plantea, la necesidad de adecuar las señales de salida de la etapa de entrada a estos valores, lo que impone un salto de tensión adecuado.

La referencia de tensión del convertor así como su alimentación, están desacopladas mediante filtros, para eliminar posibles ruidos que afecten el proceso.

La frecuencia de toma de muestras, determina el ancho de banda máximo, dado por la etapa de muestreo, que es la mitad de la frecuencia de toma de muestras (Nyquist), sin embargo, este es un límite teórico, y por lo tanto el operador limitará la máxima frecuencia de utilización.

Cuando las señales de entrada son de baja frecuencia, la utilización de un muestreo de alta velocidad, produciría un valor innecesario de muestras redundantes. Por ello, este sistema, esta dotado de una serie de frecuencias de muestreo, según sea, la base de tiempo seleccionada.

Una vez tomadas las muestras de la señal, son guardadas en una memoria tipo FIFO, que admite una velocidad de escritura del orden de la frecuencia de muestreo máxima del sistema.

Dado que la memoria FIFO posee punteros individuales de escritura y lectura, es posible acceder en forma independiente, desde el convertor A/D y desde el microcontrolador, con los datos y las señales de control.

Dentro de los componentes disponibles, se elige la CY7C433-25 de Ciprés, cuya frecuencia máxima de escritura es de 28.5 Mhz, y posee 2 buses de datos. Se trata de una memoria de 4 Kbytes de profundidad y 9 bits de ancho cuya escritura es controlada por el circuito generador de la frecuencia de muestreo, y que una vez llena, habilita al controlador para poder leer las muestras y procesarlas según sus requerimientos. Además posee diversas líneas de estado y control, que permiten un adecuado manejo de la misma por parte del controlador.

La profundidad de la memoria FIFO y la frecuencia de toma de muestras, determinan una ventana de tiempo de muestreo, que resulta representativo de la señal. Debido a esto, para representar las diversas bases de tiempo, se deben tomar porciones de dicha memoria que representen un tiempo igual a una pantalla completa, es decir, 10 veces la base de tiempo seleccionada (puesto que la pantalla se encuentra dividida, en 10 partes en el eje horizontal).

Por ejemplo, si la frecuencia de muestreo es de 2 Mhz, las muestras serán tomadas cada 0.5  $\mu$ S., de esta forma, las primeras 4000 posiciones de memoria representan una ventana temporal de 2 mS, que correspondería a una base de tiempo de 0.2 mS. Si se desea representar la señal adquirida con una base de tiempo de 0.1 mS (1 mS a pantalla completa), esto impone tomar las primeras 2000 posiciones de memoria, y se descarta el resto.

Si en cambio se quiere utilizar una base de tiempo de 0.5 mS (5 mS a pantalla completa), se debería disponer de 10000 muestras, para tener dicha ventana temporal, pero esto rebasa la capacidad disponible y por ello, el sistema cambia automáticamente la velocidad de muestreo a 200 Khz (5  $\mu$ S por muestra) y toma las primeras 1000 muestras que representan la ventana temporal deseada de 5mS.

Como la cantidad de muestras tomadas de la memoria, varía según sea la base de tiempo seleccionada, (estos valores son: 40, 100, 200, 400, 1000, 2000 y 4000 muestras), y como para la visualización en pantalla se dispone de un área de 160 píxeles de ancho (escala de tiempo), es necesario realizar un submuestreo dentro de la porción de memoria representativa del tiempo total de pantalla, tomando 160 muestras repartidas equitativamente en todo el bloque. Esto permite mostrar en la pantalla una señal representativa de la que se encuentra almacenada en la ventana de muestreo.

Para bases de tiempo muy pequeñas, por debajo de 1 $\mu$ S, la porción de memoria representativa del tiempo total es menor a 160 muestras. En este caso se debe realizar un proceso de interpolación agregando las muestras necesarias para llegar a completar las 160 requeridas. Esto deriva en una disminución en la calidad de visualización, pero aceptable, debido a que el sistema alcanza la máxima frecuencia admisible, determinada por la frecuencia de muestreo.

Por otro lado, en términos de amplitud, debido a que la pantalla está limitada por 128 píxeles y la señal es digitalizada en 256 niveles, se impone eliminar el último bit de la muestra.

Cabe aclarar que estas limitaciones, tanto la de 160 píxeles en la escala de tiempo como la de 128 píxeles en la escala de amplitud, están dadas exclusivamente por la pantalla elegida. Si se dispusiera de una pantalla con mayor resolución, o si se desarrollara la etapa de visualización empleando una PC, se podrían utilizar los 256 niveles disponibles en amplitud, así como también todas las muestras (cuando se disponen de ellas), en la representación temporal de la señal.

Recordemos que, como ya se aclaró en la introducción de estos informes, la etapa de muestreo y memorización podría aumentar su capacidad de manejo de ancho de banda, simplemente cambiando el conversor A/D y la memoria FIFO por otros que trabajen a una frecuencia mayor. Al ser posible la lectura de la memoria a una velocidad mucho menor que la de muestreo y acorde a los tiempos del microcontrolador, la frecuencia máxima de muestreo, es independiente de la velocidad de procesamiento del microcontrolador. Esto evita la necesidad de colocar microcontroladores rápidos y costosos.

### 3.6 - Control de la adquisición

Con el objeto de lograr diferentes frecuencias de muestreo, se utilizan: un modulo generador de clock integrado, cuya frecuencia es de 20 MHz, y dos divisores, los que permiten reducir la velocidad en 10 o 100 veces, cuya selección se logra mediante circuitos lógicos.

El conversor A/D trabaja siempre a máxima frecuencia, mientras que la escritura de la memoria de almacenamiento, con el auxilio de un multiplexor, puede operar en: 20 Mhz, 2 Mhz ó 200 Khz. Existe además un circuito adicional que controla el inicio de la carga de la FIFO en forma sincrónica con la señal de disparo y la parada, cuando ésta completa su capacidad, para evitar sobre-escrituras.

Dicho circuito, se opera mediante el microcontrolador, de modo tal que una vez leída la memoria de un disparo anterior, reposiciona el puntero de escritura y habilita el sistema para iniciar la carga automática de la memoria, ante la presencia del primer pulso de disparo válido.

Cuando la memoria completa su capacidad, genera un aviso (flag), que detiene automáticamente la carga, para evitar la sobre-escritura de las primeras muestras ingresadas.

El inicio y la parada de la carga de la memoria, son independientes del microcontrolador y solo dependen de este, cuando se emplean las bases de tiempo más lentas. Esto es necesario para evitar que el tiempo de respuesta del microcontrolador, afecte el momento de inicio de carga de las muestras en memoria, pues este varía según la instrucción en curso. De lo contrario se pueden generar, desfases o Jitters, entre el punto de disparo y las muestras ingresadas, al atender la interrupción requerida para iniciar o detener la carga de la memoria.

Cuando la frecuencia de la señal es lo suficientemente baja, como para que el muestreo a 200 Khz resulte en muestras redundantes, se evita el uso de la memoria FIFO, y el microcontrolador establece el tiempo entre muestras, produciendo una frecuencia de muestreo aún mas baja. Otra forma de realizar esto último, se puede lograr mediante el aumento de la cadena de divisores.

La señal de disparo, que proviene de la etapa de entrada, en particular del generador de sincronismo, comienza la carga de la memoria FIFO, o bien en el caso de las bases de tiempo más lentas, inicia en el microcontrolador la generación de la frecuencia de muestreo. Así mismo, parten hacia el generador de sincronismo las señales de: a) - habilitación, para permitir que la próxima señal de disparo válida, inicie la carga, b) - disparo forzado, para generar la carga según determine el microcontrolador, c) – las líneas de control de entrada, que manejan los atenuadores variables, el tipo de acoplamiento y la pendiente de disparo seleccionada.

### 3.7 - Microcontrolador de muestreo y almacenamiento:

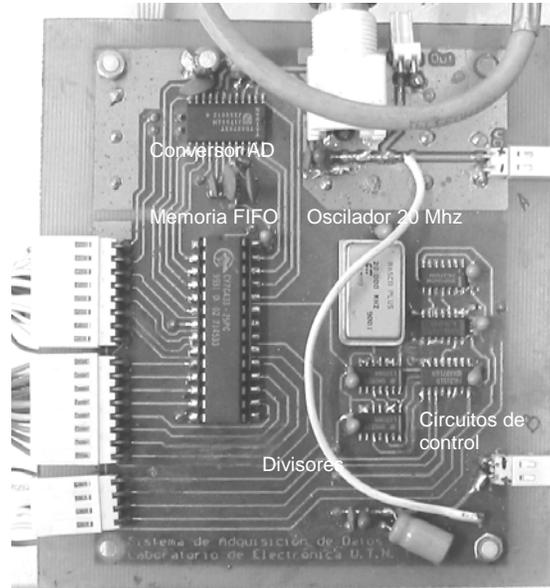
El microcontrolador utilizado es del tipo AT89C51RD2 de ATMEL, cuyo núcleo es un 8051 mejorado, con características y memoria adicionales. Se construye una placa genérica, (hardware), para disponer de los puertos, (para permitir una rápida reprogramación en el proceso de depuración) y también de un convertor de niveles para el bus RS232, y así establecer la comunicación con la etapa de visualización, o su disposición externa.

La comunicación entre el microcontrolador y la memoria FIFO, se logra mediante un bus de 8 bits y una línea extra de lectura.

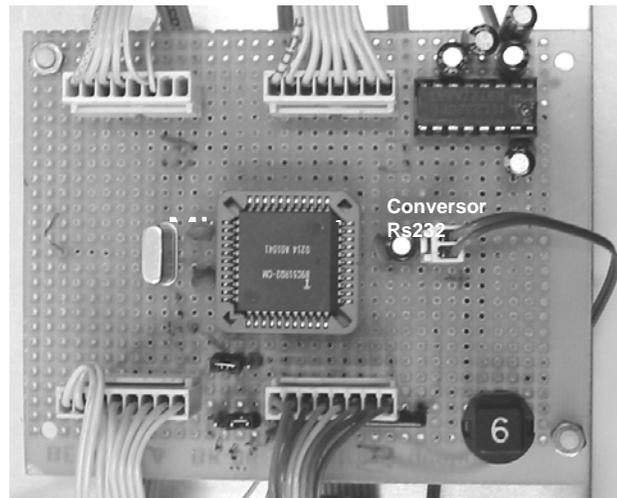
### 3.8 - Software de control:

Para el manejo del microcontrolador, se crea un software ad hoc, que consta de un lazo infinito al que se accede luego de configurar el puerto serie y otros parámetros. Dentro de este lazo, se verifica la presencia de una trama nueva proveniente del visualizador, para así cambiar la configuración y en este caso, se actualizan los valores. También, se resetea la memoria FIFO y el sistema queda a la espera de la señal de memoria llena y así comenzar la lectura de la misma. De no existir dicha señal y siempre que el disparo se encuentre en modo automático, se realiza un disparo forzado, con un retardo que varía según la base de tiempo empleada. Esto permite tener un refresco en pantalla, aún careciendo de pulsos de disparo. Si la condición empleada es de modo único, cuando llega la señal de inicio, desde el control de sincronización, se realiza un solo disparo y se muestra en pantalla ésta única captura. Una vez cargada la memoria FIFO, se esta en condiciones de efectuar su lectura, según sea el tipo de submuestreo, (dado por la base de tiempo). Para esto se memorizan los valores y se descartan las posiciones de memoria que correspondan. Cuando se dispone de los 160 valores necesarios, se arma la trama, incluyendo un byte de encabezado y otro de control de error, y esta se envía a la etapa de visualización. Luego de esto, el lazo retorna al comienzo y el proceso se repite. Las especificaciones de las tramas se detallan en el informe del módulo de visualización.

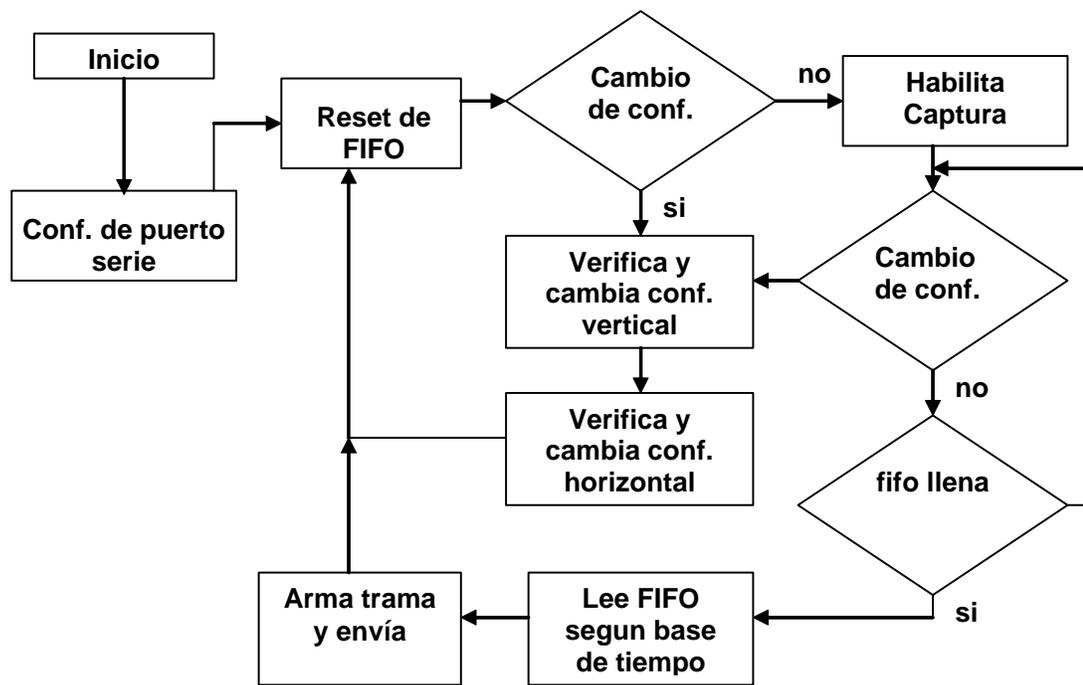
3.9 - Circuito de conversión analógica y memorización:



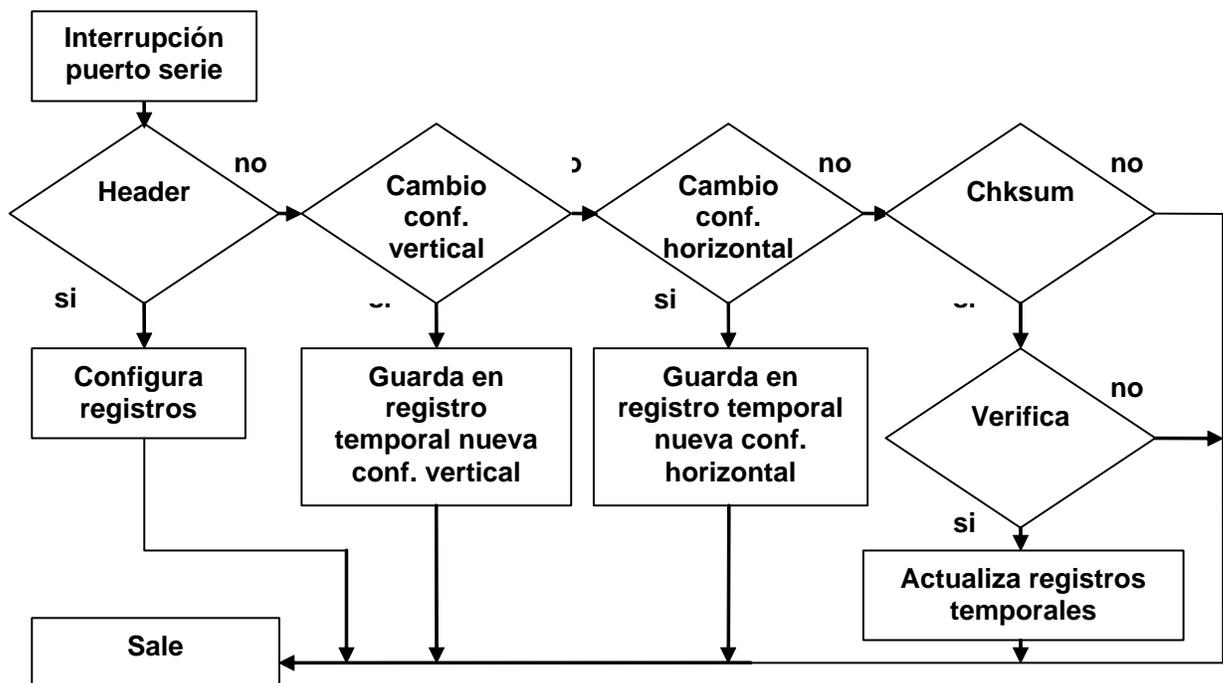
3.10 - Circuito de control de la adquisición:



3.11 - Secuencia de control del muestreo y memorización de ondas ingresantes.



3.12 - Secuencia que sigue el microcontrolador de adquisición y control al momento de ser interrumpido desde el módulo de visualización con nuevas configuraciones





Nota 2: El software de control del microcontrolador será publicado en un apéndice posterior.

### 3.14 - Propuestas de mejoras:

Cuando se trata de señales complejas y de difícil disparo, producto de ligeros desplazamientos del punto de inicio del muestreo, la representación en pantalla puede resultar inestable. Una forma de solución, es el empleo de una memoria de más capacidad que permita buscar dentro de la misma un punto de disparo "digital", ligeramente retrasado respecto de la señal de sincronismo. Este punto, dado por la variación de dos muestras contiguas, en un nivel y pendiente determinados por el operador, puede servir para estabilizar la señal en pantalla.

En las bases de tiempo mas rápidas, (por debajo de 200 muestras de ventana temporal), se propone mejorar el actual sistema de interpolación, (que repite el valor de la muestra anterior) empleando, una interpolación lineal que genere los puntos faltantes entre las muestras contiguas.

Si fuera necesario, implementar el registro de eventos extremadamente lentos, o bien de baja frecuencia de repetición, bastaría, la reprogramación de la base de tiempo.

Para disminuir el tiempo de envío de tramas (afecta el refresco de la señal en la pantalla), se puede aumentar la frecuencia de clock del microcontrolador y así disminuir el tiempo de procesamiento, (lectura de la memoria FIFO y rearmado del sistema de disparo). Por otro lado, y como la velocidad del bus RS232 es el mayor limitante, un aumento de su frecuencia, tendría efectos más notables, aunque existe una limitación, la que está dada en la etapa de visualización. Esto último, será analizado en otra publicación posterior.

Una mejora en la comunicación externa, se puede implementar, reemplazando el actual enlace RS232, entre el módulo de visualización y el de adquisición, por otro del tipo I2C. El puerto RS232, (ahora disponible), permitiría disponer de una salida de datos serie al exterior. Esta conexión permite la captura de datos, imágenes de pantalla y la configuración del equipo, mientras éste permanece en operación. Una mejora complementaria, consiste en el reemplazo de la salida RS232, por otra de tipo USB, que actualmente es de uso común.

En el diseño de la placa, se tuvo en cuenta, que el conversor A/D posee alimentaciones separadas para las partes analógica y digital. Sin embargo, por razones prácticas, se utilizó una fuente común. Corresponde evaluar el desempeño con fuentes independientes.

### 3.15 - Conclusión:

Teniendo en cuenta los componentes empleados en el circuito, (disponibles en el mercado local), el funcionamiento de la etapa descrita satisface los objetivos previstos. Las sugerencias anteriores, plantean la necesidad de un continuo desarrollo, y esto último solo tiene sentido partiendo de la orientación o empleo definitivo del sistema.



## **Proyecto: Adquisición, Registro y visualización**

### **4 - Etapa de visualización:**

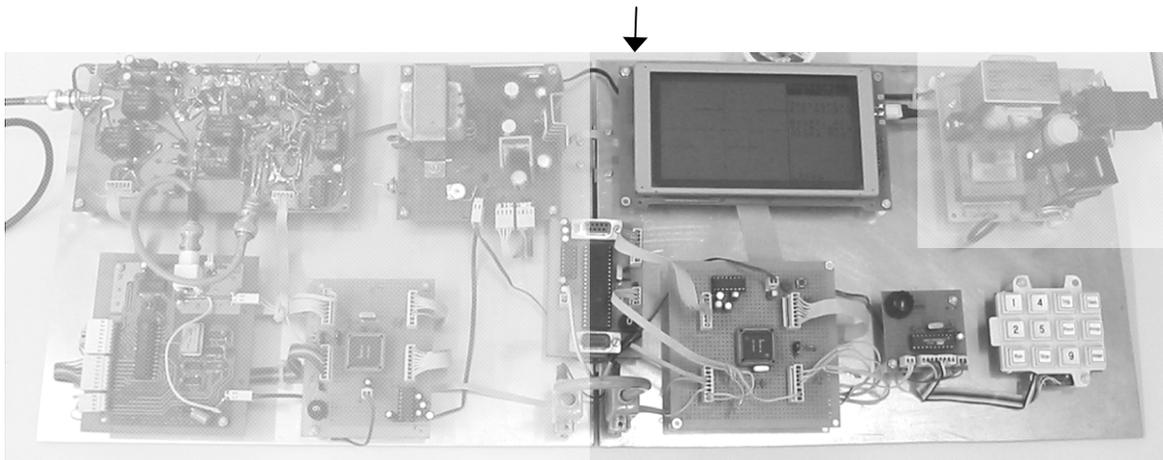
#### **4.1 - Objetivo:**

Dada la necesidad de contar con una conexión visual (pantalla), entre el sistema de adquisición y el operador, se desarrolla el circuito (hardware y software), que permita ajustar los parámetros de toma de muestras, mediante un teclado y un mando rotativo, con visualización simultánea de la señal de origen.

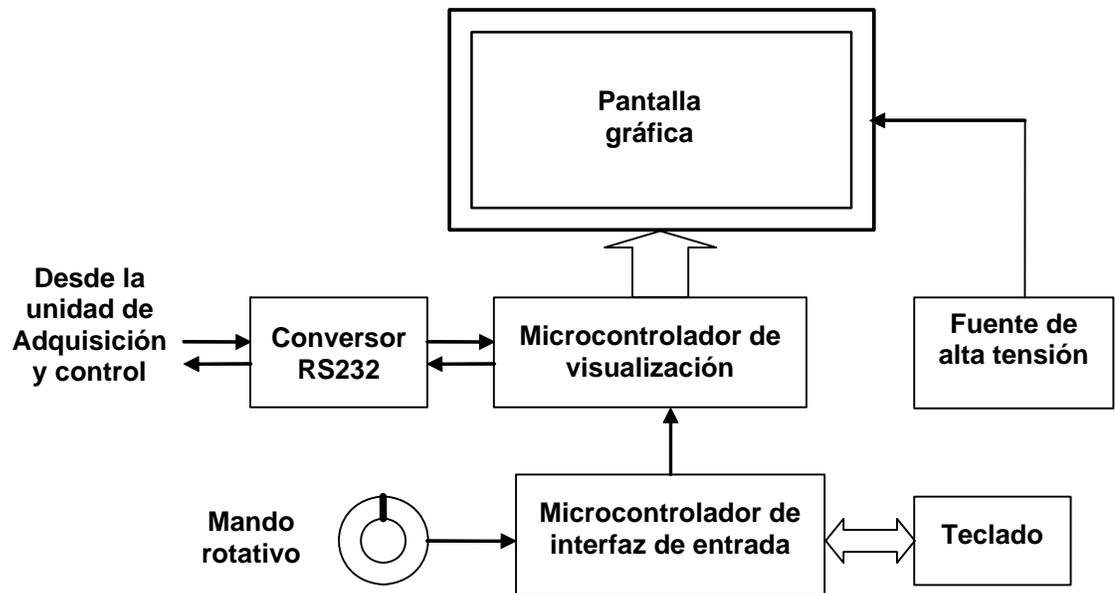
#### **4.2 - Introducción:**

El sistema de adquisición y control (informe anterior), provee los datos procesados mediante un bus RS232, de flujo bidireccional, por el cual se envían también las señales de configuración generadas por esta etapa, lo que permite su manejo. También esto es posible, mediante el empleo de una PC con software dedicado (pruebas preliminares satisfactorias).

#### **4.3 - Ubicación de los módulos que constituyen la etapa de visualización:**



#### 4.4 - Diagrama en bloques:



#### Pantalla Gráfica:

Se trata de una pantalla monocroma, de baja resolución (240 x 128 pixeles), que permite mostrar en forma simultánea, gráficos y caracteres alfanuméricos, del tipo WM-G2412A-1BEWA (se considera suficiente para este desarrollo, para uso comercial se puede emplear una pantalla de mayor resolución).

#### Fuente de alta tensión:

El funcionamiento de la pantalla, requiere para su iluminación, una alimentación especial de 100Vac @ 400Hz, que se proveen mediante esta fuente específica, cuyo circuito está descrito en el apéndice 1.

#### Microcontrolador de Visualización:

Este módulo, que procesa toda la información suministrada por el convertor de niveles RS232 de la etapa de adquisición y control, envía el producto elaborado a la pantalla gráfica para su visualización, según los datos recibidos desde el microcontrolador de interfaz de entrada.

Dado que este desarrollo, no está basado en circuitos conocidos, se eligió el microcontrolador DS2250, debido su fácil programación, pero su costo elevado aconsejó su reemplazo por otro (Intel), con memoria externa. Sin embargo, finalmente se lo reemplazó por el microcontrolador ya utilizado por la etapa de adquisición y control, tipo AT89C51RD2 de Atmel, debido a que posee memoria ampliada tipo Flash, (mapeada internamente) , que deja todos los puertos libres y permite una fácil programación (en assembler).

### Conversor RS232:

Es un conversor estándar que permite la conexión de éste módulo (visualización), con el de adquisición y control, mediante el protocolo RS232.

### Teclado y mando rotativo:

Son los elementos de comando, que permiten al operador, el control y la entrada de datos, al sistema.

### Microcontrolador de interfaz de entrada:

El teclado y el mando rotativo requieren de un interprete, en este caso, el microcontrolador de interfaz, (con el programa adecuado), que analiza en cada instante el estado específico de los mismos e informa al microcontrolador de visualización, las órdenes de control.  
El microcontrolador empleado es del tipo AT89C2051 de Atmel (encapsulado simplificado)

## 4.5 - Presentación de la información:

En la pantalla se muestran, los datos de configuración del equipo, y un plano coordenado cartesiano con la imagen en amplitud/tiempo ó amplitud/frecuencia con sus ejes respectivos. El área destinada al plano coordenado es de 160 píxeles en sentido horizontal y 128 píxeles en sentido vertical. En la parte derecha de la pantalla se reserva una zona de 80 x 128 píxeles para la información de escalas empleadas y la configuración del equipo.

Las variables presentadas son:

<b>Amplitud de señal:</b>	En V/div o mV/div.
<b>Base de tiempo:</b>	En uS/div, mS/div o S/div.
<b>Tipo de disparo:</b>	Puede ser manual, automático o único.
<b>Pendiente de disparo:</b>	Positiva o negativa.
<b>Modo de acoplamiento:</b>	Alterna o continua.

Se provee además la información adicional sobre algún estado en particular, (falta de disparo, modo de disparo único, espera, etc).

## 4.6 - Intercambio de información con el módulo de adquisición:

Para el intercambio de datos con el módulo de adquisición se emplean dos tramas, cada una, con un encabezado que asegura la sincronización. Al final de ellas se incluye, un control de errores, para eliminar la posible corrupción de los datos, pues se trata de un bus asincrónico, que consta de una trama de configuración de 4 bytes de longitud (de visualización a adquisición) y una trama de datos (de adquisición a visualización) de 162 o 258 bytes según sea el dominio tiempo o frecuencia respectivamente.

#### 4.6.1 - Trama de visualización a adquisición:

		<b>Confia. Horizontal</b>			<b>Chksum</b>			
<b>AAh</b>	<b>A</b>	<b>T</b>	<b>T</b>	<b>S</b>	<b>Amplitud</b>	<b>F</b>	<b>Base de Tiempo</b>	<b>XXh</b>

AAh: header fijo para sincronización (1 byte).  
 A: tipo de acoplamiento (1 bit).  
 TT: tipo de disparo (2 bits).  
 S: tipo de pendiente (1 bit).  
 Amplitud: Escala de amplitud (4 bits).  
 F: tipo de dominio (tiempo o frecuencia) (1 bit).  
 Base de tiempo: Escala de la base de tiempo (varia según el dominio) (7 bits).  
 XXh: Resultado variable según operación matemática (1 byte).

El envío de tramas de configuración se produce cada vez que existe un cambio en los parámetros de control del sistema de visualización

#### 4.6.2 - Trama de adquisición a visualización:

<b>Header</b>	<b>Datos</b>	<b>Chksum</b>
<b>AAh</b>	<b>Muestras</b>	<b>XXh</b>

AAh: header fijo para sincronización (1 byte).  
 Muestras: Valores de amplitud de la señal (160 o 256 bytes).  
 XXh: Resultado variable según operación matemática (1 byte).

La tasa de envío de tramas de datos, es variable y depende de la presencia de señal de disparo, que genere secuencias de muestreo. En la función de disparo automático, aún sin la presencia de disparo, la etapa de muestreo genera un barrido, luego de transcurrido un periodo de espera, que depende de la base de tiempo empleada. En el modo normal, pasado este tiempo, se indica en pantalla la ausencia de disparo.

Una mejora propuesta en el informe de la etapa de adquisición y control es aumentar la velocidad de procesamiento en dicha etapa, pero se aclara que tiene un efecto más importante el aumento de la velocidad del bus RS232. El limitante mayor en este caso, es la velocidad de proceso de las tramas para su inscripción en pantalla. Si la velocidad de arribo de información, supera al tiempo de inscripción en pantalla, se puede producir una saturación del buffer y en tal caso, la pérdida de alguna trama.

Una vez verificada cada trama, se procede a su inscripción en pantalla. El área gráfica, consta de 160 píxeles en el eje horizontal y 128 en el vertical, dividida en grupos de 8 píxeles, correspondientes a un byte. Cada uno de los 160 píxeles del eje de tiempo, corresponde a cada una de las muestras tomadas durante la lectura de la memoria FIFO. Una vez determinada, la posición temporal de muestra y su valor de amplitud, se ejecuta una rutina, que ubica el puntero en el byte que contiene al píxel específico y lo activa. De igual manera se procede para el borrado de la señal previamente inscrita. Terminada toda la trama, se espera por una nueva.

Se hace notar que, cuando el sistema cambia al modo FFT, en lugar de 160 muestras se toman 256, (requeridas por el algoritmo utilizado en la transformada), (esto se ampliará luego), que se envían directamente al módulo coprocesador de FFT, para calcular el espectro de la señal. Luego, el módulo de visualización, procesa la información recibida del coprocesador, y lo hace de igual manera que cuando opera en el dominio del tiempo.

#### 4.7 - Comandos de control (Interfaz de entrada):

Normalmente el programa que comanda al microcontrolador, realiza una tarea de barrido de los comandos, hasta que uno de ellos, (teclado o control rotatorio), altera su estado, y en este caso se interpreta tal condición. A continuación se verifica su validez, se configuran los registros necesarios y se dispone el envío del mismo hacia el microcontrolador de visualización.

Cada vez que se recibe un comando de la interfaz de entrada, se ejecutan los cambios requeridos en el sistema de visualización (se actualizan los valores indicados en pantalla y se limpia la misma) y se envía una trama de configuración hacia el módulo de adquisición y control, para realizar los cambios en la etapa de entrada y en la toma de las muestras según sea el caso.

##### 4.7.1 - Comandos disponibles:

**Selección de base de tiempo:** La tecla "Tiempo", habilita el mando rotativo, permitiendo una nueva elección y resalta en pantalla la calibración de la base de tiempo.

**Selección de Amplitud:** La tecla "Ampl", habilita el mando rotativo, permitiendo una nueva elección y resalta en pantalla la calibración de sensibilidad.

**Mando rotativo:** Su giro en sentido horario o antihorario, aumenta o disminuye respectivamente, la sensibilidad de amplitud o la velocidad de barrido.

**Cambio del modo de disparo:** La tecla "Trig" permite el cambio sucesivo, entre los modos normal, automático y único, cada vez que es pulsada.

**Elección del modo de acoplamiento:** La tecla "Acop", cada vez pulsada, cambia el acoplamiento de entrada, entre corriente continua o alterna (DC o AC).

**Elección de la pendiente de disparo:** La tecla "Pend" permite elegir, entre pendiente (slope) creciente o decreciente.

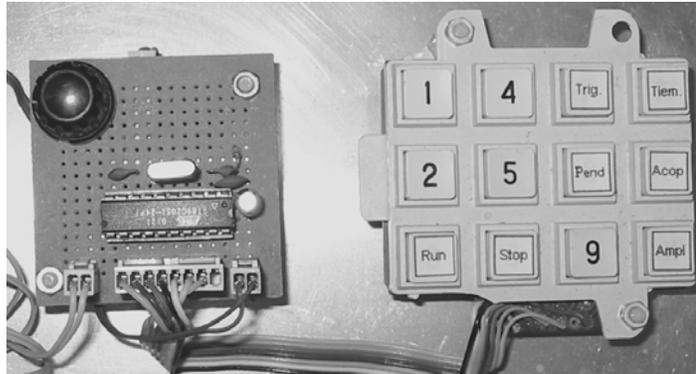
**Habilitación de persistencia:** La tecla "2", crea un efecto de persistencia, superponiendo en pantalla, tres sucesivos barridos, (estos no desaparecen con cada nuevo barrido y producen una suerte de intensificación en la imagen).

**Habilitación de interpolación:** Para señales de muy rápida variación, mientras se usa una pantalla de baja resolución, se puede producir un efecto de separación en el trazo de la imagen. La habilitación de interpolación, (tecla "4"), ejecuta un algoritmo que genera valores intermedios y así crea un trazo más continuo en pantalla, (esta opción aún no está completamente desarrollada).

**Selección de modo gráfico:** Su empleo permite la elección del plano coordenado, ya sea; Amplitud/Tiempo o bien Amplitud/Frecuencia, de la señal analizada.

**Habilitación de un barrido único:** La tecla “RUN”, habilita el circuito, para la captura de una señal de entrada, ante un disparo. Sucesivos disparos, no modifican la imagen, hasta tanto no se ordene una nueva habilitación.

#### 4.8 - Vista fotográfica de la Interfaz de entrada:



#### 4.9 - Inscripción en la pantalla:

En las primeras rutinas del programa del microcontrolador de visualización, se incluye la necesaria inicialización de la pantalla, que requiere del envío de varios registros, que determinan las características de funcionamiento de la misma. Por ejemplo: tamaño de las capas gráficas, operación lógica entre capas, origen de inscripción de datos, carga de caracteres especiales, tamaño de los caracteres alfanuméricos, etc. Luego, se cargan los datos de información en pantalla, los ejes y seguido, la rutina de inscripción de señales.

Para la visualización dinámica de las señales en pantalla, es necesario generar un algoritmo que permita la generación, dentro del microcontrolador, de tres zonas de memoria que corresponden a tres conjuntos completos de datos a visualizar en pantalla. Dichas zonas, denominadas “pasado, actual y futuro”, almacenan los valores provenientes del modulo de adquisición, los cuales son escritos y leídos mediante punteros dinámicos, para que luego, mediante el proceso descrito anteriormente, sean presentados en pantalla (ver “Trama de adquisición a visualización”). Dado que cada píxel activado en pantalla, permanece en este estado sin necesidad de refresco, es necesario borrar los pertenecientes a la señal anterior, cada vez que una señal llega para refrescar la pantalla. Para ello, se mantiene en el bloque de memoria denominado “pasado”, la señal anterior y así poder acceder mediante los punteros de pantalla y borrar los píxeles pertenecientes a esta. Al mismo tiempo, se dibuja la señal almacenada en el banco “actual”. Mientras sucede todo esto, el sistema permite que simultáneamente, ingrese una nueva serie de datos, los cuales se registran en el banco “futuro”, hasta que se verifica la integridad de los mismos. Cuando la trama cumple esta condición, se reasignan las etiquetas a cada una de las zonas de memoria. El bloque “actual” cambia a “pasado”, el bloque “futuro” cambia a “actual”, y el “pasado” queda habilitado como “futuro”.

De esta manera, se borra la señal hasta ahora considerada "actual" y se reemplaza en pantalla por la nueva, de modo que el bloque anteriormente llamado pasado queda libre, para la entrada de una nueva señal denominada "futuro". Si no es válida la integridad de los datos de la trama entrante, se la descarta totalmente y se espera una trama nueva completa.

En la imagen del plano coordenado, (área gráfica), se incluyen un par de ejes calibrados, que permiten calcular el período (event. frecuencia), y la amplitud de la señal, según la escala del eje que se trate. Estos ejes, y la información del estado del equipo, se encuentran en un área de memoria específica y se inscriben en pantalla en una capa diferente, mediante rutinas especiales, que logran no interferir con las señales graficas, las que son actualizadas constantemente.

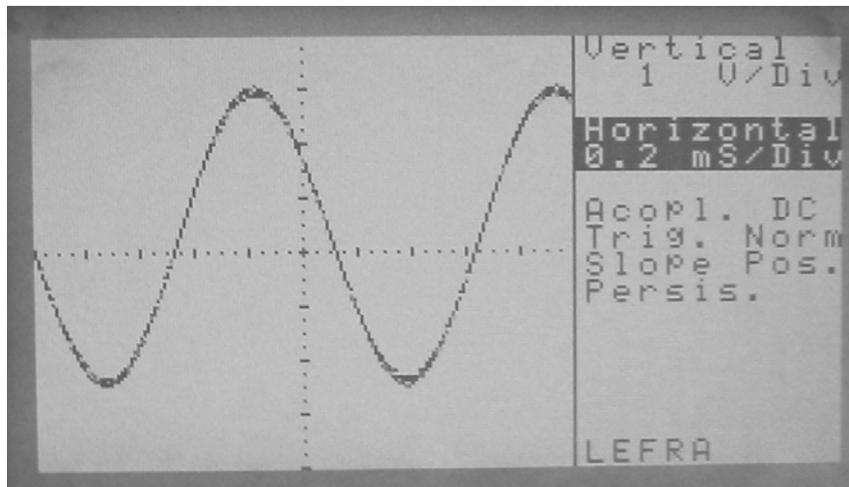
Para la inscripción de un un píxel o un carácter alfanumérico, se utilizan 2 datos de dirección que ubican el lugar en pantalla y un tercer dato de información, que contiene el estado del píxel, (activo o inactivo), o bien el carácter ASCII a inscribir.

Para el trazado de los ejes, se emplean caracteres de diseño especial, lo que permite su manejo como información alfanumérica. La información final presentada en la pantalla, surge de una operación lógica, determinada entre las distintas capas de información, ubicadas en la memoria de la pantalla. De esta forma es posible distinguir, por ejemplo, cuando una señal corta a uno de los ejes, ya que el píxel en cuestión que surge de la operación OR exclusiva, entre el eje y la señal, se apaga, cuando estos se superponen. Si los ejes fueran inscriptos como señal, al producirse la intersección, la rutina de borrado elimina el píxel y con el tiempo los ejes desaparecen. Bajo este principio funciona también el resaltado de los textos en el área de información.

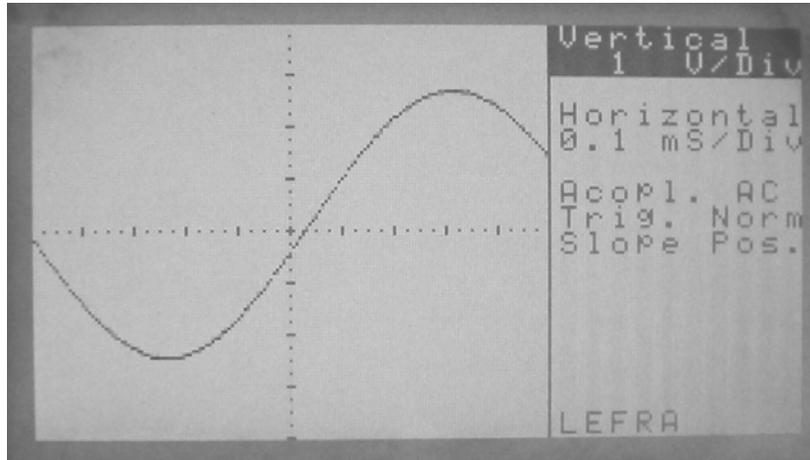
Con el objeto de mejorar el comportamiento ante señales con alto contenido aleatorio, (ruido, modulación, señales poco estables, etc.), se implementa una mejora, mediante la creación de dos bancos de memoria adicionales, los que sumados a los datos del banco "actual", permiten mantener tres señales simultáneas en pantalla, puesto que se conserva la información completa de los últimos tres grupos de datos.

Dado que la pantalla es de baja resolución, la imagen aparece con un bajo contraste, y con el objeto de mejorar esto, se proyecta un haz engrosado en sentido vertical, que lo hace más visible pero menos preciso. El operador conserva la posibilidad de elección de uno u otro modo, (mejor visibilidad o precisión).

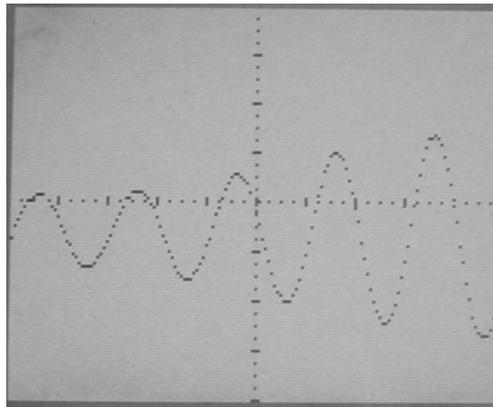
#### 4.9.1 - Imagen en pantalla de una señal senoidal, con persistencia aplicada, (se encuentra activado el mando rotativo para modificación de la base de tiempo).



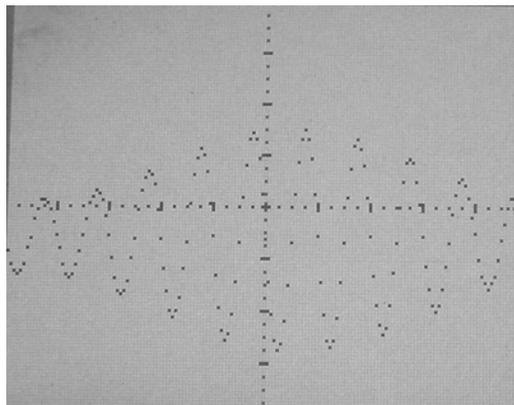
4.9.2 - Imagen en pantalla de la misma señal sin persistencia activada (mayor precisión).  
(Se emplea otro ajuste de la base de tiempo).



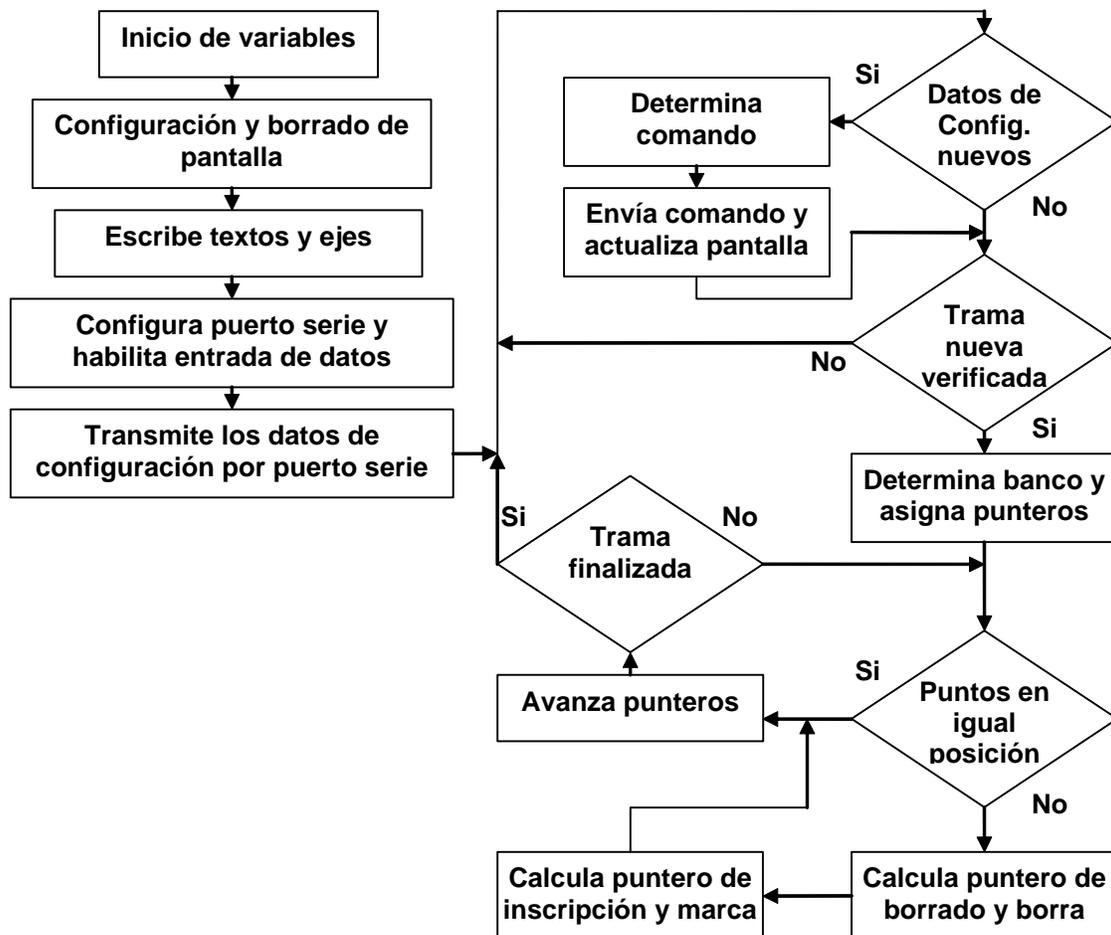
4.9.3 - Imagen en pantalla de una señal transitoria (capturada mediante el disparo único)



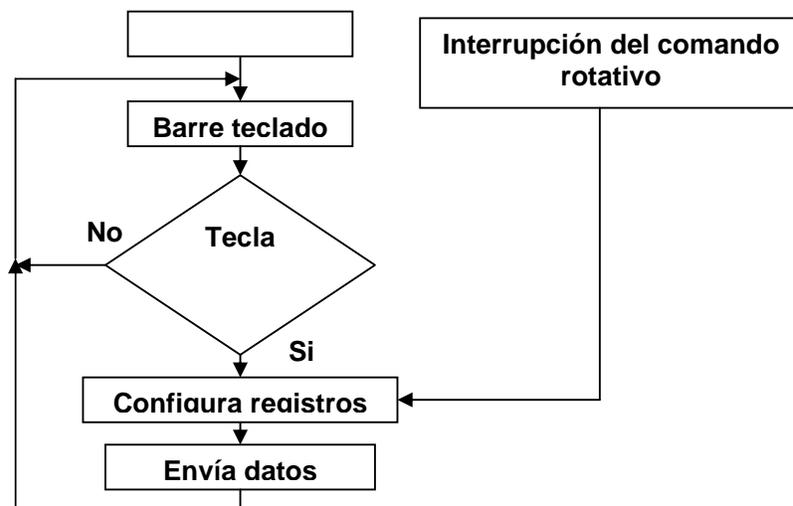
4.9.4 - Imagen en pantalla de una señal modulada en amplitud Se observa la falta de resolución de pantalla (este efecto se mejoraría mediante el empleo del comando de interpolación)



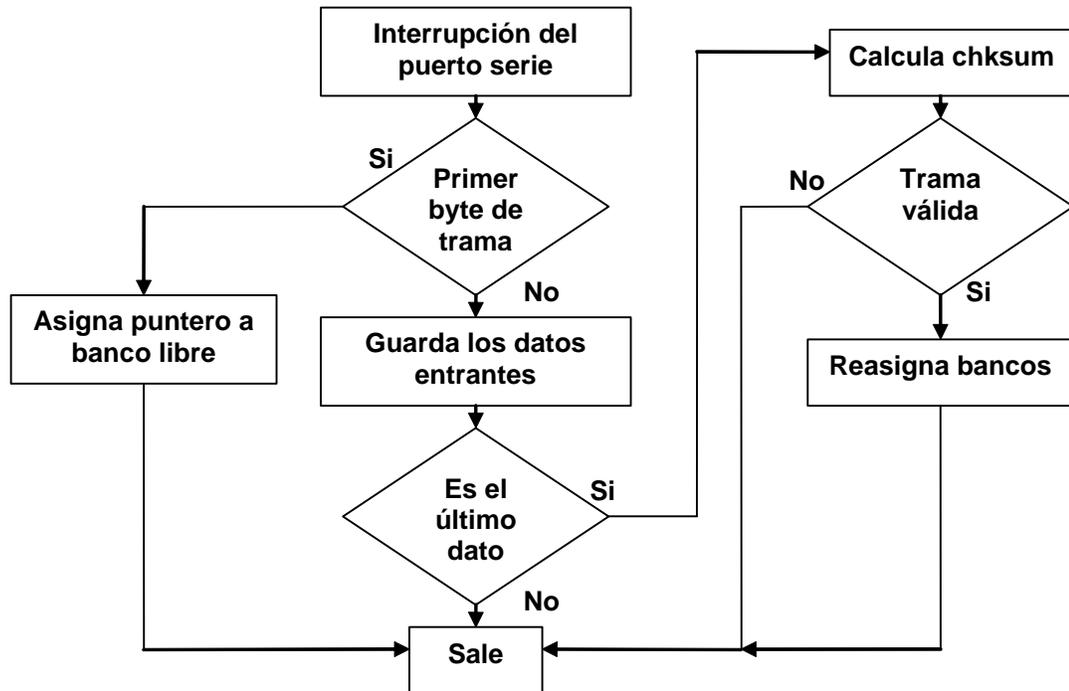
4.10 - Diagrama general de funcionamiento del software del microcontrolador del sistema de visualización.



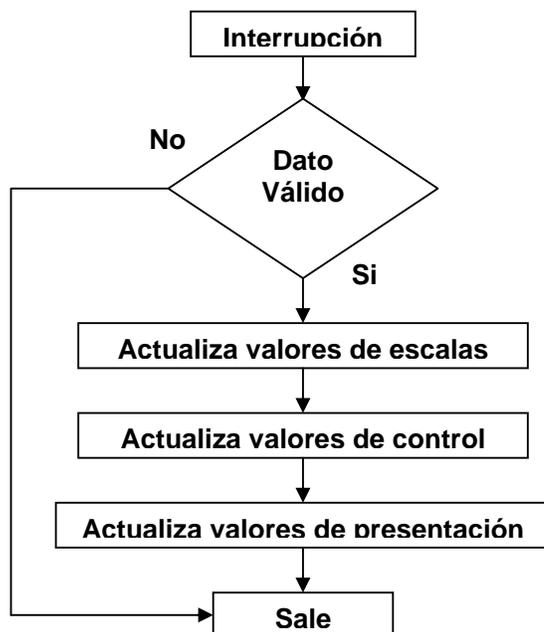
4.11 - Secuencia del programa del microcontrolador supervisor del teclado.



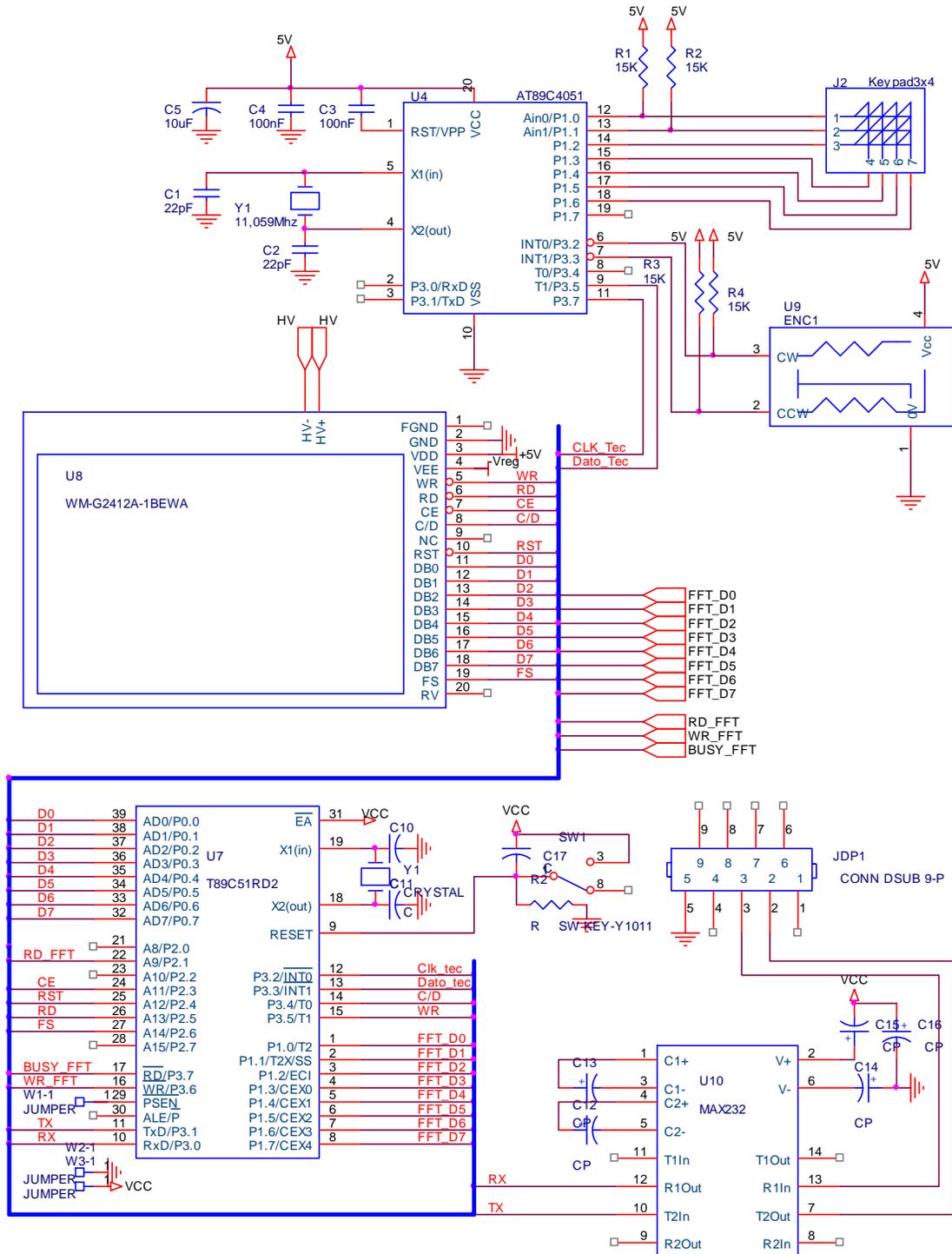
4.12 - Diagrama de la respuesta del microcontrolador al recibir un dato nuevo por el puerto serie.



4.13 - Secuencia que sigue el microcontrolador de visualización al atender una interrupción proveniente de la interfaz de entrada.



4.14 - Circuito de la etapa de visualización.



#### 4.15 - Propuestas de mejoras

El empleo de una pantalla de mayor resolución, permitiría mejorar la imagen, siempre que se disponga de información suficiente. Por ejemplo: en sentido vertical se descarta el último bit, es decir, se pierden la mitad de los datos disponibles y en sentido horizontal se descartan muestras cuando se realiza el submuestreo dentro de la memoria FIFO, consecuencia de la pantalla empleada.

Muchas de las funciones ejecutadas por el microcontrolador de visualización se asemejan a las de un controlador gráfico. En este caso, se emplea gran parte del tiempo disponible en esta función, y esto aconseja el empleo de un componente dedicado a tal fin.

Dado que la fuente de alta tensión empleada para la iluminación de pantalla es algo ineficiente, (se puede mejorar), se sugiere el empleo de una pantalla con CCFL, (lámpara fluorescente de cátodo frío) que tiene mayor vida útil y mas intensidad luminosa.

La precisión en la determinación de los valores de amplitud y tiempo de las señales visualizadas, se puede mejorar, mediante el empleo de dos pares de cursores, (trazados por programa),. Los valores leídos surgen de la diferencia entre dos de ellos (horizontales o verticales), que el operador puede ubicar sobre cualquier punto de la señal.

#### 4.16 - Conclusión:

Dado, el empleo de componentes disponibles en el mercado local, más allá de las sugerencias anteriores, la etapa desarrollada satisface ampliamente los objetivos previstos. Está claro que es necesario, el previo conocimiento de la aplicación definitiva, para el logro de un diseño óptimo.



## **Proyecto: Adquisición, Registro y visualización**

### **5 - Modulo coprocesador de FFT**

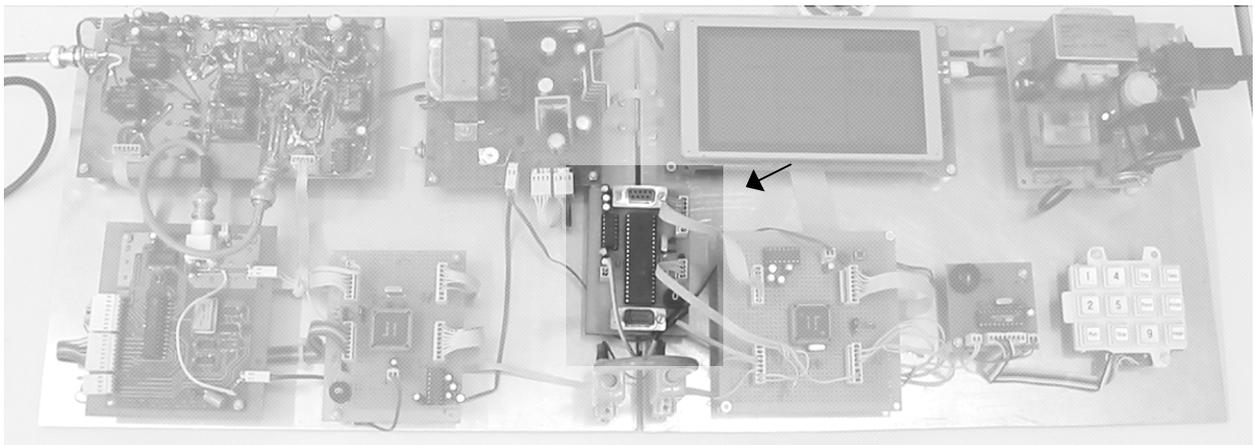
#### **5.1 - Objetivos**

Con el objeto de efectuar el análisis de las componentes espectrales de la señal muestreada, se desarrolla un módulo, (hardware y software), que agrega al sistema, la función de cálculo de la Transformada Rápida de Fourier (FFT).

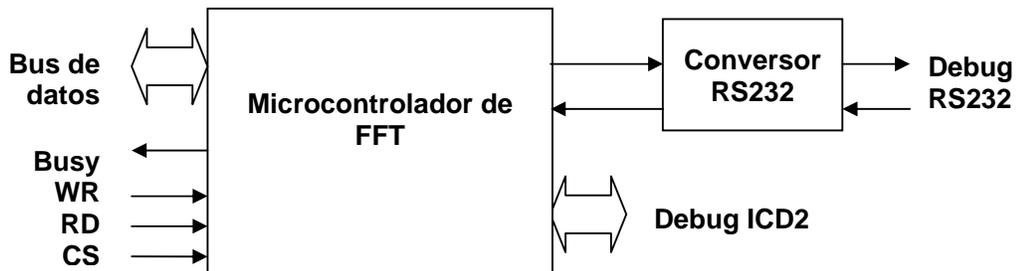
#### **5.2 - Introducción**

Si bien, se pudo emplear el hardware existente, debido a la gran cantidad de cálculos que implica la función matemática a implementar, se prefiere complementar el sistema, con un módulo independiente dedicado exclusivamente a esa tarea, es decir, se emplea una arquitectura de procesamiento en paralelo. Por otro lado, el trabajo de desarrollo, independiente y simultaneo, logra que una vez que se han hecho las pruebas necesarias, este se integre al sistema principal.

#### **5.3 - Ubicación del módulo que constituye el coprocesador de FFT:**



#### 5.4 - Diagrama en bloques:



#### Microcontrolador de FFT:

Este microcontrolador es del tipo PIC18F452 de Microchip, que opera a 40 MHz y esta conectado, al microcontrolador de visualización mediante un bus de datos y las líneas de control necesarias y además por camino directo a la herramienta de programación (debug ICD2).

#### Conversor RS232:

Es un conversor estándar que permite la conexión de éste módulo (coprocesador de FFT), con una PC externa supervisora de su actuación (debug RS232).

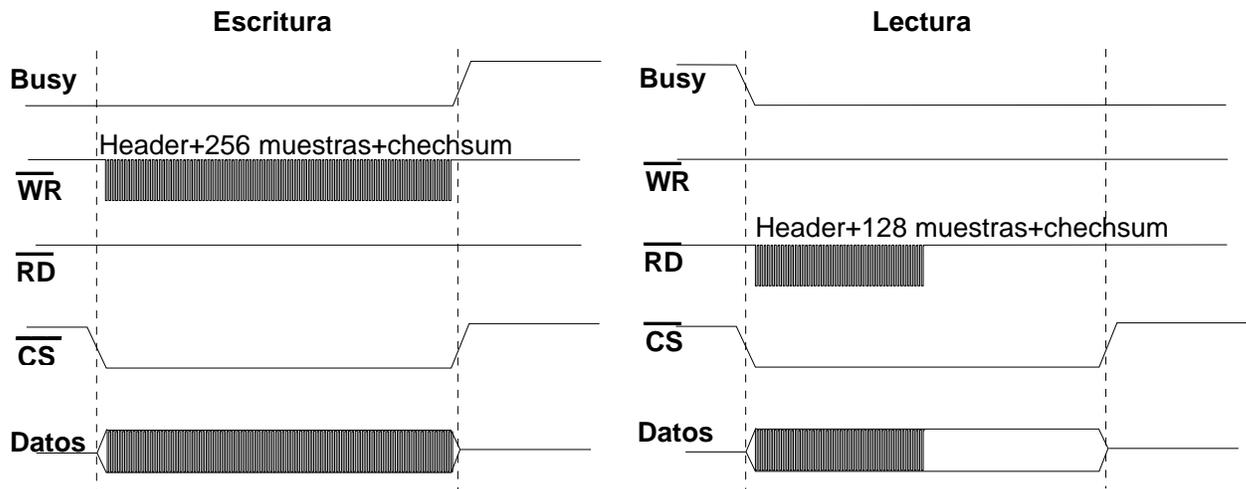
#### 5.5 - Intercambio de información con el módulo de visualización:

Cuando el usuario selecciona el modo FFT, el módulo de visualización cambia el plano coordenado, e indica al sistema de adquisición, que modifique la forma de realizar el submuestreo dentro de la memoria FIFO, y así obtener las  $2^n$  muestras necesarias, para el funcionamiento adecuado del algoritmo, (cuando se trabaja en función del tiempo, se toman solo 160 muestras; ver etapa de adquisición y control). En este caso se toman 256 muestras, y esto permite obtener un espectro con 128 valores de frecuencia a mostrar en pantalla, (ref: base teórica).

En este modo, las tramas llegan al modulo de visualización, provenientes de la etapa de adquisición, y se derivan directamente, hacia el coprocesador de FFT, (a través del bus paralelo bidireccional y de las líneas de control).

El proceso de escritura, se inicia solo si el coprocesador se encuentra disponible, y una vez cargados los datos, se aplica el algoritmo de cálculo. Completado el proceso, el modulo de visualización, lee los datos correspondientes al nuevo espectro, cada vez que es necesario actualizar la pantalla.

A continuación se muestran los diagramas temporales de escritura y lectura entre módulos.



Es necesario mencionar que, las tramas de transferencia de datos, están formadas por un header de 1byte, N bytes de datos y un byte de checksum. Si se produce eventualmente una situación anormal, (en el proceso de carga o descarga de datos), indicada por las líneas de control, el módulo coprocesador cancela la trama en curso. El coprocesador, es capaz de recibir comandos de control desde el modulo visualizador y estos se utilizan, para seleccionar el tipo de ventana a ser aplicada, la escala de amplitud del espectro calculado, etc. Todavía estos comandos no se encuentran disponibles.

Las tareas de depuración del programa del coprocesador, se realizan de dos maneras simultáneas: por un lado se utiliza un depurador por hardware, el ICD2 de Microchip, que permite verificar el correcto funcionamiento del software que se ejecuta, especialmente durante las tareas de control del protocolo de comunicaciones entre módulos, y por otro, una utilidad de software que permite visualizar los valores obtenidos luego del cálculo de la FFT, la cual se ejecuta en una PC externa supervisora.

**Nota 3:** Previamente a la implementación del algoritmo en el microcontrolador, se desarrolló una aplicación en Visual Basic, la que permitió verificar el funcionamiento del mismo. El software de simulación y control se detalla a continuación.

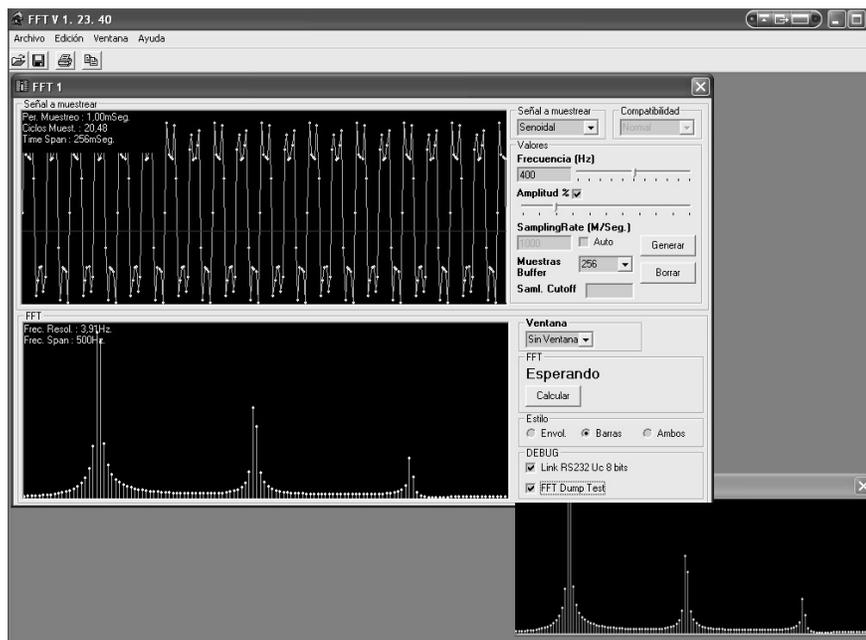
### 5.6 - Software de simulación y control:

Con el objeto de optimizar el software de manejo del microcontrolador se implementa una aplicación en PC, que permite:

- o Generar una señal compleja (poliarmónica), digitalizarla, y graficarla en pantalla.
- o Aplicar distintas ventanas (Hanning, Haming y Blackman).
- o Aplicar el algoritmo de cálculo y obtener su espectro.
- o Verificar los comandos de control.
- o Comparar los espectros obtenidos por la aplicación y el modulo coprocesador de FFT.
- o Guardar en disco todos los resultados de los cálculos intermedios de la FFT (para evaluación posterior).

Mediante la interfaz gráfica, al especificar la frecuencia y amplitud de cada una de las componentes espectrales deseadas, se genera una señal poliarmónica. Esta se digitaliza a una tasa seleccionable, las muestras obtenidas aparecen en pantalla y quedan almacenadas en el buffer de entrada del algoritmo de la FFT (previo al cálculo del espectro). Mediante el puerto RS232 se interconectan el módulo coprocesador de FFT y la PC auxiliar, (supervisión y depuración). Cuando se inicia el cálculo de la FFT, el software de la PC, envía hacia el microcontrolador las muestras simuladas y almacenadas en el buffer de entrada. Una vez que el módulo coprocesador ha efectuado los cálculos necesarios, devuelve los resultados obtenidos a la PC, donde se comparan gráficamente, los espectros obtenidos por la PC y el microcontrolador. Este contraste permite verificar el correcto funcionamiento del algoritmo en el hardware. Por otro lado, la aplicación, permite también verificar el correcto funcionamiento de los comandos de control, aplicación de las distintas ventanas, y otras funciones.

### 5.6.1 - Imagen en la PC auxiliar, del software desarrollado para supervisión y depuración



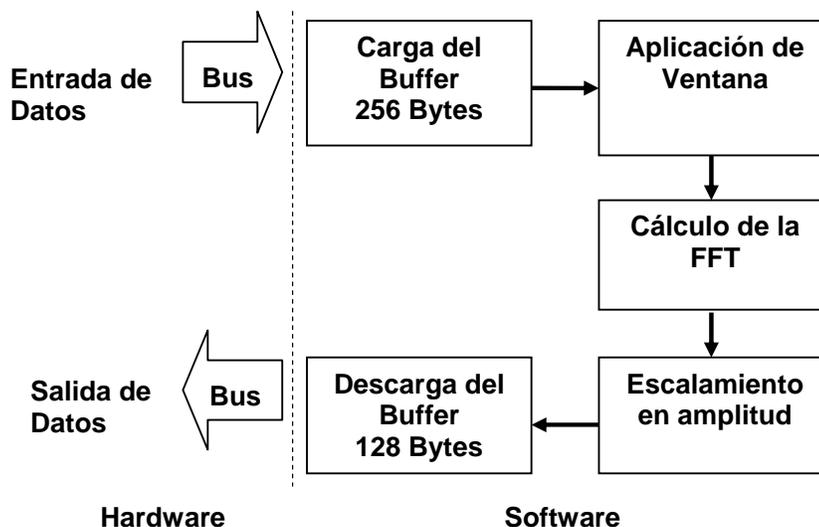
En la imagen superior, se observan cuatro imágenes: en la ventana de arriba y a la izquierda, se ve, una señal poliarmónica generada por software en la PC auxiliar (muestreada a una frecuencia de 1kHz), en el medio y a la izquierda, se observa su espectro formado por componentes de 80, 240 y 400Hz respectivamente, (calculado también en la PC), abajo y a la derecha, el espectro obtenido por el módulo FFT bajo ensayo. La comparación de estas imágenes espectrales, muestra idénticos resultados. Arriba y a la derecha, se observa el panel de control, que posibilita efectuar los cambios deseados en los parámetros.

## 5.7 - Firmware para del modulo coprocesador de FFT

Condiciones a cumplir por el software:

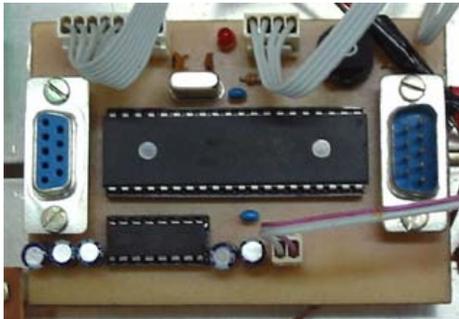
- Carga de muestras: Se toman 256 bytes con las muestras temporales, desde el modulo de visualización.
- Elección de ventana: El operador puede seleccionar el tipo de ventana, (Hanning, Haming y Blackman) (ésta función aún no es operativa).
- Calculo de la FFT: Se aplica un algoritmo de cálculo disponible.
- Escalamiento: Necesario para efectuar la conversión, de la amplitud a decibeles (ésta función aún no es operativa).
- Descarga del espectro: El espectro resultante de 128 muestras se envía hacia el módulo de visualización, para su presentación posterior.

### 5.7.1 - Bloques funcionales del software embebido.

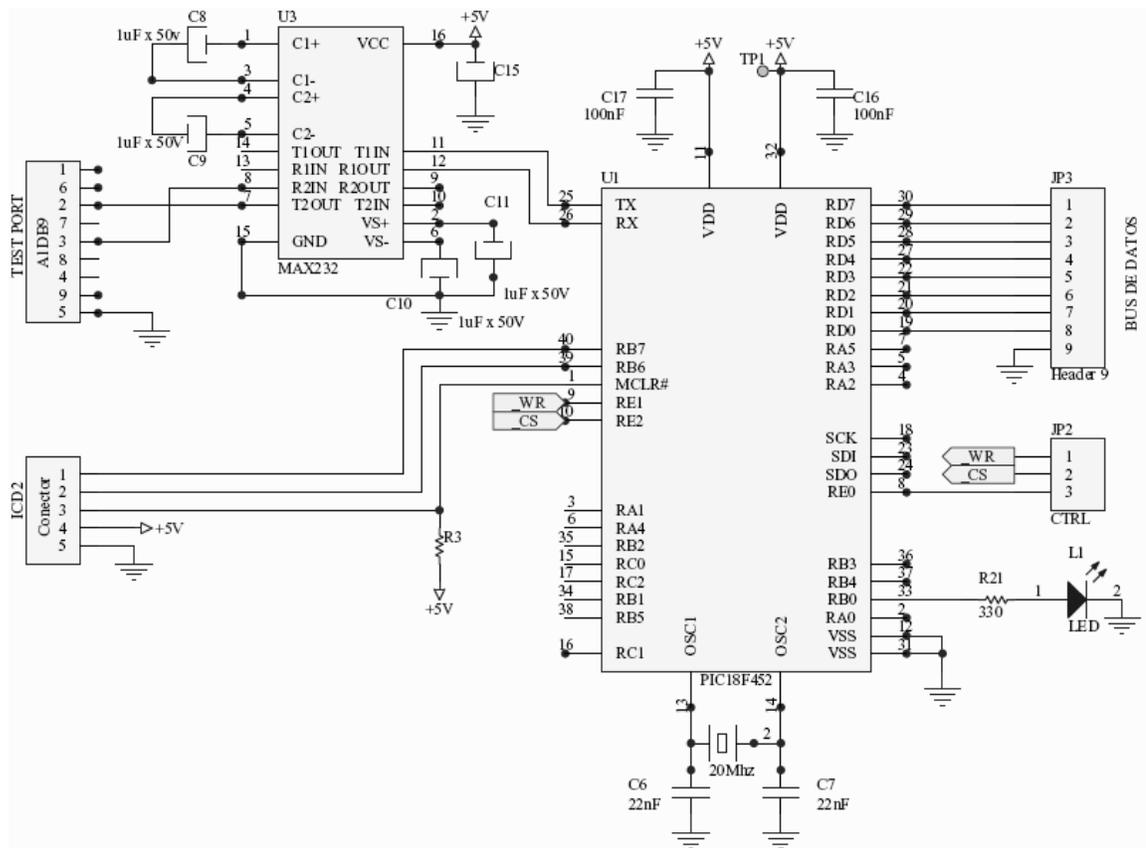


Recordamos, que los procesos de carga y descarga de valores, entre el coprocesador y el modulo de visualización, se logran mediante el uso de líneas de control, sobre las cuales ya se hicieron comentarios. Tales líneas, controlan el flujo de los datos entre los dos módulos, asegurando que los procesos de carga y descarga sean llevados a cabo en forma confiable. El software del microcontrolador, fue desarrollado íntegramente en lenguaje C, lo que permite acortar los tiempos de desarrollo y pruebas preliminares, y facilita la portabilidad del mismo a distintas plataformas de hardware.

### 5.8 - Módulo coprocesador de FFT



### 5.9 - Circuito eléctrico del módulo coprocesador de FFT



### 5.10 - Propuestas de mejoras

Se sugiere mejorar la comunicación entre éste módulo y el de visualización (problema menor). Restan implementar algunos comandos de control y las ventanas para aplicar a las señales (ref.: base teórica).

En algunas bases de tiempo, se dispone de un número importante de muestras ( no utilizadas), y de disponerse de un microcontrolador de suficiente velocidad, se obtendría una mejora en la precisión del cálculo.

### 5.11 - Conclusiones:

En el módulo descrito, se presentan algunos inconvenientes debidos a su complejidad, y a la diferencia del tipo de tecnologías empleadas en los microcontroladores, y si bien existen aspectos a mejorar, tal como la posibilidad de poder aplicar ventanas y el cálculo de la amplitud de salida expresada en decibeles, el modulo cumple los objetivos de la manera esperada.

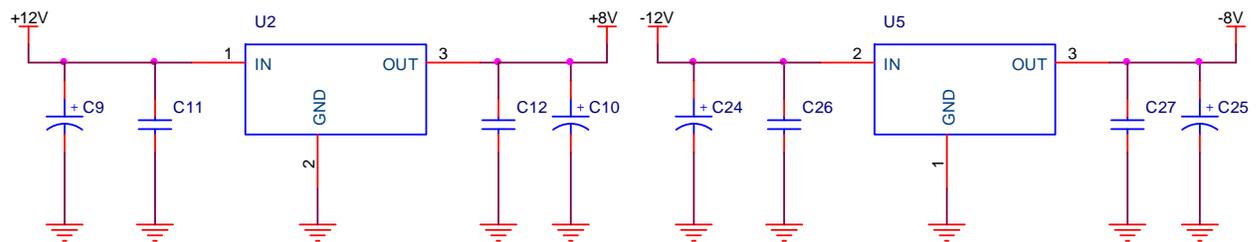
Nota 4: La base teórica asociada a la Transformada de Fourier se encuentra en el Apéndice II



## Apéndice I

### Fuentes de alimentación:

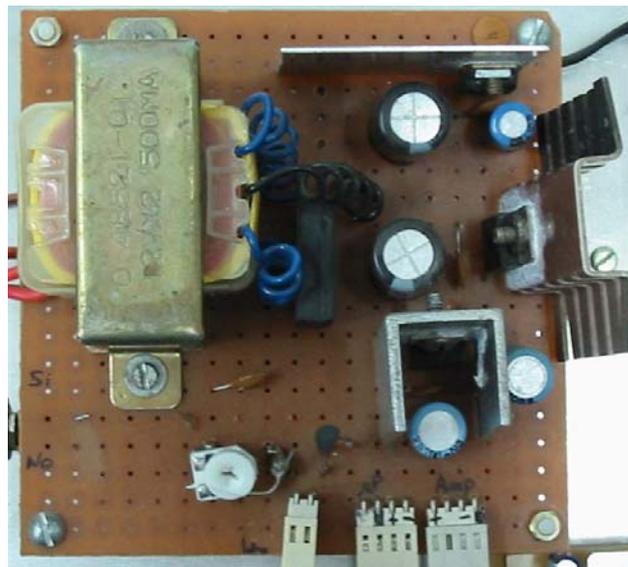
Reguladores de alimentación: de la etapa de entrada,  
(ver Etapa de Entrada y Control de Sincronismo)



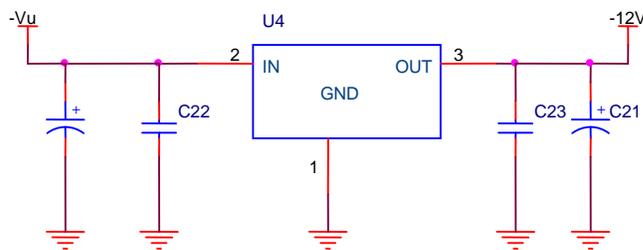
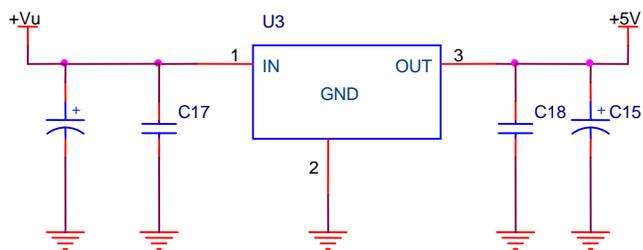
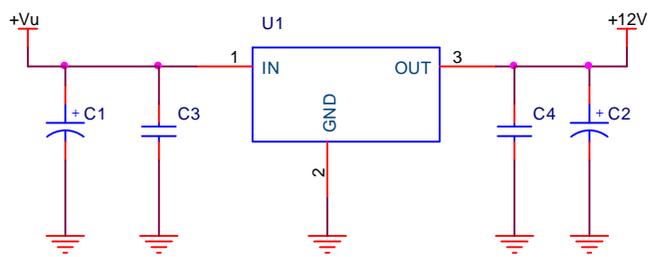
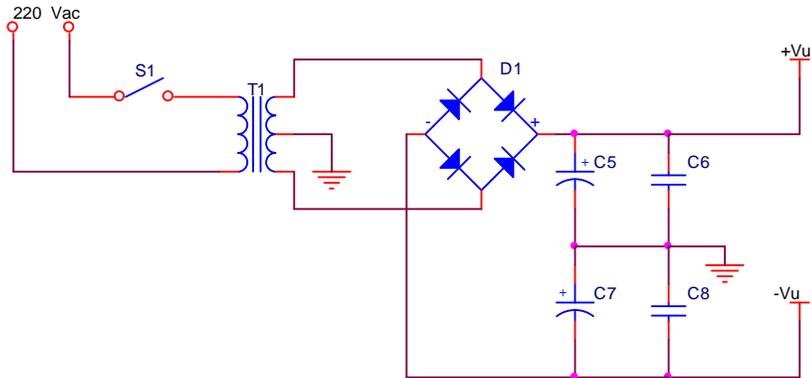
### Fuente General:

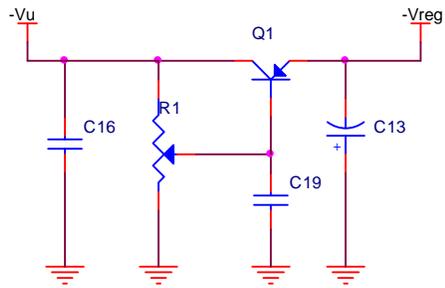
Tensión de alimentación: 220 VAC, 50Hz.  
Tensiones de salida:  
+/- 12 Volt.  
+ 5 Volt.  
0 -14 Volt variable (polaridad negativa).

### Fotografía de la fuente general:



Circuitos de la fuente general:





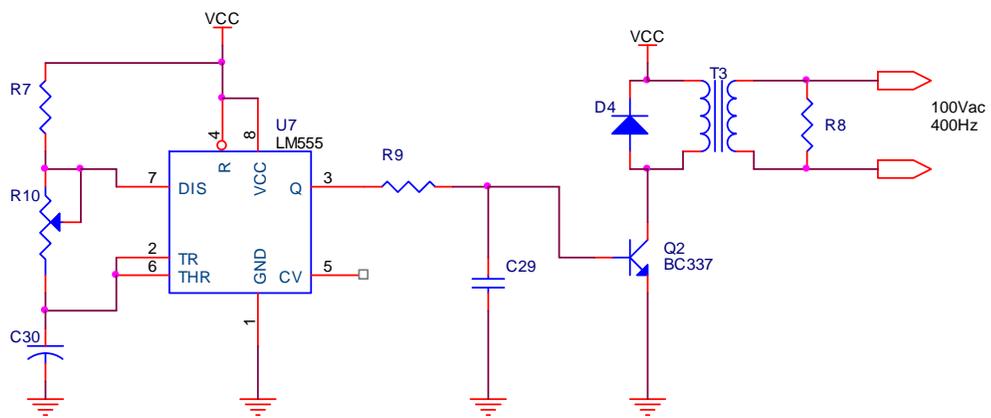
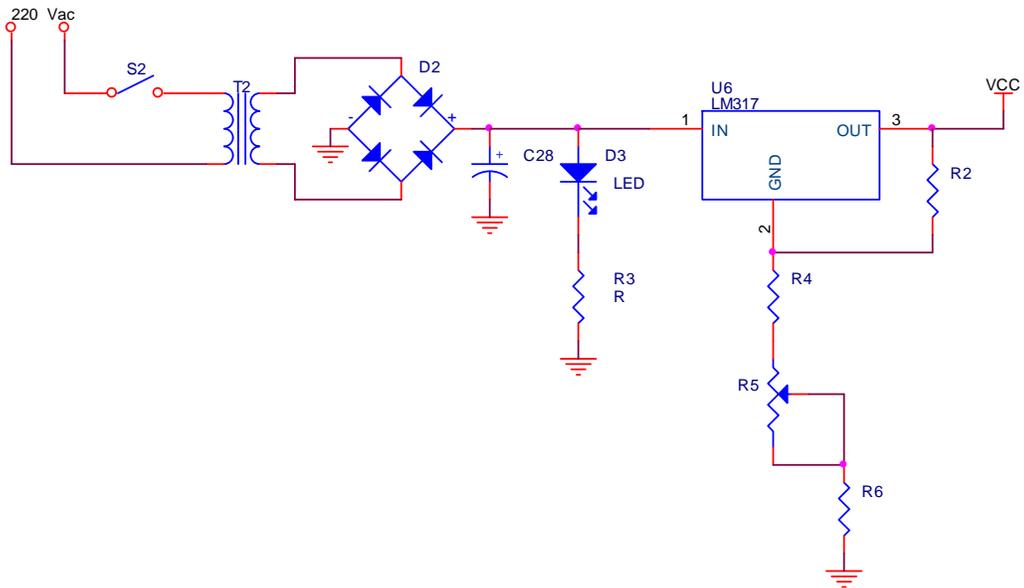
Fuente de Iluminación de la pantalla:

Tensión de alimentación: 220 VAC, 50Hz.  
Tensiones de salida: 100 VAC, 400Hz.

Fotografía del prototipo:



Fuente de alimentación de iluminación de pantalla:

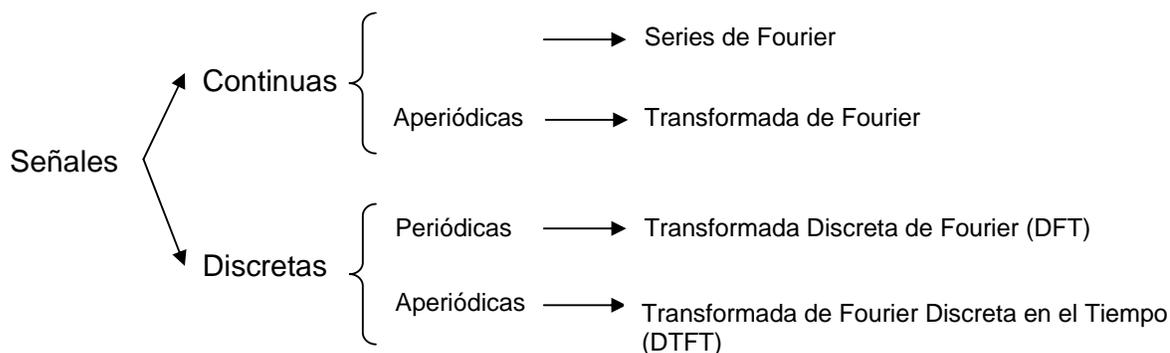




## Apéndice II

### Base teórica asociada a la Transformada de Fourier:

Recordemos, que entre los desarrollos matemáticos de Fourier, existen unas formas de transformación, referidos al análisis de señales poliarmónicas, en sus componentes elementales. Según sea la naturaleza de las señales bajo análisis, se aplican diferentes algoritmos para el dominio continuo y discreto del tiempo:



De los anteriores, se excluyen los correspondientes a una señal continua y dado que nuestro objetivo son las señales periódicas, consideramos la DFT, pues resulta adecuada para los sistemas digitales de cálculo, ya que permiten procesar información discreta y finita.

Si bien existen tres modos posibles para el cálculo de la DFT, (ecuaciones simultáneas, correlación y Transformada rápida de Fourier), preferimos la FFT (acrónimo de Fast Fourier Transform), dado que es el método más eficiente que permite lograr el objetivo buscado, y entre sus variantes se elige la conocida como: *diezmado en el tiempo* para secuencias cuya longitud  $N$  es una potencia de  $2^n$ , con  $n$  entero.

### Transformada Discreta de Fourier (DFT)

Se presenta a continuación una breve introducción teórica (los fundamentos matemáticos escapan al alcance de éste informe). El lector puede remitirse a la bibliografía recomendada.

La DFT es una secuencia, no una función de variable continua, y corresponde a muestras espaciadas a intervalos regulares en frecuencia, y se representa como una suma de secuencias exponenciales relacionadas armónicamente. Las secuencias periódicas y de duración finita pueden ser representadas por medio de la DFT.

Considerando la ecuación de análisis que representa a una secuencia de longitud  $N$ :

$$\text{Ecuación de Análisis } X[k] = \sum_{n=0}^{N-1} x[n]W_N^{kn} \quad k = 0,1,2,\dots,N-1$$

Donde

$$W_N^{kn} = e^{-j\left(\frac{2\pi}{N}\right)kn}$$

De ésta forma el cálculo de la DFT involucra la multiplicación entre un vector  $x_0[n]$  y una matriz cuyo  $(k,n)$  elemento es la constante  $W$  elevada a la  $kn$ . El cálculo de la DFT directa requiere para cada valor de  $k$ , de  $N$  multiplicaciones ( $4N$  multiplicaciones reales) y  $N-1$  sumas complejas ( $4N-2$  sumas reales).

Ahora bien, si a la ecuación se la expresa como la siguiente expansión matricial en factores como  $X=W.x$ .

$$\begin{bmatrix} X[1] \\ X[2] \\ X[3] \\ X[4] \end{bmatrix} = \begin{bmatrix} W^0 & W^0 & W^0 & \dots & W^0 \\ W^0 & W^1 & W^2 & \dots & W^{(N-1)} \\ W^0 & W^2 & W^4 & \dots & W^{2(N-1)} \\ \vdots & \vdots & \vdots & \vdots & \vdots \\ W^0 & W^{(N-1)} & W^{2(N-1)} & \dots & W^{(N-1)^2} \end{bmatrix} \begin{bmatrix} x_0[0] \\ x_0[1] \\ x_0[2] \\ \vdots \\ x_0[N-1] \end{bmatrix}$$

La optimización del proceso de cálculo de la DFT está fundamentada en las propiedades matemáticas de los términos  $W_N$ . La matriz es simétrica y puede ser reducida debido a la naturaleza periódica del número complejo  $W_N$  haciendo que:

$$W_N^{kn} = e^{-j\left(\frac{2\pi}{N}\right)kn} = \cos\left(\frac{2\pi kn}{N}\right) - j \sin\left(\frac{2\pi kn}{N}\right), \quad 0 \leq k, n \leq N-1$$

Debido a que  $W_N^N = e^{-j2\pi} = 1 = W_N^0, W_N^k, k = 0, 1, \dots, N$  son las  $N$  raíces del círculo unitario.

Esto muestra que  $W_N^{N/2} = e^{-j\pi} = -1$ .

Los factores con su propiedad de simetría  $W_N^{k+N/2} = -W_N^k, \quad 0 \leq k \leq N/2-1$

Y de la propiedad de periodicidad  $W_N^{k+N} = W_N^k$ .

El factor  $W_N^{kn}$  es una función periódica con un numero de valores característicos como:

$$W_N^{kn} = W_N^{(kn) \bmod N}, \quad \text{para } kn > N \text{ y } W_N^N = 1.$$

Por lo tanto, para diferentes potencias de  $W_N^{kn}$  se obtendrán los mismos valores como se observa en la ecuación anterior. Más aún, algunos de los factores pueden tener ya sea la parte real o imaginaria igual a 1 o 0. Esto provoca una reducción de los cálculos como términos de  $W$  sean 1 y la máxima potencia de  $W$  es  $N$ .

$$\begin{bmatrix} X[1] \\ X[2] \\ X[3] \\ X[4] \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 & \dots & 1 \\ 1 & W^1 & W^2 & \dots & W^{(N-1)} \\ 1 & W^2 & W^4 & \dots & W^{2(N-1)} \\ \vdots & \vdots & \vdots & \vdots & \vdots \\ 1 & W^{(N-1)} & W^{2(N-1)} & \dots & W^{(N-1)^2} \end{bmatrix} \begin{bmatrix} x_0[0] \\ x_0[1] \\ x_0[2] \\ \vdots \\ x_0[N-1] \end{bmatrix}$$

Luego de operar matemáticamente y efectuar una serie de reordenamientos, se logra obtener una importante ventaja para el cálculo de la DFT, la cual radica en una reducción de los cálculos requeridos. Es decir que se obtiene una optimización en el proceso de la DFT en base a las propiedades de simetría y periodicidad de los términos  $W_N$  como se comentó anteriormente, así como también eligiendo  $N$  de forma tal que  $N=r^m$ . Al factor  $r$  se lo denomina radix y su valor generalmente es 2, de tal forma que se tiene que  $N=2^m$  y al algoritmo es denominado FFT radix-2.

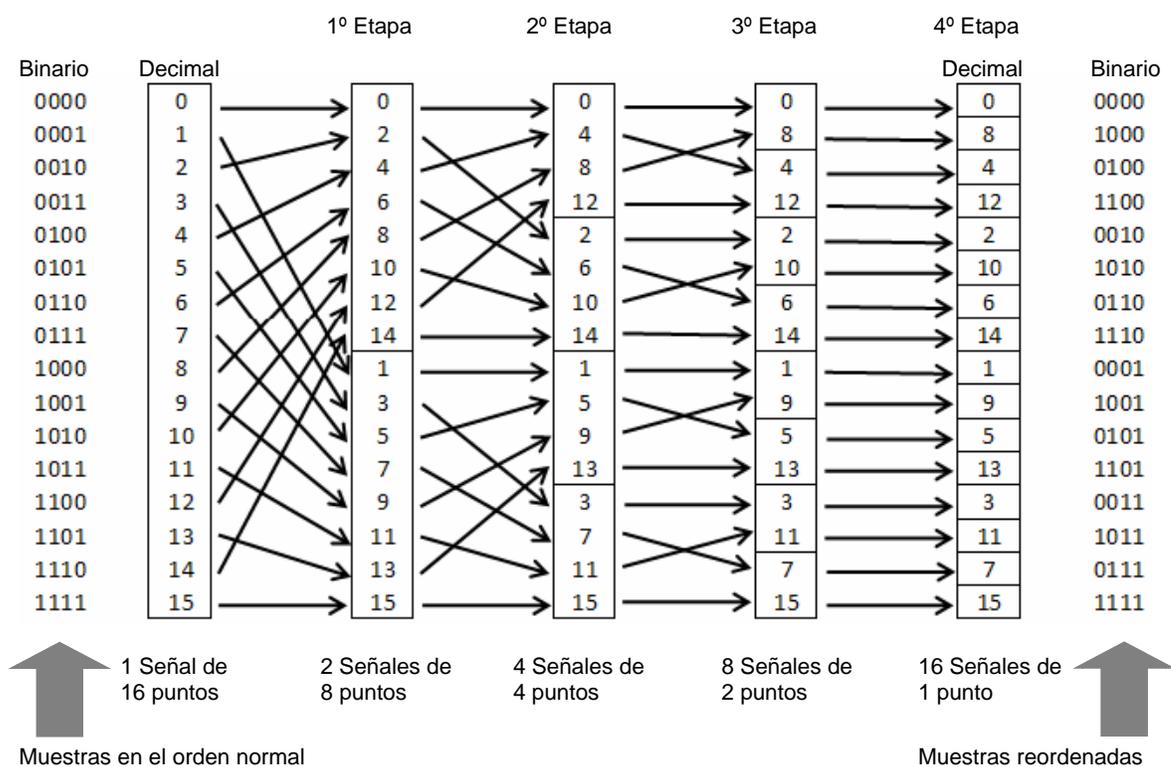
Por lo tanto, la evaluación directa de la ecuación de síntesis vista anteriormente requiere  $N^2$  multiplicaciones complejas. Esto la hace poco útil en la realidad para valores grandes de  $N$ . Ahora bien, si se calcula la DFT por medio de la FFT se logran reducir las multiplicaciones a  $N \cdot \log_2(N)$ , con  $N$  siendo igual a cualquier potencia entera de dos como se definió en el párrafo anterior. Si  $N$  no fuese una potencia de dos, se requeriría un algoritmo mucho más complejo y dicha complejidad en tal caso no traería mayores beneficios para los fines que se están buscando en este proyecto.

### Transformada Rápida de Fourier

La FFT, es un algoritmo para calcular la DFT, que toma la DFT de 2 puntos, luego la de 4 puntos, y luego generaliza para  $2^n$  puntos. La FFT es típicamente, unos cientos de veces más rápida que los otros métodos. El cálculo de la FFT, requiere de tres etapas bien definidas, entrelazado de las muestras, el cálculo y la síntesis del espectro. Consiste en un modelo de diseño de algoritmos, conocido como *dividir y conquistar*, en el cual se opera en forma recursiva, dividiendo el problema en dos subproblemas (o DFT's) del mismo tipo, hasta que se transforme en una expresión que pueda ser resuelta de modo directo. Luego, las soluciones de los subproblemas, son combinadas para resolver el problema original.

Primero, la FFT opera descomponiendo una señal de  $N$  puntos en el dominio del tiempo, en  $N$  señales, también en el dominio del tiempo, compuestas por un punto. Esta descomposición, es un reordenamiento de las muestras de la señal digitalizada. El segundo paso, consiste en calcular los  $N$  espectros en frecuencia, que corresponden a esas  $N$  señales en el dominio del tiempo. El paso final, radica en sintetizar los  $N$  espectros, en un único espectro en frecuencia.

La descomposición efectuada en la primera etapa, es un reordenamiento de las muestras de la señal y esta última es usualmente llevada a cabo por un algoritmo de ordenamiento (bit reversal sorting).



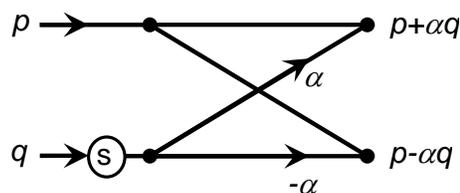
En el gráfico anterior, se muestra un ejemplo de un vector de 16 elementos, el cual ha sido reordenado por el método antes mencionado. Aquí se nota, que el reordenamiento se efectúa en cuatro etapas. En la primera etapa, se divide a la señal de 16 puntos en dos señales de 8 puntos. En la segunda, tercera y cuarta etapa, la señal se subdivide en 4, 8 y 16 señales de 4, 2 y 1 punto/s respectivamente. En el gráfico, se han escrito los índices de las muestras de la señal en binario y decimal, antes y después del reordenamiento.

Nótese que por ejemplo, antes del reordenamiento, la muestra 14 (1110b) es intercambiada finalmente con la muestra número 7 (0111b), lo mismo ocurre para todas las demás muestras. He aquí entonces, el nombre dado a este método, en el cual, los números binarios son reversos el uno del otro, antes y después del reordenamiento. Lo que se modifica, es el orden de las muestras y no el valor que contiene cada una de ellas. Es decir, se toman las muestras y se reubican en varias etapas, siguiendo un patrón determinado. El número de etapas necesarias para el reordenamiento es:  $\log_2 N$ . En este ejemplo se trata de 4 etapas ( $\log_2 16 = 4$ ). Esta parte del algoritmo, no requiere de mas memoria e implica que, solamente se efectúe el intercambio entre pares de elementos dentro del array que contiene las muestras.

El próximo paso, consiste en encontrar el espectro en frecuencia, de una señal en el dominio del tiempo definida en un solo punto. Este paso, es el más simple, ya que el espectro en frecuencia de una señal de un punto es igual a ella misma. Esto significa, que no se requiere de ninguna acción complementaria. A pesar de no haber ninguna operación en éste paso, no se debe olvidar, que a partir de ahora, cada una de las señales de un punto, representa un espectro en frecuencia y no una señal en el dominio del tiempo.

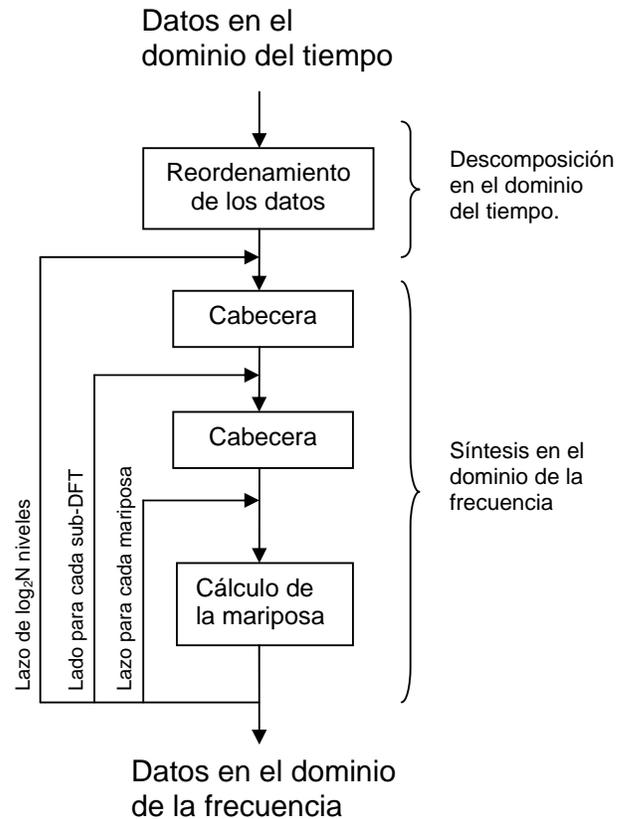
Finalmente, la última etapa del algoritmo, consiste en combinar los  $N$  espectros en frecuencia, para obtener un espectro de  $N/2$  frecuencias. Es decir, que es necesario un mecanismo para lograr revertir la descomposición efectuada, durante el reordenamiento en el dominio del tiempo. Esto se logra, mediante la utilización de una estructura conocida como *mariposa*, Dicha estructura, es un elemento básico de cálculo de la FFT, que permite transformar dos puntos complejos, en otros dos puntos complejos.

Estructura de la *mariposa* usada en el cálculo de la FFT.



La letra **S**, indica, que se efectúa la multiplicación por la senoidal de frecuencia apropiada.

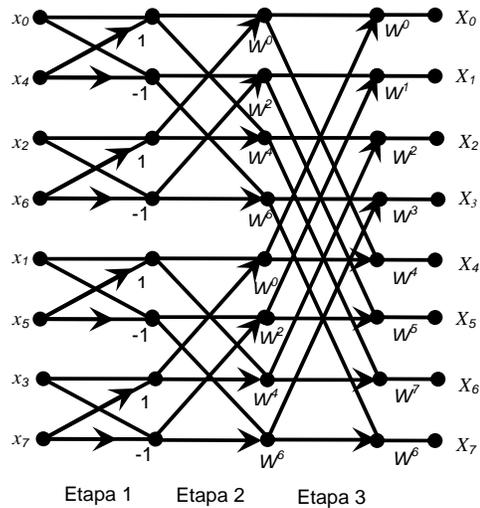
### Algoritmo de la Transformada Rápida de Fourier



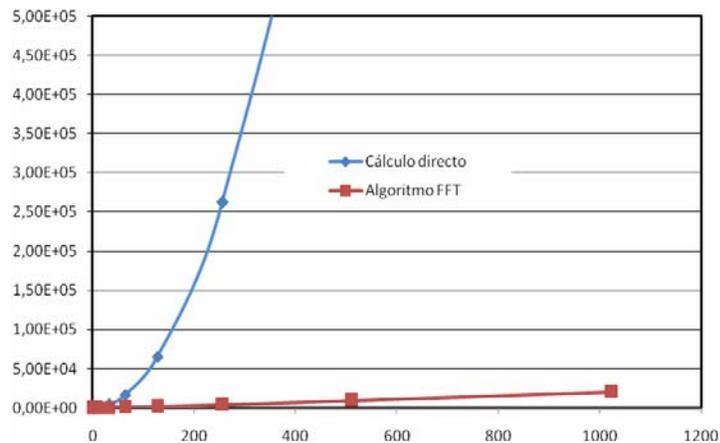
Como se expuso anteriormente, el algoritmo, primero reordena los elementos de entrada en el orden dado por el intercambio de bits; luego conforma la transformada de salida, al ejecutar los lazos anidados. La transformación, (de las muestras) al dominio de la frecuencia, no requiere ninguna operación y por lo tanto no está incluida en el diagrama en bloques. La síntesis en el dominio de la frecuencia, requiere de tres lazos anidados. El lazo exterior, se ejecuta tantas veces como lo determina:  $\log_2 N$ . El lazo intermedio, es el que se mueve a través de cada uno de los espectros individuales, dentro del nivel sobre el cual se está trabajando, es decir, que representa el cálculo de cada uno de los subespectros de cada nivel. El lazo interno, aplica la mariposa para calcular los puntos de cada espectro en frecuencia.

En la literatura, la secuencia descrita anteriormente, se llama algoritmo de diezmo en el tiempo o Cooley-Tukey FFT, en donde primero se efectúa el reordenamiento de las muestras y luego su transformación. El reordenamiento inicial de las muestras, solo insume una pequeña parte del tiempo, respecto del necesario para el cálculo total de la FFT. Finalmente, se obtienen de esta manera, unas  $\log_2 N$  iteraciones del lazo exterior, para lograr el espectro resultante.

A continuación se detalla una estructura para determinar una FFT de 8 puntos. Nótese que aquí  $\log_2 8=3$ , es decir se calcula en tres etapas. En la 1<sup>o</sup> etapa se determinan 4 DFT de 2 puntos, en la 2<sup>o</sup> etapa 2 DFT de 4 puntos y en la 3<sup>o</sup> etapa se determina 1 DFT de 8 puntos.



Abajo en el gráfico, se muestra la gran diferencia, que existe al calcular la transformada discreta de Fourier, mediante el uso del método directo y el algoritmo FFT para distintos valores de N. El eje de ordenadas indica la cantidad de multiplicaciones necesarias



**NOTA 5:** Se recomienda remitirse a la bibliografía indicada en el informe inicial, para un análisis mas profundo de la teoría aquí expuesta.