



Universidad Tecnológica Nacional
Facultad Regional Villa María
Ingeniería Electrónica

**Diseño y verificación física de un amplificador
operacional de dos etapas con compensación tipo
Miller**

Autor:

Vico, Matías Daniel

Tutor: Ing. José Luis Catalano

Director: Ing. Fabián Sensinni

Co-Director: Esp. Ing. Marcelo Cejas

Fecha de Defensa: Diciembre 2022



Dedicatorias

A mi familia: mi compañera incondicional Magdalena, mi hijo Ignacio, mis padres, hermanos y mis amistades.



Agradecimientos

En primera instancia, agradezco a la universidad Universidad Tecnológica Nacional Facultad Regional Villa María, en especial al departamento de Ingeniería Electrónica, por todas las herramientas otorgadas para mi crecimiento tanto personal como profesional durante el cursado en el establecimiento.

Al cuerpo docente de la carrera por todo el conocimiento transmitido.

A mis padres, por el esfuerzo realizado para ayudarme a elegir, sostener y finalizar mi carrera. Por todas las posibilidades brindadas a lo largo de mi vida. A mis hermanos, por el continuo acompañamiento y apoyo con cada paso realizado en dirección a la concreción de mi carrera. A Magdalena, mi compañera, por el soporte, paciencia y amor brindados para continuar avanzando en mi carrera universitaria y concluirla. A Ignacio, por darme el impulso final para concluir lo que hace tanto tiempo embarqué.



Resumen

En el marco del Trabajo Final de Grado se realiza: el diseño, simulación e implementación física de un amplificador operacional de dos etapas con compensación Miller.

El diseño comienza con la elección de la topología del amplificador, continua con el planeamiento y dimensionado de los componentes, pasando por su esquematizado y verificando el cumplimiento de las características esperadas mediante su simulación. Su representación física se basa en el, ya bien establecido, proceso de fabricación C5 de ONSEMI C5, 2016 ofrecido por MOSIS «What is MOSIS», s.f., «The MOSIS Service: Vendors: ON Semiconductor: C5», s.f.

Las características de funcionamiento a alcanzar por el amplificador fueron elegidas por comparación con otros amplificadores comerciales de características similares.

Se optó por realizar el diseño físico basándose en el conjunto de reglas escalables ofrecidas por la compañía: una definición de capas lógicas y reglas de diseño denominadas: «vendor-independent», mejor conocidas como «MOSIS Scalable CMOS» (SCMOS de forma genérica).

Lo anterior implicó, a su vez, una configuración acorde. Sincronizada a lo largo de todas las herramientas de soporte, para todo el flujo de diseño analógico del amplificador.

Finalmente, se quiere destacar que todas las etapas y procesos involucrados en el presente trabajo, fueron realizadas mediante el uso de software gratuito y/o libre.

Palabras claves: OpAmp, Electrónica Analógica, Circuito Integrado, MOSIS

Abstract

Within the framework of the Final Degree Project, the following is carried out: the design, simulation and physical implementation of a two-stage operational amplifier with Miller's compensation.

The design begins with the choice of the amplifier topology, continues with the planning and sizing of the components, going through their schematic and verification of its compliance with the expected characteristics through their simulation. Its physical representation is based on the well-established ONSEMI C5 fabrication process C5, 2016 offered by MOSIS «What is MOSIS», s.f., «The MOSIS Service: Vendors: ON Semiconductor: C5», s.f.

The operating characteristics, to be achieved by the amplifier, were chosen by comparison with other commercial amplifiers of similar characteristics.

The physical design is based on the set of scalable rules offered by the company: a definition of logical layers and design rules called: «vendor-independent», better known as «MOSIS Scalable CMOS» (SCMOS generically).

The foregoing implied, in turn, an appropriate configuration of all the tools involved. Synchronized across all support tools, for the entire amplifier analog design pipeline.

Finally, we want to highlight that all the stages and processes involved in this work were carried out through the use of free and/or free software.

Keywords: OpAmp, Analog Electronics, Integrated Circuit, MOSIS



Índice

Dedicatorias	2
Agradecimientos	3
Resumen	4
Abstract	4
Introducción	6
Análisis del problema	7
Análisis de sistemas existentes	7
Descripción de las actividades del proyecto	10
Objetivos	12
Objetivos generales	12
Objetivos particulares	12
Diseño del Proyecto	13
Revisión de requerimientos y parámetros de operación	13
Selección de componentes y dispositivos	15
Diagrama en bloques del dispositivo	38
Descripción de cada una de las partes	38
Evaluación Final del Sistema	66
Verificación física	66
Verificación lógica	68
Extracción de parásitos	69
Simulación post-layout	70
Generación de archivos de fabricación	73
Trabajo futuro	74
Conclusiones	76
Anexos	77
Anexo α	77
Anexo β	88
Anexo γ	92
Anexo δ	98
Anexo ϵ	107
Anexo η	112
Bibliografía	119
Glosario	122
Siglas	124



Introducción

Con la intención de llevar a cabo la realización de mi trabajo final de grado es que se comenzó con la búsqueda de un tema apto para éste. Particularmente, se lo intentó encuadrar dentro de los conceptos A.F.A. (Apto, Factible, Aceptable) siguiendo los lineamientos y metodologías propuestos por la cátedra. De la consulta con los representantes de la cátedra, mis intereses y la aplicación de los anteriores es que se arribó a la elección del tema a tratar.

Para el desarrollo del trabajo final de grado fue necesario el uso de cierto material bibliográfico, de diverso carácter teórico, así como también manuales de usuario y documentación para algunos de los diversos programas informáticos utilizados para su correcta configuración que, a su vez, permitiera el uso integrado de todas las herramientas de software que más adelante serán detalladas¹.

Estos últimos fueron de vital importancia ya que facilitaron la información necesaria para la puesta a punto de todos los programas, simplificando el trabajo jerárquico fluido entre las etapas del diseño (siempre en cumplimiento con las restricciones impuestas por el fabricante para el proceso elegido) lo que normalmente se conoce como «flujo de trabajo» (del inglés: «Workflow»).

¹Todo el material consultado puede ser encontrado en el capítulo dedicado a la bibliografía. Así mismo, podrán ser encontrados en la sección dedicada a los anexos diversos extractos teóricos (y desarrollos matemáticos), considerados fundamentales para la elaboración del presente trabajo.



Análisis del problema

Sería oportuno comenzar la exposición de este trabajo dando una base de fundamentos sobre el principal tema a tratar a lo largo del desarrollo de este: el amplificador operacional.

Los amplificadores operacionales tienen su origen en la época de las computadoras analógicas, donde eran utilizados para realizar operaciones matemáticas lineales, no lineales y en circuitos dependientes de la frecuencia de operación. Su popularidad como bloque de construcción en circuitos analógicos se debe a su versatilidad. Una de sus características más destacadas es su configuración en lo que se conoce como topología de realimentación negativa, que da como resultado que las características del amplificador operacional en el circuito como: ganancia, impedancia de entrada y salida, ancho de banda, entre otros, quede determinado prácticamente en su totalidad por los componentes externos con los que se configura su operación y muy poca influencia sea debida a factores como podrían ser: el coeficiente de temperatura, las tolerancias del proceso de fabricación y/o de ingeniería internas al amplificador «Operational amplifier», s.f.

El amplificador operacional, como su nombre lo indica, es un tipo de amplificador de tipo diferencial (entre otros que existen en esa categoría²), puede ser definido como un sistema electrónico con dos entradas y con una salida, cuyo comportamiento típico es la amplificación, obtenida en el puerto de salida, de la diferencia entre la señal, presente entre sus dos entradas.

En el presente trabajo se realizará el diseño e implementación física de un amplificador operacional, de dos entradas diferenciales, una salida, además de los puertos necesarios para la alimentación y señales de referencia para la correcta calibración del dispositivo.

Análisis de sistemas existentes

En esta sección cabría realizar el análisis de las siguientes cuestiones:

1. Analizar las principales características de algunos amplificadores operacionales ya existentes, comercialmente disponibles, frente a aquellas del presente desarrollo: ¿tienen características similares, se pueden alcanzar las prestaciones que ofrece un diseño comercial?
2. Dar cuenta de la elección de la tecnología elegida, siendo que existen otras posibles y, a su vez, varios nodos para cada una de ellas: ¿por qué elegir CMOS como tecnología de fabricación?
3. Justificar la elección de la topología propuesta, siendo que existen otras: ¿por qué elegir dos etapas de amplificación? ¿por qué la elección de una topología de realimentación tipo Miller?

A la hora de comparar con dispositivos comerciales, y así tratar de atender la problemática planteada en el Elemento 1, puede hacerse mención a algunos de los amplificadores

²Otros amplificadores que caben en esa categoría pueden ser: el amplificador totalmente diferencial («FDA», por sus siglas en inglés), el amplificador de instrumentación (generalmente construido mediante tres amplificadores operacionales convencionales), el amplificador de aislación (similar al anterior pero con tolerancia a voltajes de modo común que destruirían la etapa de entrada de los amplificadores comunes), entre otros tipos y configuraciones posibles «Operational amplifier», s.f.



operacionales más conocidos y sus características para entender porque son algunos de los más utilizados e históricamente reconocidos «EEVBlog 1436 - The TOP 5 Jellybean OPAMP's», s.f.:

Modelo	Descripción	Entrada	Salida	I_{bias}	I_q	BW de ganancia unidad ³	THD @ 1kHz	Ruido de salida @ 10kHz	Aplicaciones
LMV358	Bajo voltaje Salida Rail-to-Rail	CMOS	CMOS	10 pA	70 μ A	1 MHz	0,005 %	30 $\frac{nV}{\sqrt{Hz}}$	No críticas
LM358	OpAmp dual estándar industrial	Bipolar	Bipolar	± 10 nA	300 μ A (B)	0,7 MHz (A), 1,2 MHz (B)	0,001 %	40 $\frac{nV}{\sqrt{Hz}}$	No críticas
TL07xx	OpAmp	FET	Bipolar	1 pA	937,5 μ A	3 MHz	0,003 %	21 $\frac{nV}{\sqrt{Hz}}$	No críticas
LM741A	OpAmp	Bipolar	Bipolar	30 nA	N/A	1,5 MHz	N/A	N/A	No críticas
OP07x	OpAmp de precisión	Bipolar	Bipolar	$\pm 1,8$ nA	N/A	0,6 MHz	N/A	0,13 $\frac{nV}{\sqrt{Hz}}$ @ 1 kHz	Instrumentación

Tabla 1: Características básicas de los amplificadores comerciales típicos

De todos los ejemplos presentados en la Tabla 1, uno en particular es de los más utilizados e históricamente reconocido (introducido de manera comercial en 1968 por Fairchild siendo incluso construido hasta el día de hoy «UA741 data sheet, product information and support General-Purpose Operational Amplifier | TI.com», s.f.) es el amplificador operacional LM741 (inicialmente llamado μ A741) «Chip Hall of Fame: Fairchild Semiconductor μ A741 Op-Amp», s.f., «1964: THE FIRST WIDELY-USED ANALOG INTEGRATED CIRCUIT IS INTRODUCED», s.f.⁴.

Un amplificador operacional de uso general que ofrece características interesantes que hacen su uso muy simple, cuenta con:

- Tres etapas de amplificación: Diferencial (entrada), Alta Ganancia (intermedia), Salida (salida).
- Protección por sobrecarga de entrada y salida y protección de enclavamiento (del inglés: «Latch-up»).
- Capacidad de offset de voltaje nulo.
- Puede operar a lazo abierto y cerrado. Posee una excelente estabilidad en lazo abierto sin presentar oscilaciones en el rango de trabajo y sin requerir compensación externa de frecuencia.
- Amplio rango de voltaje de operación. Pudiendo además operar con fuentes de alimentación en «single-» o «dual-rail». Su salida puede prácticamente alcanzar ambos límites de tensión (impuestos por la fuente de alimentación).
- Es capaz de realizar todas las operaciones que teóricamente puede realizar un OpAmp.

Como respuesta al Elemento 2, puede decirse que a pesar de existir otras tecnologías con mejor desempeño analógico como: menor umbral de ruido, mayor ancho de banda y ganancia, la motivación del uso de la tecnología CMOS tiene fundamento, entre otros posibles, en los siguientes:

³Producto ganancia-ancho de banda = $f_t = A_{0CL}f_{BCL} = A_{0OL}f_{BOL}$

⁴Puede referirse a un extracto de las hojas de datos para los dispositivos en el «Anexo δ », incluido el LM741.



- **Complejidad del proceso:** es deseable que las etapas que componen el proceso sean acotadas y simples. Cada etapa lleva asociado cierto costo y complejidad, lo que trae por su parte, una mayor probabilidad de fallos que puede derivar en un impacto en el rendimiento final del proceso. El diseño será realizado en un proceso maduro, con cierta antigüedad. Por su parte esto implica que es un proceso simple (transistores planos, con tecnología de fabricación con un número reducido de máscaras), un proceso ya validado y con fines académicos y destinado a aplicaciones más simples, por lo que es extremadamente económico en comparación a nodos más recientes.
- **Área:** por regla general se intenta mantener el área de cada chip lo más acotada posible, hay varios motivos por lo que esto es deseable:
 - **Escalabilidad:** La tecnología MOS permite alcanzar un gran nivel de densidad de dispositivos activos, lo que permite lograr diseños de lo más variado, siendo posible un gran escalado para un mismo nodo antes de tener que pasar al siguiente.
 - **Potencia:** Mayor nivel de integración para la misma área comparado a otras tecnología, lo que implica, a su vez, menor consumo por unidad de área. Además de tener unas características de disipación de energía estática y dinámicas muy pequeñas, lo que les da una ventaja comparativa en desarrollos donde prima el bajo consumo de potencia.
 - **Yield:** Los defectos de fabricación se dispersan de manera aleatoria sobre la oblea donde serán fabricados los chips, por lo que chips con una mayor integración permiten tener las mismas características en un área menor, lo que a su vez mejora las probabilidades de fabricarlo correctamente (mayor yield o rendimiento de fabricación).
 - **Componentes fabricables:** La tecnología MOS permite fabricar, en forma conjunta a los transistores, otros elementos como resistencias y capacitores. Sin embargo, la magnitud de estos es directamente proporcional al área que precisan para su fabricación, por lo que no es inusual que un capacitor de capacidad considerable ocupe la misma área de chip que todo el diseño de un amplificador o sistema. Debido a esto, la tendencia es a fabricar varios elementos activos por algunos pasivos y siempre y cuando estos últimos sean absolutamente necesarios para el diseño.
- **Integración tecnológica:** Esta tecnología permite realizar integraciones entre diferentes dominios como pueden ser el Analógico-Digital, aplicaciones ópticas, MEMS, etc. Esto permite una evolución hacia soluciones del tipo SoC (System-on-Chip).
- **Adaptación de los parámetros de los dispositivos:** Una de las principales ventajas de la fabricación de dispositivos integrados. Se puede lograr una muy alta precisión en la adaptación de las características de dispositivos activos ya que estos son fabricados todos en simultaneo y, por ende, todos los componentes tienden a sufrir, aproximadamente, las mismas desviaciones del proceso de fabricación.

Estas características muestran como esta tecnología permite la fabricación de soluciones integrales, de forma monolítica, a un muy bajo costo para sistemas cada vez más complejos Hambley, 2002, página 426-428.



Ejemplos de lo anterior son chips de sistemas de comunicación como Wi-Fi, 3G/4G/5G, Bluetooth, Ethernet, audio, video, etc. La electrónica de consumo, procesamiento y de datos es impulsada por tecnología CMOS. «CMOS», s.f.

Finalmente, para abordar las consultas planteadas en el Elemento 3 se responderá en el orden en el que las preguntas fueron realizadas:

- Se eligió una topología de dos etapas de amplificación ya que es el mínimo número de etapas de amplificación en cascada necesarias para alcanzar la magnitud de ganancia planteada en los objetivos del presente trabajo.
- Debido a la necesidad de utilizar más de una etapa amplificadora, se hizo indispensable proveer al sistema de una red de realimentación para alcanzar la estabilidad en todo el rango de frecuencias de trabajo. Entre algunas de las posibles técnicas de realimentación como: un capacitor en derivación (del inglés: «Shunt Capacitance»), un capacitor equivalente Miller o, incluso, otro amplificador operacional, se optó por el segundo método⁵.

Descripción de las actividades del proyecto

A continuación, se describen todas las actividades realizadas en el proyecto.

- Elección de las características de funcionamiento del dispositivo deseado
- Elección de la tecnología y nodo de fabricación así como el fabricante
- Evaluación de la tecnología del nodo de fabricación
 - Evaluación de los transistores MOS
 - Análisis de fuentes de corriente
- Simulación fuente de corriente
 - Simulación DC
- Especificaciones del amplificador
 - Definición de rango de frecuencias de entrada
 - Definición de ancho de banda
 - Definición de consumo de energía
 - Definición de características eléctricas
- Definición de jerarquías
 - Creación de símbolos jerárquicos
 - Esquemático

⁵Uno de los métodos más utilizados en la actualidad «Miller Frequency Compensation: How to Use Miller Capacitance for Op-Amp Compensation», s.f., al mismo tiempo que sencillo de implementar y evitando la incorporación de más componentes activos (y su complejidad asociada). Como contrapartida, el método utiliza un capacitor cuya implementación conlleva un gran porcentaje de área del chip.



- Diseño del amplificador
 - Etapa diferencial
 - Etapa de potencia
 - Compensación Miller
- Simulación del amplificador
 - Simulación DC
 - Simulación AC
- Layout
 - Definición de tamaño de floorplan
 - Definición de tamaño del módulo del capacitor
 - Definición de ubicación de puertos
 - Definición de uso de metales
 - Diseño de distribución para apareamiento de transistores
- Verificación física
 - DRC
 - ERC
 - Chequeo de Well y Substrato
 - Chequeo de Antena
 - NCC/LVS
- Extracción de parásitos
 - Configuración de extracción conservativa
 - Anotado de parásitos en netlist
- Simulación post-layout
 - Simulación AC
- Análisis de potencia de ruido
- Análisis de THD
- Generación de archivos de fabricación
 - Exportación de GDS stream format



Objetivos

Objetivos generales

- Diseñar un amplificador operacional de dos etapas con compensación Miller.

Objetivos particulares

- Definir las condiciones de operación del amplificador.
- Comparar los resultados de las simulaciones realizadas en las diferentes etapas de diseño con las características de funcionamiento definidas para la operación del amplificador.
- Asegurar la factibilidad de su fabricación mediante la verificación del cumplimiento de todas las reglas de diseño para el nodo elegido.



Diseño del Proyecto

Como se detalló en el capítulo «**Resumen**» y la sección «**Análisis de sistemas existentes**», el trabajo de diseño estará completamente basado en el proceso de fabricación ON Semi C5⁶ por MOSIS, lo que nos da acceso a dispositivos tipo MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) «The MOSIS Service: Vendors: ON Semiconductor: C5», s.f., C5, 2016, «C5: 0.5 um Process Technology», 2021, así como también a una serie de dispositivos pasivos y estructuras que pueden realizarse aprovechando las características y capas que el proceso pone a disposición, lo que nos permitirá plantear el diseño basado en dicha tecnología en forma íntegra.

Como se verá a lo largo del trabajo, se verifica que tanto la tecnología elegida, como el espacio físico disponible y los valores extraídos del proceso de fabricación⁷ hacen posible el desarrollo de los transistores, resistencias y capacitores con las magnitudes necesarias.

Revisión de requerimientos y parámetros de operación

En esta sección se hará una síntesis de los parámetros de operación esperados para el amplificador objeto de este trabajo.

La revisión de los requerimientos para cada una de estas etapas o para el amplificador en su conjunto, se hará teniendo en cuenta categorías como las siguientes: sus características a lazo abierto, cerrado, con o sin carga de la red de realimentación, definiendo en cada una de estas tanto magnitudes deseadas como valores específicos o rangos de valores esperados, según corresponda al parámetro siendo definido.

Las especificaciones serán útiles para el diseño progresivo del sistema pero es necesario hacer notar que no fue considerada la inserción de puntos de test. Por lo que las mediciones que se realizarán en simulación serán mucho más extensivas que aquellas que podrían ser realizadas, por acceso directo a un punto de medición en el sistema, si este fuera fabricado y medido en laboratorio.

En consecuencia, a lo largo del presente trabajo, se podrán calcular y realizar diferentes mediciones, cálculo de magnitudes, figuras de mérito, etc. aprovechando la naturaleza de las herramientas de simulación utilizadas para el diseño.

En el caso de llegar a una instancia de fabricación, debido a la falta de conectividad disponible desde el exterior, las especificaciones que podrán ser corroboradas, mediante medición directa, serán aquellas condiciones aplicadas externamente como: valores de voltaje y corrientes de alimentación, las características de la señal de entrada, la respuesta a la salida del amplificador y, evidentemente, todas aquellas otras magnitudes derivadas de estas⁸.

⁶Para el cual se puede encontrar más detalle en el «**Anexo β** » sección «**Datasheet proceso C5 ON Semi**».

⁷Ver anexo «**Valores extracción proceso C5 ON Semi**» en el «**Anexo β** ».

⁸Este tipo de mediciones: externas, directas e indirectas componen gran parte de las mediciones típicas en la industria de diseño de semiconductores y circuitos integrados. Algunos de estos análisis podrían ser: « I_{ddq} Testing» y « I_{ccq} Testing» Van Lammeren, 1999, « I_{ddq} testing», s.f.



Especificaciones generales del amplificador

Las siguientes características hacen referencia a las condiciones externas a las que estará sujeto el sistema, condiciones bajo las cuales este deberá poder operar y alcanzar sus especificaciones de operación:

- **Voltaje de alimentación:** $V_{DD} = 5V$
- **Voltaje de referencia:** $V_{SS} = GND = 0V$
- **Corriente de referencia:** $I_{ref} = 100\mu A$
- **Rango de frecuencias de entrada:** 100kHz
- **Ancho de banda:** $\approx 40MHz$
- **Capacidad equivalente de conexión de entrada del circuito:** $C_{eq} = 5pF$
- **Consumo de potencia:** Intentar optimizar para lograr el menor consumo posible.
- **Excursión simétrica** de la etapa final entre los extremos de los dominios de alimentación (Rail-to-Rail): $V_{DD} = 5V$ y $V_{SS} = GND = 0V$
- **Carga de la etapa de salida:** $C_L = 20pF$

Especificaciones a lazo abierto

«Lazo abierto» hace referencia a la condición donde las dos etapas amplificadoras trabajan en conjunto sin la consideración de una etapa de realimentación. En la Figura 1 puede observarse un diagrama en bloques que representa esta configuración.

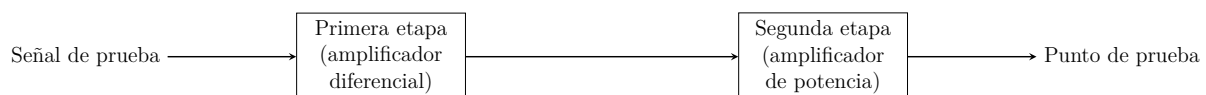


Figura 1: Diagrama en bloques del amplificador a lazo abierto.

Las características de comportamiento esperables para el dispositivo en esta condición se resumen a continuación:

- Ganancia DC $\geq 52dB$
- Producto Ganancia - Ancho de banda (BW) (ω_0) $\geq 40MHz$
- Margen de fase $> 60^\circ$



Especificaciones a lazo cerrado

«Lazo cerrado» hace referencia a la condición donde ambas etapas amplificadoras funcionan en conjunto y cuentan con la conexión de su etapa de realimentación (en nuestro caso de tipo Miller). La topología a la que se hace referencia puede ser revisada a continuación en la Figura 2:

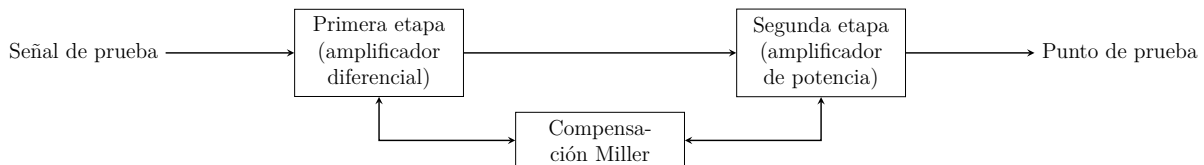


Figura 2: Diagrama en bloques del amplificador a lazo cerrado.

El siguiente conjunto de requisitos será así, considerando el circuito completo:

- Ganancia DC = $20\text{ dB} \pm 0,3\text{ dB}$. Utilizando $R_1 = 500\ \Omega$
- Tensión de modo común $V_{cm} = V_{DD}/2$
- Producto Ganancia - Ancho de banda (BW) (ω_0) $\geq 40\text{ MHz}$
- Distorsión Armónica Total⁹ $\leq -55\text{ dB} @ V_{out,pp} = 2\text{ V}$
- Ruido Total Salida $\leq 250\ \mu\text{V}$

Selección de componentes y dispositivos

Antes de comenzar con el diseño del amplificador se hace necesario determinar dos aspectos fundamentales para el diseño de cualquier chip:

1. La asignación de los recursos de capa base y de metalización disponibles para la tecnología de fabricación para, posteriormente,
2. pasar a realizar el análisis cualitativo y cuantitativo del comportamiento de los dispositivos que pueden ser construidos con la tecnología del nodo de fabricación elegido.

El Elemento 1 será tratado en la sub-sección: «**Características generales de la tecnología del nodo de fabricación**» y establecerá el plan de trabajo, con los recursos (escasos) bien delimitados por función. El Elemento 2 se tratará en la sub-sección: «**Evaluación de los transistores de la tecnología del nodo de fabricación**» donde se tratará la selección de la conformación, relaciones de aspecto, número de multiplicador, tamaños y disposiciones de los diferentes componentes que conforman la topología del amplificador.

Una forma visual de representar las inter-relaciones entre las diferentes magnitudes involucradas en cualquier diseño analógico es el denominado «Octógono del diseño analógico» (del inglés: «Analog Design Octagon») Razavi, 2017, página 47:

⁹Del inglés: «THD (Total Harmonic Distortion)»

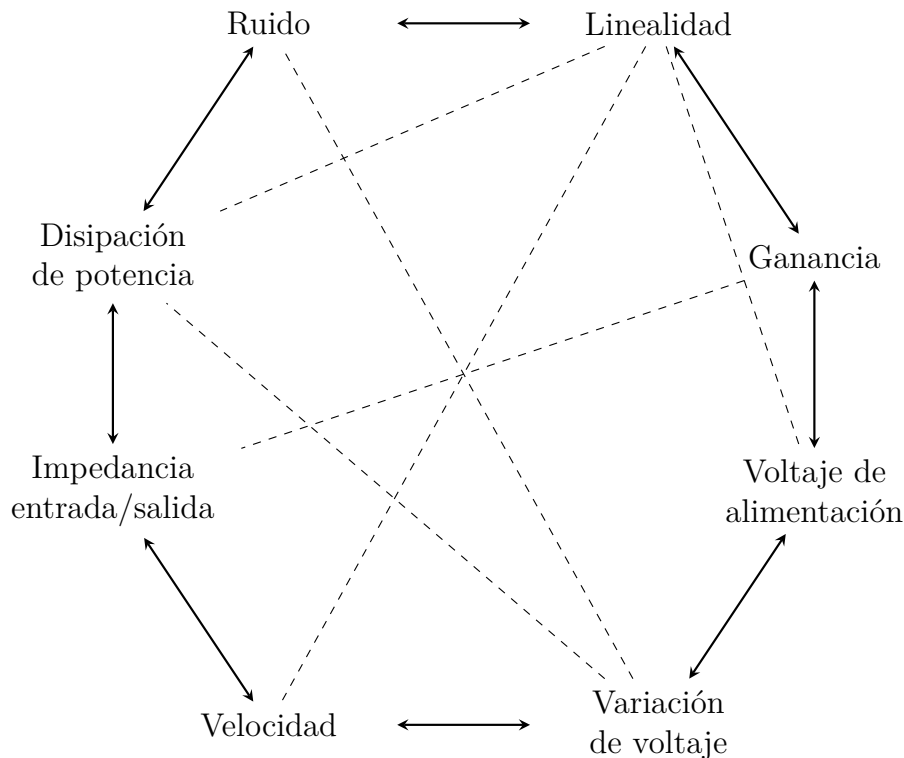


Figura 3: Relaciones de multi-dependencia entre las principales características de diseño.

La Figura 3 muestra en sus vértices algunas de las especificaciones más representativas de todo diseño electrónico, junto a una gran cantidad de conexiones entre ellas, que presentan las relaciones de compromiso existentes entre las mismas.

Con lo anterior, se trata de representar un campo de diseño multi-variable que no suele ser fácilmente resuelto por las herramientas de diseño, además de casi siempre ser acompañado de un nivel más de complejidad introducido al intentar realizar la optimización de los resultados.

Sumado a la inter-dependencia entre las principales características del diseño de un circuito integrado que fueron mencionadas, se agregan algunas particulares a la tecnología CMOS cuando es comparada, por ejemplo, con la tecnología BJT:

- Sufre de mayor sensibilidad al ruido y al cross-talk.
- Tiene una mayor sensibilidad a los efectos de segundo orden, esto repercute de forma directa en el modelado de los dispositivos y en su posterior simulación.

Considerando lo anterior y a fin de evitar costosos y complicados procesos de calibración, posteriores a la etapa de fabricación, es que nos interesa diseñar circuitos analógicos usando la última tecnología de integración VLSI, CMOS en nuestro caso, sin procesos adicionales de fabricación, sin trimming, sin calibración en fábrica, etc. Básicamente, se intenta llevar adelante diseños bajo la metodología «Correct-by-Design», tolerantes a fallas, con auto calibración, entre otras técnicas disponibles en esta categoría¹⁰.

¹⁰Para un análisis más detallado de las ventajas y desventajas, así como también definiciones y conceptos vinculados a la tecnología CMOS, puede referirse a la sección «Análisis de sistemas existentes».



Características generales de la tecnología del nodo de fabricación

El **proceso tecnológico** sobre el que se basará el desarrollo del presente trabajo es denominado: «C5: 0,5 μ m Process Technology», definido en esta ocasión por la empresa «ON Semiconductor®».

El **proceso de fabricación** CMOS que se utilizará como referencia para el diseño es denominado CMOS escalable: «SCMOS (Scalable CMOS)», ofrecido por el proyecto MOSIS de la «University of Southern California» (inglés para: «Universidad del sur de California») y sigue las reglas del proceso tecnológico mencionado¹¹.

A modo de resumen se pueden listar sus principales características¹²:

- La tecnología puede tener entre dos y seis capas dedicadas a metalización, una dedicada a polisilicio (aunque también pueden seleccionarse dos).
- La tecnología puede ser configurada para soportar: reglas estándar (de la sigla en inglés: «SCMOS (Scalable CMOS)»), reglas sub-micron o «deep rules».
- Soporta la construcción de apilamientos de vías y el uso de reglas de contacto alternadas Rubin, 2016, página 198.

¹¹La forma de adaptar a Electric para el uso de esta tecnología es mediante la selección de la tecnología y escala de los componentes «MOCMOS (MOSis CMOS)». Configurar a la herramienta de diseño para el uso de MOCMOS preestablece la herramienta en conformidad con las reglas de diseño de MOSIS. Esta es la tecnología CMOS más utilizada en Electric debido a que es la tecnología de fabricación que se ha mantenido al día con las reglas cambiantes de MOSIS. En el anexo de «**Tecnología**» puede revisarse el paso a paso de esta configuración.

¹²Para una descripción más detallada sobre las características del proceso puede referirse a su hoja de datos en los anexos: «**Datasheet proceso C5 ON Semi**» y «**Reglas de diseño escalables para CMOS de MOSIS**».



Una de las principales consideraciones a la hora de discutir y/o elegir una tecnología de fabricación, pasa por el análisis de los recursos disponibles (en cuanto al área y recursos de enrutamiento, principalmente) en las distintas capas (base y metalización) que este ofrece.

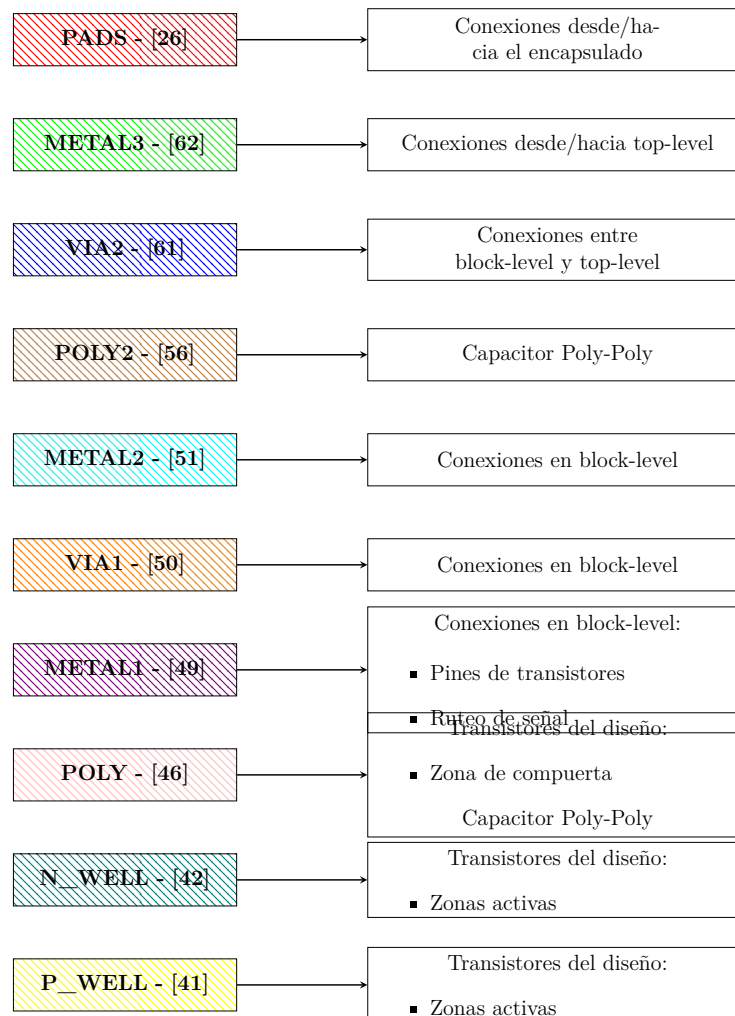


Figura 4: Stack de la tecnología de fabricación CMOS de MOSIS.

La Figura 4 sirve a modo de resumen mostrando las capas con su nombre y su código numérico, así como sus funciones asignadas para el proceso considerado en este trabajo¹³.

Evaluación de los transistores de la tecnología del nodo de fabricación

Para comenzar con la evaluación de nuestros bloques de construcción fundamentales: los transistores PMOS y NMOS, específicamente en el nodo y proceso elegidos y considerando las condiciones de contorno a las que se someterá el amplificador se realizará una serie de pruebas, basadas en la simulación de su comportamiento, con el posterior análisis de las características presentes en las curvas típicas de los dispositivos obtenidas.

¹³En el anexo «Reglas de diseño escalables para CMOS de MOSIS» puede encontrar un diagrama del stack completo del proceso (no necesariamente fabricado por MOSIS).

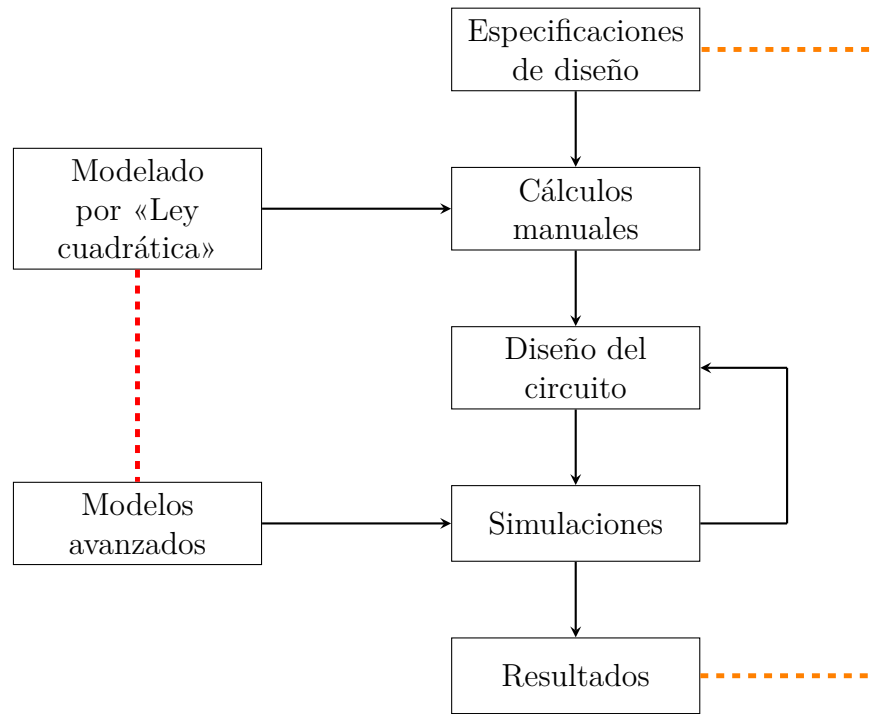


En esta sección se hará una primera aproximación en cuanto a las ecuaciones del modelo basadas en el análisis teórico, las que se irán comparando con los valores y comportamientos observados de manera experimental mediante la simulación (utilizando los modelos exactos provistos por el fabricante)¹⁴.

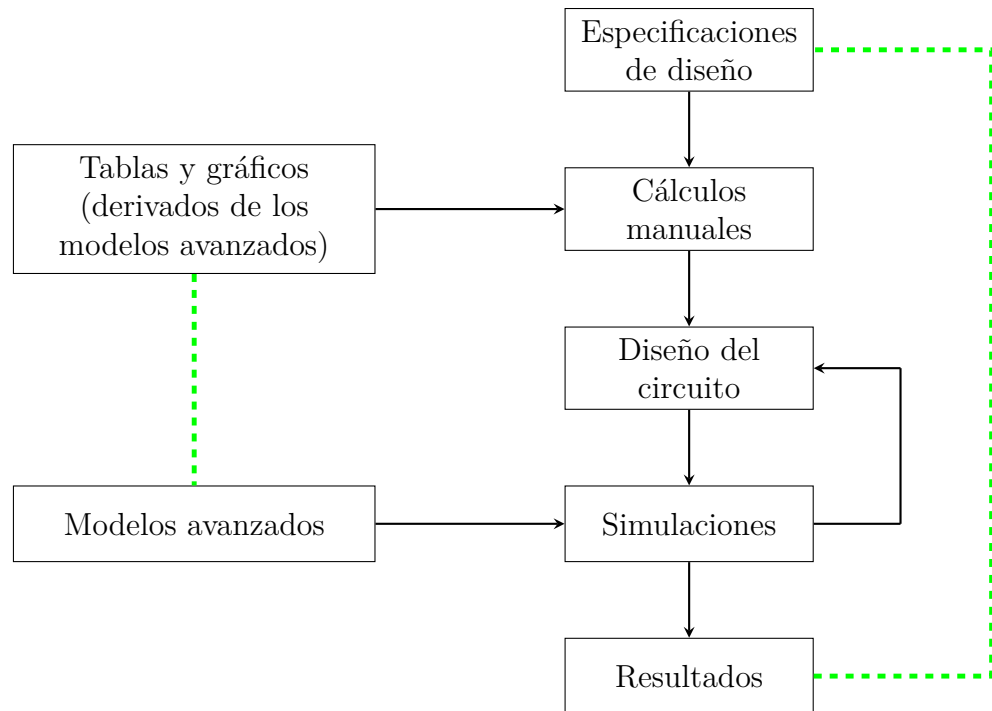
Se quiere hacer hincapié en que la metodología de diseño a utilizar será la de: « g_m/I_D ». La alternativa, sería utilizar su antecesora, el voltaje de overdrive: « V_{ov} »), en la Figura 5a pueden observarse los motivos por los que esta técnica fue abandonada para los cálculos manuales (aunque sigue vigente y se mantiene a la hora de desarrollar intuición sobre las tendencias del comportamiento de los dispositivos). La línea roja representa la falta de correlación que existe entre los modelos de «ley cuadrática» y los modelos actuales utilizados por los simuladores para dispositivos nuevos de canales de conducción muy cortos; la línea naranja representa la consecuencia de la falta de correlación de los modelos, manifestada como la discrepancia entre los requisitos de entrada del diseño y los resultados obtenidos.

Debido al mejor modelado del comportamiento que ofrece el análisis mediante la técnica de g_m/I_D para todas las regiones de operación de los dispositivos tipo MOSFET (como se verá en futuras secciones del presente trabajo) es que reemplazamos a la hora de diseñar el DOF de V_{ov} por el de su «transconductancia normalizada», el diagrama de diseño y la correlación entre los modelos queda reflejado en las líneas verdes de la Figura 5b.

¹⁴Por lo general, la mayoría de los desarrollos de ecuaciones teóricas y de los valores prácticos que las acompañan, por ejemplo en las hojas de datos de los procesos de fabricación, son válidas para la representación de dispositivos de «canal largo» (transistores con una longitud de canal de unos pocos μm). Debido a esto, cada vez que se encare el desarrollo de un dispositivo integrado es esencial evaluar el comportamiento de los dispositivos para canales de conducción cortos (fracciones de μm).



(a) Diseño analógico por voltaje de overdrive (V_{ov}).



(b) Diseño analógico por «transconductancia normalizada» (g_m/I_D).

Figura 5: Cada uno de los diagrama de flujo representa un proceso de diseño analógico.



En la Sección «**Simulaciones**» se tratará todo lo relacionado a la simulación del comportamiento de los transistores tipo N¹⁵ y tipo P¹⁶ para obtener las curvas fundamentales del dispositivo para diferentes largos (L) de canal en distintas condiciones de operación.

Finalmente, con los resultados y conocimiento de la tecnología obtenidos de todos los análisis de esta sección se continuará el desarrollo del amplificador.

«Canal Corto» versus «Canal Largo»

Uno de los factores que mayor impacto tienen en el comportamiento de un MOSFET de tecnología plana es el largo de su canal de conducción situado entre las regiones de sumidero y fuente. Lo anterior viene a impactar de forma directa en el desarrollo de un modelo que represente fielmente el comportamiento para este tipo de MOSFET Razavi, 2017.

Por lo anterior es que se busca, con este análisis, tener una noción general de cuales son aquellos valores geométricos mínimos para el dimensionado de los transistores a dibujar y su vinculación con el comportamiento de cada uno de ellos. Esto es, con el fin de determinar el «umbral» (valor de L) que delimita lo que denominaremos como dispositivos de «canal corto» y de «canal largo», información que nos permitirá alcanzar un mayor conocimiento de la tecnología con la que se trabajará, así como el hecho de asegurar el cumplimiento de los modelos de comportamiento clásicos de los dispositivos (como el de V_{ov} , al menos para las etapas iniciales de análisis del diseño).

Se asumirá una relación de aspecto ($W/L = 5$), lo que supondrá a su vez una variación del ancho del canal (W) para lograr la anterior.

Las longitudes de canal para los transistores MOS elegidas son:

- $L = 0,6\mu\text{m}$ («canal corto»)
- $L = 3\mu\text{m}$ («canal largo»)
- $L = 6\mu\text{m}$ («canal largo»)

Para cada una de las longitudes elegidas y debido a la selección de una relación de aspecto igual a 5, cada transistor tendrá un ancho (W) que puede ser derivado de la siguiente ecuación:

$$\frac{W}{L} = 5 \Rightarrow W = 5 \cdot L \quad (\text{Ecu. 1})$$

Utilizando la ecuación anterior, podemos conformar la siguiente tabla que resume todas las características de cada uno de los transistores a evaluar:

¹⁵En el cuerpo principal del informe se verá, prácticamente en su totalidad, el análisis hecho sobre los dispositivos NMOS, los resultados para los PMOS se encuentran en el anexo.

¹⁶Ambos tipos de transistores deben ser analizados para cualquier tecnología, pero generalmente el interés está puesto mayoritariamente en el comportamiento del transistor tipo N de la tecnología. Existen varios motivos para priorizarlos, entre los que pueden nombrarse: mayor movilidad de portadores, menor resistencia de encendido ($R_{DS(on)}$), menor área necesaria para su fabricación (todo analizado para transistores con las mismas geometrías y condiciones de operación). Para todas las características anteriores, la relación entre los transistores tipo N y P es de 2 a 3 veces a favor de los de tipo N. Incluso, en aplicaciones muy específicas, fenómenos externos aplicados sobre los dispositivos como la radiación son más benignos sobre transistores más pequeños y por eso se prefieren sistemas con mayor presencia de transistores tipo N.



Descripción	W/L	L [μm]	W [μm]	L_λ [n]	W_λ [n]
«Canal corto»	5	0,6	3	2	10
«Canal largo 3»	5	3	15	10	50
«Canal largo 6»	5	6	30	20	100

Tabla 2: Dispositivos MOS, «canal corto» versus «canal largo».

La mínima distancia que puede ser fabricada en el nodo (tanto en el eje x como en el eje y) es: $0,6\mu\text{m}$ C5, 2016, «C5: 0.5 um Process Technology», 2021, luego pueden existir incrementos de $0,3\mu\text{m}$, por lo que la conversión viene dada por la siguiente equivalencia¹⁷:

$$l = \lambda + \lambda/2 \cdot n \equiv 0,6\mu\text{m} + 0,3\mu\text{m} \cdot n \quad (\text{Ecu. 2})$$

En la Tabla 2, las últimas dos columnas muestran los valores lambda (λ) equivalentes para los parámetros de longitud (L) y ancho (W) de los dispositivos.

En el editor esquemático, cada dimensión será representada utilizando los valores de n . Y estos, al ser exportados para el simulador, serán automáticamente convertidos a sus dimensiones métricas reales para que el motor SPICE las pueda procesar¹⁸.

Simulaciones

Debido a la necesidad de entender el comportamiento de los dispositivos disponibles para el trabajo sobre nuestro diseño, es que se simulamos su comportamiento y realizamos una serie de pruebas sobre cada uno de los elementos de fabricación que el nodo pone a disposición. Estas nos permitirán evaluar las características más representativas y distintivas para cada uno de los transistores de la Tabla 2¹⁹.

En la Tabla 3 se puede observar la lista de simulaciones que se realizará para cada uno de los dispositivos, así como los detalles de su configuración y posterior análisis.

El aporte de cada simulación será dejar en evidencia un comportamiento fundamental diferente del dispositivo. El resto de los análisis, cálculos y mediciones podrán ser derivados de estos.

Es importante notar que durante toda la extensión de este trabajo, toda simulación estará representando aquellos transistores y materiales que fueran parametrizados por el

¹⁷La grilla configurada en la herramienta para la tecnología, es de la mitad de la distancia mínima (simplemente por cuestiones de practicidad al momento del uso de la misma). Por lo anterior, la relación dentro de la herramienta es: $l = \lambda/2 \cdot n \equiv 0,3\mu\text{m} \cdot n$. En cualquier caso, una vez exportado el diseño, el resultado será el mismo y, el proceso, transparente para el resto de las herramientas. Puede consultarse el «Anexo γ », Sección «Tecnología» (en particular la Figura 52) para mayor detalle de la configuración de la escala para la tecnología.

¹⁸Es preciso tener en cuenta, que al referirnos a magnitudes de L estamos haciendo referencia a la magnitud de L_{drawn} (o $L_{dibujada}$ en el software de esquemático, por ejemplo) pero, que por diversas razones que afectan la fabricación (fenómenos de difusión principalmente), ese no terminará siendo el valor de efectivo (L_{eff}). Aportará al resto de defectos de fabricación que tendrán un impacto en el rendimiento último del sistema.

¹⁹En simultaneo y de forma implícita, se intenta además evaluar cuán confiables son los resultados obtenidos a partir de las ecuaciones que modelan el comportamiento de los transistores. Esto es, verificar si existe diferencia alguna entre los valores encontrados mediante simulación (considerados como referencia) y aquellos resultantes del cálculo analítico aproximado de las ecuaciones del modelo simplificado de los transistores. En el «Anexo α » se encuentran las ecuaciones y desarrollos a los que se hace referencia.



Tipo de simulación	#	Análisis	eje x	eje y	Variable de barrido	Escala eje x	Escala eje y	Objetivo
Estática (DC)	1	A	V_{GS}	I_D	l^*	lineal	lineal	Puntos estáticos de operación para valores puntuales de V_{GS}
	2	B	V_{GS}	I_D	l^*	lineal	lineal	Validación del comportamiento cuadrático de conducción del dispositivo frente a su entrada. Búsqueda de (L_{min})
		C	V_{GS}	I_D	l^*	lineal	log	Análisis de las características de conducción sub-umbral. Efecto de 2 ^{do} orden, estimación del voltaje umbral (V_{TH})
Dinámica (AC)	3	D	V_{DS}	I_D	V_{GS} y l^*	lineal	lineal	Familia de curvas más representativa del dispositivo en todo su rango de alimentación. Efecto de 2 ^{do} orden, comparación del efecto de modulación de canal (efecto λ)
	4	E	I_D	gm	l^*	lineal	lineal	Grupo de curvas indispensables para el diseño del amplificador. Facilitan la selección de la métrica fundamental del diseño de amplificadores MOSFET (g_m y g_m/I_D)
		F	I_D	gm	l^*	log	lineal	
	5	G	I_D	gm/I_D	l^*	lineal	lineal	de amplificadores MOSFET (g_m y g_m/I_D)
		H	I_D	gm/I_D	l^*	log	lineal	
	6	I	V_{GS}	gm/I_D	l^*	lineal	lineal	

* Longitud del canal de conducción ($L_{dibujada}$)

Tabla 3: Listado y características principales de las simulaciones a realizar sobre los dispositivos NMOS y PMOS de la tecnología del nodo.

fabricante en base a las mediciones de estos, para el nodo de fabricación elegido *C5*, 2016, «C5: 0.5 um Process Technology», 2021 y no a componentes o materiales «genéricos»²⁰.

Condiciones de contorno de simulación: Corners PVT

Al momento de configurar las diferentes simulaciones, resulta imprescindible definir las características de entorno de operación a las que se someterá a circuito integrado, esto es el Proceso, Voltaje y Temperatura: PVT (Process, Voltage, Temperature) por sus siglas en inglés.

- Para todas las simulaciones del trabajo el *proceso* viene definido por la caracterización del nodo de fabricación en el archivo de tecnología provisto por el fabricante.
- Se asumirá una *temperatura* de operación típica de 25°C.
- Se operará con un *voltaje* de alimentación de: $V_{DD} = 5V$.
- En aquellas oportunidades en las que sea necesario evaluar la variación de voltaje, se lo hará con barridos entre $V_{SS} = GND = 0V$ y $V_{DD} = 5V$ ²¹ (a menos que se indique de otra manera).

Para considerar que este, y todo otro diseño, cumple con las metas de diseño (definidas para nuestro caso en la Sección «Revisión de requerimientos y parámetros de

²⁰Puede referirse al «Anexo β », Sección «Valores extracción proceso C5 ON Semi» para una descripción detallada de cada uno de los valores capturados en el formato SPICE 3 «SPICE», s.f. para cada uno de los dispositivos fabricables: `C5_models.txt`

²¹O a la inversa y con valores negativos para el caso de los dispositivos PMOS: $V_{SS} = GND = 0V$ y $V_{DD} = -5V$.



operación»), las especificaciones para el sistema deben cumplirse siempre y para todas las combinaciones de: *Proceso, Tensión de alimentación, Temperatura y Corriente de referencia* a las que es esperado someter al circuito. La Tabla 4 resume los valores para cada una de estas variables.

Todas las simulaciones serán realizadas considerando estos puntos extremos de operación²², todos los requisitos de diseño deben ser alcanzados dentro de las condiciones que plantean las distintas combinaciones de PVT.

Variable	SS	TT	FF
Temperatura [°C]	125	65	0
Tensión alimentación (V_{DD}) [V]	4,5	5	5,5
Corriente de referencia (i_{ref}) [μ A]	95	100	105

Tabla 4: Corners de operación requeridos.

Un aspecto más que es preciso configurar, para lograr simulaciones que se adapten en mayor medida a la realidad, es la resolución con la que el simulador intentará realizar los incrementos de la variable independiente, sea esta tiempo, voltaje, corriente u otra. Por lo general, la resolución para cada paso de simulación será el rango total en 1000 partes iguales, así para el rango entre 0V y 5V el paso será de 0,005V (a menos que se indique de otra manera).

Topología de los elementos a simular

Las Figuras 6 y 48 muestran el conexionado al que serán sometidos los dispositivos fundamentales del nodo de fabricación para su análisis basado en las simulaciones propuestas en la Tabla 3.

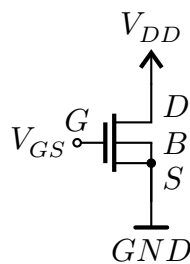


Figura 6: Conexionado para el estudio sobre el dispositivo NMOS.

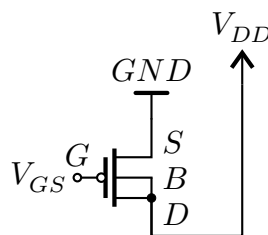


Figura 7: Conexionado para el estudio sobre el dispositivo PMOS.

²²Aunque solo serán presentados aquellos resultados pertenecientes al caso típico.



Como se puede observar en las figuras, se someten a las simulaciones planteadas a un MOSFET tipo N (y a uno tipo P) de 4 terminales: sumidero (*Drain*), fuente (*Source*), compuerta (*Gate*) y sustrato (*Bulk*) (que representarán a los transistores con los parámetros de caracterización de un transistor NMOS (y PMOS) fabricados para el nodo en cuestión) C5, 2016, «C5: 0.5 um Process Technology», 2021. Cada uno de los dispositivos se conecta como se indica en las figuras, donde se pueden observar tres particularidades:

- Se conecta a la alimentación
- Se conecta a un voltaje de control de compuerta
- Se cortocircuita la conexión de sustrato (*Bulk*)

Siempre que sea posible, las conexiones que requieran fuentes de alimentación serán efectuadas a fuentes controlables de forma externa, (siendo esto el equivalente a una variable de control en el archivo netlist del diseño) con la intención de simplificar el manejo de las simulaciones, haciendo todas las fuentes de alimentación potencialmente variables y controlables.

Para servir a modo de referencia en lo que sigue del presente informe, se anexa aquí el circuito esquemático equivalente de pequeña señal para un dispositivo NMOS genérico:

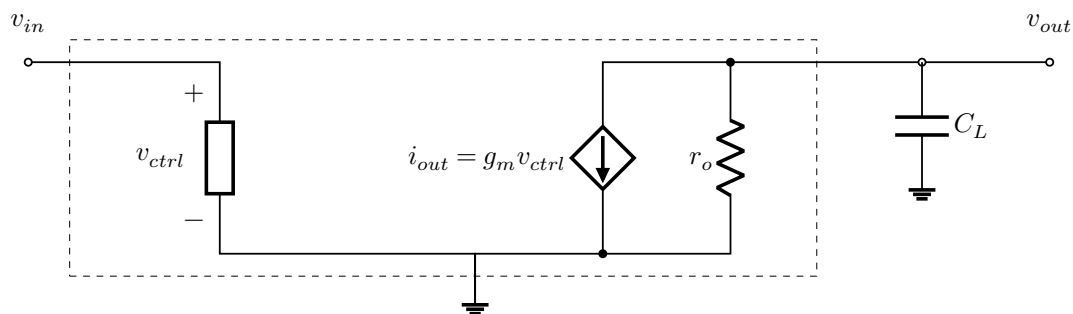


Figura 8: Circuito equivalente de pequeña señal para un transistor NMOS genérico.



Evaluando el punto de operación

En esta sección se trata la simulación A de la Tabla 3 (página 23).

Siguiendo la topología mostrada en la Figura 6 se evalúa el punto de operación, también conocido como «punto de trabajo» (o punto «Q»), para cada uno de los transistores (tipo N) definidos en la Tabla 2 para los valores de voltaje *Gate – Source*: $V_{GS} = 0\text{V}$ (Tabla 5), $V_{GS} = 2,5\text{V}$ (Tabla 6) y $V_{GS} = 5\text{V}$ (Tabla 7).

Esta simulación deja de manifiesto las características de funcionamiento **estático** de los dispositivos para los tres puntos de interés.

Descripción	Transistor	I_D [pA]	V_{TH} [V]	V_{Dsat} [mV]	g_m [pS]
MOS «canal corto»	N_L_0p6	5.01	0,674	37,0	0,0868
MOS «canal largo 3»	N_L_3p0	5.01	0,690	39,0	0,0470
MOS «canal largo 6»	N_L_6p0	5.01	0,671	39,6	0,0586

Tabla 5: Puntos de operación para los dispositivos NMOS. $V_{DS} = 5\text{V}$, $V_{GS} = 0\text{V}$.

Descripción	Transistor	I_D [mA]	V_{TH} [V]	V_{Dsat} [V]	g_m [mS]
MOS «canal corto»	N_L_0p6	0,409	0,674	0,751	0,290
MOS «canal largo 3»	N_L_3p0	0,652	0,690	1,23	0,642
MOS «canal largo 6»	N_L_6p0	0,702	0,679	1,37	0,716

Tabla 6: Puntos de operación para los dispositivos NMOS. $V_{DS} = 5\text{V}$, $V_{GS} = 2,5\text{V}$.

Descripción	Transistor	I_D [mA]	V_{TH} [V]	V_{Dsat} [V]	g_m [mS]
MOS «canal corto»	N_L_0p6	1,14	0,674	1,44	0,288
MOS «canal largo 3»	N_L_3p0	2,78	0,690	2,58	0,983
MOS «canal largo 6»	N_L_6p0	3,27	0,679	3,09	1,25

Tabla 7: Puntos de operación para los dispositivos NMOS. $V_{DS} = 5\text{V}$, $V_{GS} = 5\text{V}$.

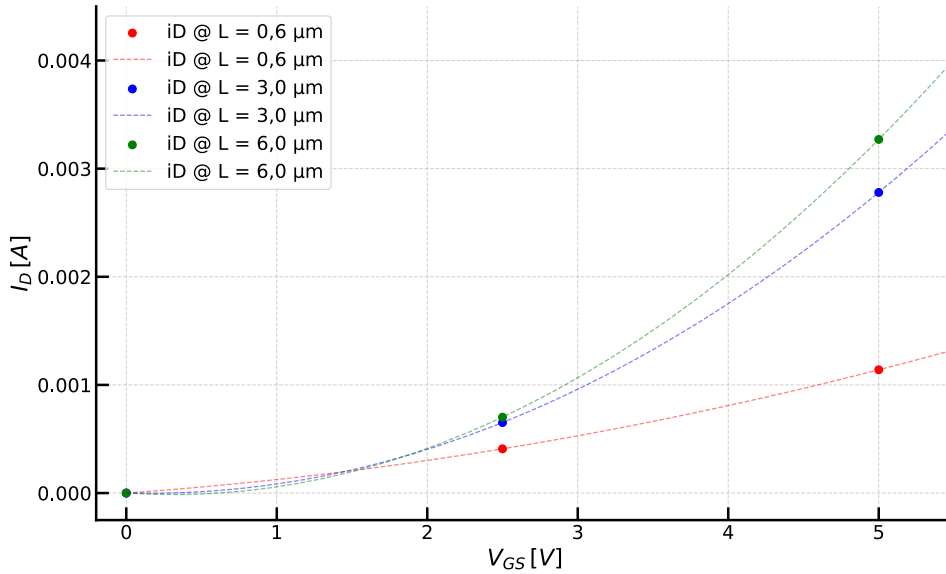


Figura 9: Magnitud de I_D alcanzada por los transistores de la Tabla 2 en función del voltaje en *Gate*. Los trazos punteados representan una aproximación por regresión cuadrática para los puntos observados experimentalmente.

Evaluando la curva I_D versus V_{GS}

En esta sección se trata la simulaciones B y C de la Tabla 3 (página 23).

Este grupo de curvas analizan la respuesta principal del dispositivo en función de su magnitud de control y suelen ser denominadas «curvas de entrada».

Una de las características a verificar en este análisis es la correlación entre las curvas teóricas cuadráticas y aquellas del comportamiento del dispositivo medido experimentalmente.

Generalmente, al analizar la relación entre la corriente principal del dispositivo (I_D) y su voltaje de control (V_{GS}), se asume que el umbral de conducción (punto donde se considera que el dispositivo está encendido y puede entrar en conducción) está perfectamente definido y delimita dos condiciones bien marcadas:

- Para voltajes menores al de umbral, no existe conducción ($I_D|_{V_{GS} < V_{TH}} = 0 \text{ A}$).
- Para un voltaje igual o apenas superior al de umbral, comienza la conducción ($I_D|_{V_{GS} \geq V_{TH}} > 0 \text{ A}$).

Todo esto ocurriendo de manera abrupta en la frontera del supuesto valor de tensión umbral del dispositivo²³.

El comportamiento real del dispositivo, dista de aquel descrito anteriormente. Por esto, se hace preciso realizar un estudio más detallado de lo que ocurre, en la región del

²³La explicación hace referencia al enfoque teórico con el que se suele modelar en una primera instancia las condiciones bajo las que se establece la conducción en el dispositivo, intentando así simplificar el análisis del mismo. Este es uno de los «efectos de segundo orden», que modela con mucha más precisión al dispositivo, conocido como: «**Conducción sub-umbral**», y ocurre por la existencia de una capa de inversión «débil» que permite una pequeña circulación de corriente entre *Drain* y *Source*.



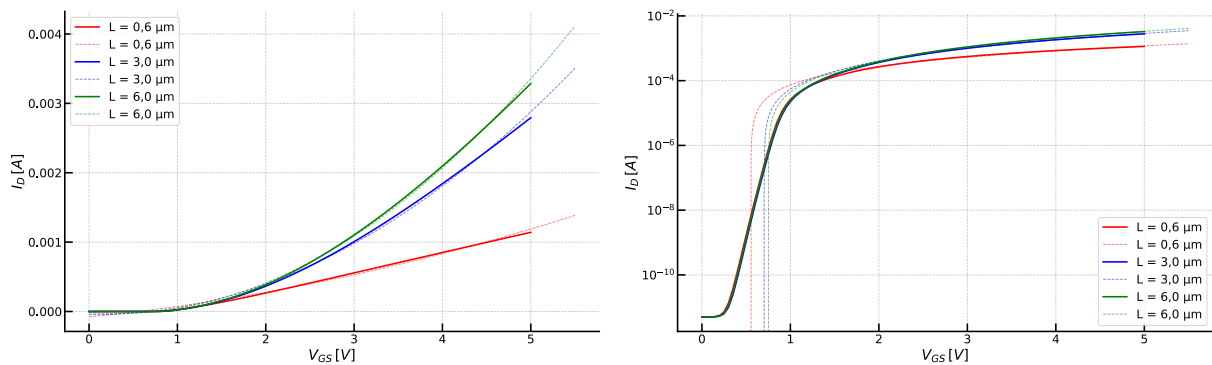
voltaje umbral, con las magnitudes involucradas.

El motivo por el que esta simulación es útil, y es especialmente importante para nuestro análisis previo al diseño del sistema, es porque nos permitirá **conocer las características de control de la conducción del dispositivo**, incluyendo la posibilidad de **conocer una estimación del valor de voltaje umbral (V_{TH}) para estos**.

Existen varios métodos para estimar el valor que puede ser considerado el voltaje umbral²⁴. En el trabajo utilizaremos, en cambio, la información puesta a disposición por el fabricante en el archivo de tecnología, para los modelos de ambos tipos de transistores²⁵. Los valores entregados por el fabricante se resumen en la siguiente tabla:

MOS	Voltaje Umbral (V_{TH}) [V]
tipo N	0.6696061
tipo P	-0.9214347

Tabla 8: Valores de tensión umbral (V_{TH}) para los transistores de la tecnología (caracterizados por el fabricante).



(a) Escala lineal en ambos ejes.

(b) Escala logarítmica para I_D , lineal para V_{GS} .

Figura 10: I_D vs. V_{GS} para transistores NMOS con diferente largo de canal.

Del análisis gráfico de la Figura 10a se verifica, por comparación entre las curvas para cada una de las relaciones de aspecto de los transistores, que la función de transferencia de aquellos transistores con «canal largo» presentan un comportamiento cuadrático (más cercano al comportamiento analítico teórico del dispositivo), mientras que aquel con «canal corto» presenta uno más lineal, no cuadrático²⁶.

²⁴Un ejemplo es el método propuesto por Razavi Razavi, 2017, página 25 que puede ser observado con más detalle en el «Anexo α » en el apartado: «Estimación de voltaje umbral (V_{TH}) para dispositivos tipo MOSFET».

²⁵Los valores pueden ser consultados en el «Anexo β » en el apartado: «Valores extracción proceso C5 ON Semi» bajo el nombre de V_{TH0} para ambos dispositivos junto al resto de los parámetros que componen a los modelos. También puede consultar las características más importantes en la información de marketing de la empresa para el nodo: <https://www.onsemi.com/products/product-taxonomy/custom-foundry-services/c5-process-technology>

²⁶A modo comparativo, cada una de las curvas fue aproximada mediante una regresión cuadrática y



La Figura 10b representa la misma información mostrada en la Figura 10a pero con su eje vertical representado mediante escala logarítmica (con la intención de magnificar las pequeñas variaciones en la curva y tratar de inferir la tendencia de variación de las diversas regiones del dispositivo). Del análisis se pueden distinguir dos regiones particulares en la zona alrededor de la tensión umbral (V_{TH}). Ampliando la definición anterior respecto al abrupto cambio en el estado de conducción, añadimos a la descripción de las zonas de conducción:

- $V_{GS} < V_{TH}$: *región de inversión débil del canal*
- $V_{GS} \geq V_{TH}$: *región de inversión fuerte del canal*

Se puede verificar que la **región de inversión débil del canal** es la primera zona de conducción del dispositivo, el MOS permanece en conducción (encendido) en esta región. Además se observa que en este tramo el desarrollo de la corriente es lineal, indicando de esta manera (por la escala logarítmica del eje vertical) que **la corriente sub-umbral sigue un comportamiento exponencial respecto a V_{GS}** .

La **región de inversión fuerte del canal** es la segunda zona de conducción del dispositivo y muestra un **comportamiento cuadrático con respecto a V_{GS}** .

Finalmente, comparando entre las curvas desarrolladas por los diferentes dispositivos (en función del largo de su canal), se verifica un leve desplazamiento hacia la izquierda (V_{GS} mayor) en la respuesta del MOS con «canal corto», esto muestra que **para longitudes menores de canal la tensión sub-umbral es menor, pudiéndose entrar en conducción para un menor valor de tensión compuerta-fuente ($Gate - Source$) (V_{GS})²⁷**.

En resumen, se observa que un dispositivo de «canal corto» presenta las siguientes diferencias frente a su contraparte de «canal largo»:

- Saturación de velocidad
 - I_D tiene dependencia lineal con V_{GS}
 - I_D no depende de L (o lo hace muy levemente): casi se pierde el control sobre el área ya que se rompe la proporcionalidad $I_D \propto \frac{W}{L}$
- Degradación de movilidad
- Comportamiento lineal: g_m satura a voltajes de overdrive V_{ov} mayores

Evaluando la curva I_D versus V_{DS} con barrido paramétrico de V_{GS}

En esta sección se trata la simulación D de la Tabla 3 (página 23).

Las diferentes gráficas de la Figura 11, muestran las denominadas «curvas fundamentales» (o «curvas de salida») de los dispositivos NMOS bajo análisis, ya que denotan el comportamiento de las dos magnitudes más importantes para un dispositivos de estas

puede observarse representada por la línea de trazo del mismo color que la curva medida; de esto se verifica la evidente diferencia en cuanto al comportamiento para transistores cuyo canal se ve reducido.

²⁷Del análisis teórico de la Nota a pie de página 24, sabemos que mediante una aproximación geométrica sobre la curva que forman las regiones de inversión débil y fuerte puede obtenerse un valor aproximado para la tensión umbral del dispositivo (V_{TH}).



características, aquellas dos que definen directamente su función de transferencia: I_D en relación a V_{DS} .

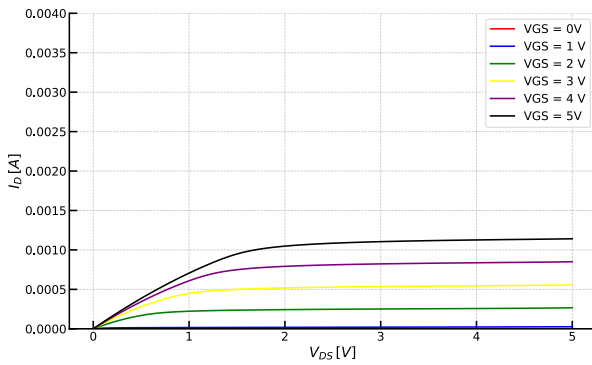
Se amplía el análisis generando la familia de curvas, mediante un barrido del valor del voltaje de control del dispositivo:

$$V_{SS} \leq V_{GS} \leq V_{DD} \quad (\text{Ecu. 3})$$

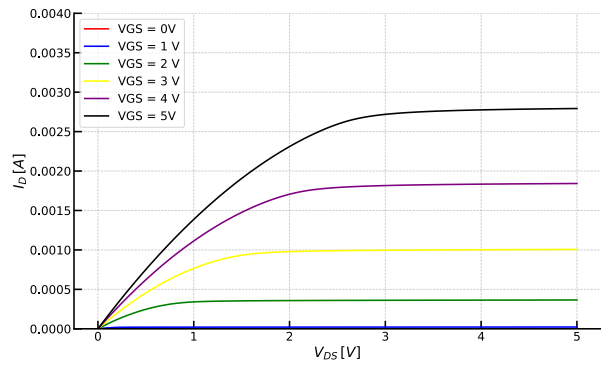
Que para nuestros valores de operación queda:

$$0V \leq V_{GS} \leq 5V \quad (\text{Ecu. 4})$$

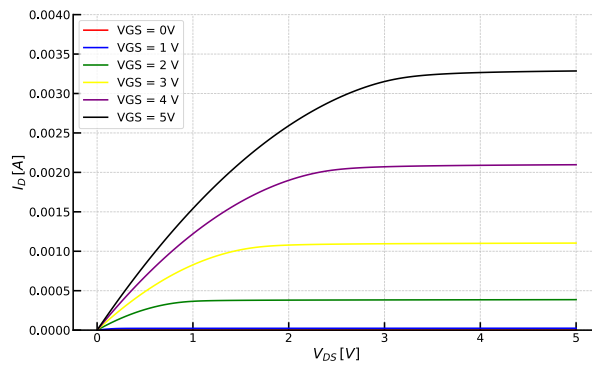
Como se verá a continuación, el análisis de estas curvas permite incorporar uno de los fenómenos físicos de segundo orden al modelado de los dispositivos bajo análisis, más específicamente la introducción del concepto de «modulación de longitud de canal»²⁸.



(a) NMOS de «canal corto» $L = 0,6 \mu\text{m}$.



(b) NMOS de «canal largo» $L = 3 \mu\text{m}$.



(c) NMOS de «canal largo» $L = 6 \mu\text{m}$.

Figura 11: I_D vs. V_{DS} con barrido de V_{GS} para transistores NMOS con diferentes longitudes de canal (L). Escala lineal en ambos ejes.

Se puede observar como, para un mismo dispositivo, la pendiente de corriente de saturación de la curva para los diferentes niveles de I_D (denominada λ) se hace cada vez más evidente mientras mayor sea el voltaje aplicado entre sumidero (*Drain*) y fuente

²⁸Coloquialmente conocido como «efecto lambda» (λ).



(*Source*). Se verifica, además, que también **existe una diferencia para λ según sea el transistor de «canal corto» o «canal largo», siendo que el de «canal corto» presenta una mayor pendiente (mayor λ).**

Del análisis anterior se desprende que **un transistor con «canal largo» presenta un comportamiento más estable, una menor variación en su corriente de sumidero (*Drain*) (I_D) que un transistor con una menor longitud de canal para una misma variación en su tensión sumidero-fuente (*Drain – Source* V_{DS}).**

Otro análisis interesante surge de la comparativa de las curvas características de los dispositivos, contrastando los valores de corriente de sumidero (*Drain*) para el rango de tensión compuerta-fuente (*Gate – Source*) para todos los largos de canal. Las imágenes de la Figura 12 hacen este enunciado visible. Es especialmente notorio como las curvas de los distintos transistores reflejan los diferentes valores de λ de cada dispositivo.

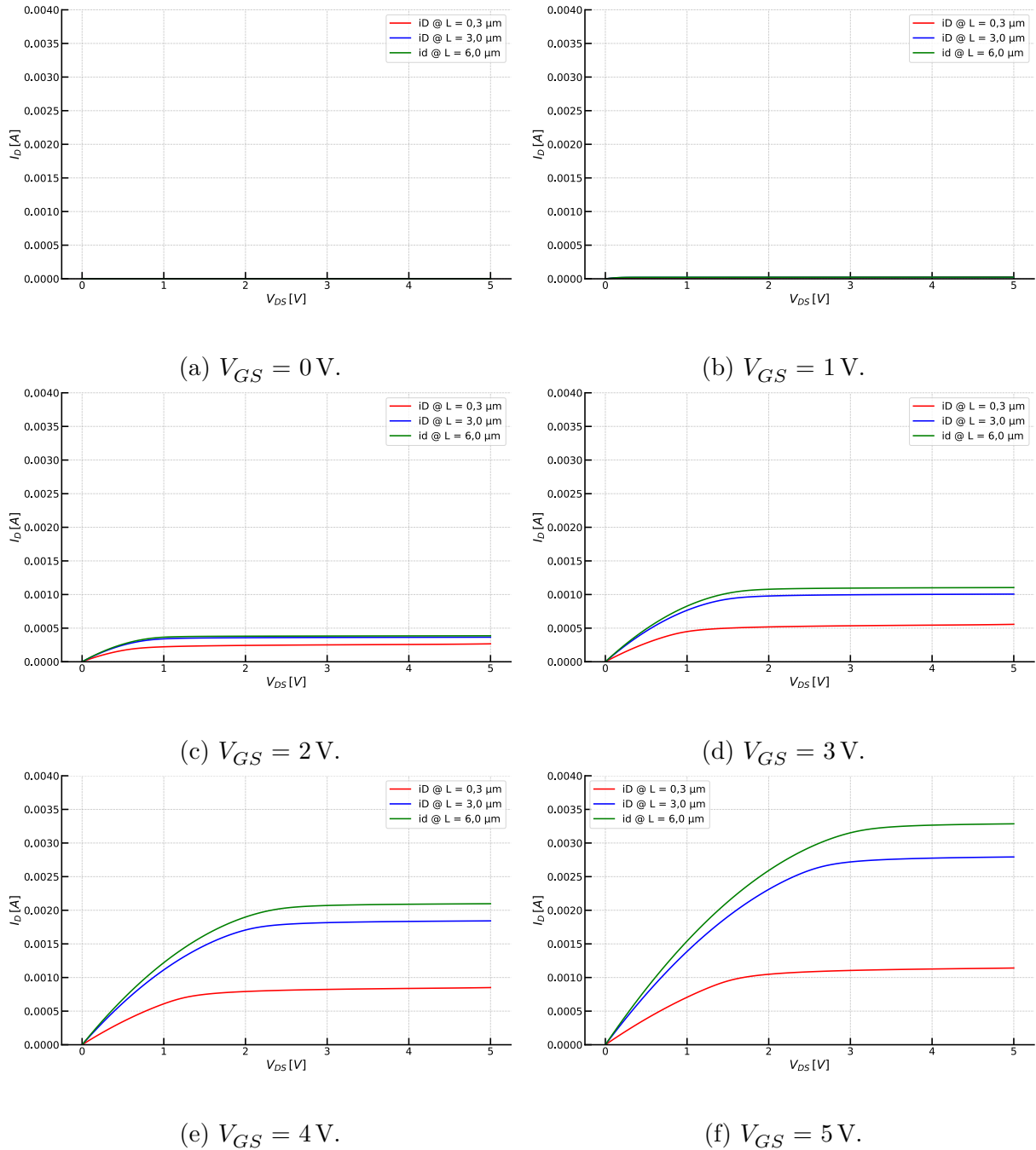


Figura 12: I_D vs. V_{DS} para diferentes valores de V_{GS} para los 3 dispositivos bajo análisis.

Evaluando la curva g_m versus I_D

En esta sección se tratan las simulaciones E y F de la Tabla 3 (página 23).

El análisis de pequeña señal del circuito, con la intención de linealizar el comportamiento del dispositivo, nos lleva a la aparición de la magnitud de proporcionalidad entre la señal de control del dispositivo y su respuesta de salida, la transconductancia²⁹:

²⁹La semántica de la palabra explica su comportamiento: **-conductancia** por la relación entre corriente y voltaje (recíproco de la resistencia) y **Trans-** por la característica de transferencia para la que se observa el fenómeno, entre la entrada y salida del dispositivo «Transconductancia», s.f.



$$g_{dispositivo} = \frac{\Delta I_{salida}}{\Delta V_{control}} \Rightarrow g_m = \frac{\Delta I_D}{\Delta V_{GS}} \quad (\text{Ecu. 5})$$

En cierta forma, g_m puede ser visto como una etapa de conversión que representa cuán bien puede el dispositivo llevar a cabo la transferencia del voltaje de entrada a la corriente de salida Razavi, 2017. También hacemos referencia al parámetro como un indicador de la sensibilidad del dispositivo, es decir con que facilidad se transmiten y verifican en la señal de salida las pequeñas variaciones de la señal de entrada.

Entonces, según el análisis de pequeña señal, donde se hace referencia a la *variación* de pequeñas señales, podemos representar la Ecuación 5 como:

$$g_m = \left. \frac{i_D}{v_{GS}} \right|_{V_{DS} \approx cte} \quad (\text{Ecu. 6})$$

De manera analítica y, formalizando la definición, ya para toda región de trabajo del transistor, se puede representar como:

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (\text{Ecu. 7})$$

Lo esperable es una proporcionalidad directa, para un gran valor de g_m se espera una gran respuesta en la señal de salida para un cambio pequeño de la señal de entrada.

En la región de saturación:

$$g_{out} = \frac{1}{r_o} \quad (\text{Ecu. 8})$$

$$r_o = \frac{1}{g_m} = \left(\frac{\Delta I_{out}}{\Delta V_{out}} \right)^{-1} \approx \frac{V_A}{I_Q} = \frac{1}{\lambda I_Q} \quad (\text{Ecu. 9})$$

Donde I_Q es la corriente de bias del dispositivo (o el punto de bias/trabajo).

El análisis de esta magnitud justifica su importancia en ser el parámetro que determina de forma directamente proporcional las características de velocidad de respuesta en frecuencia del dispositivo (Producto Ganancia - Ancho de banda, del inglés: «GBW (Gain-Bandwidth product)»). El desarrollo siguiente deja expresado la proporcionalidad directa de este comportamiento:

$$|A_v| = \frac{v_{out}}{v_{in}} = g_m r_o \quad (\text{Ecu. 10})$$

$$\tau = r_o C_L \quad (\text{Ecu. 11})$$

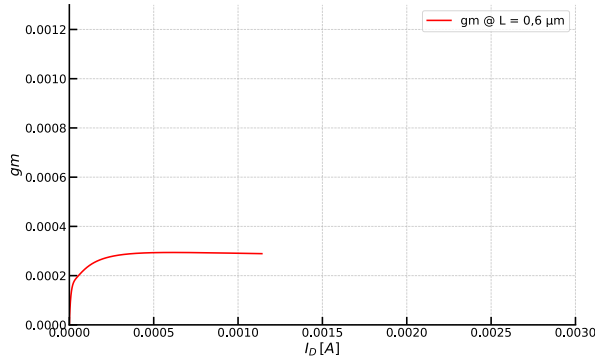
$$BW = \frac{\omega_p}{2\pi} = \frac{1}{2\pi\tau} = \frac{1}{2\pi r_o C_L} \quad (\text{Ecu. 12})$$

$$GBW = |A_v| \cdot BW = \frac{g_m}{2\pi C_L} \quad (\text{Ecu. 13})$$

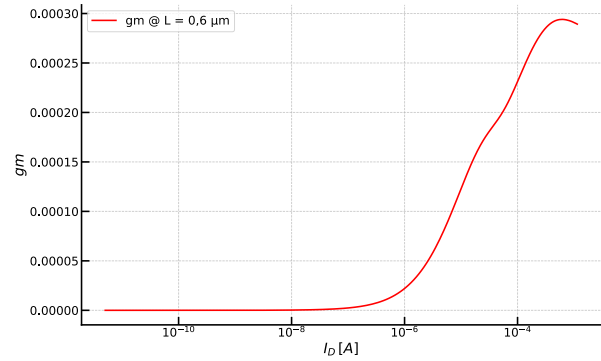
Donde la Ecuación 10 es conocida como: «ganancia intrínseca» del transistor siendo este uno de los principales parámetros para los dispositivos tipo MOSFET.



A continuación, se encuentran las Figuras 13, 14 y 15 que ponen de manifiesto el comportamiento en simulación de los dispositivos NMOS para los 3 largos de canal diferentes.

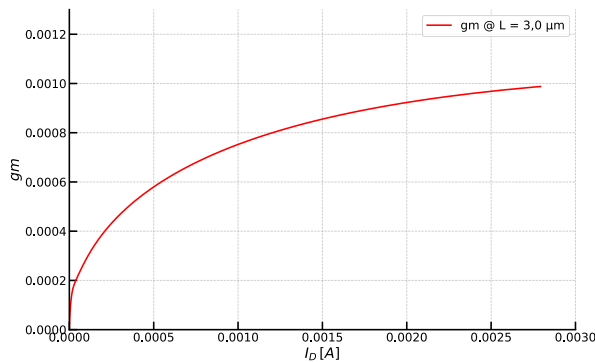


(a) Escala lineal en ambos ejes.

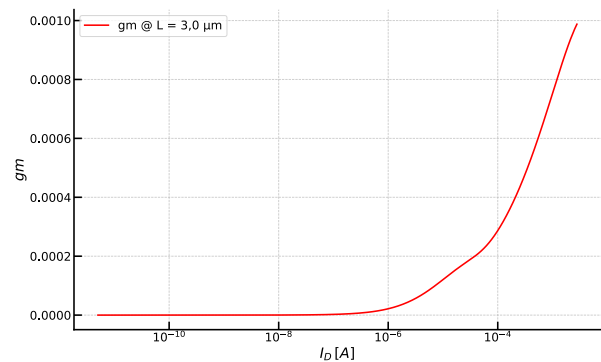


(b) Escala logarítmica para I_D , lineal para g_m .

Figura 13: g_m vs. I_D para transistores NMOS con largo de canal $L = 0,6 \mu\text{m}$.

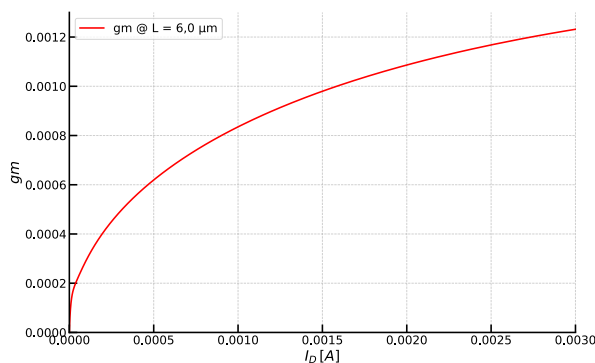


(a) Escala lineal en ambos ejes.

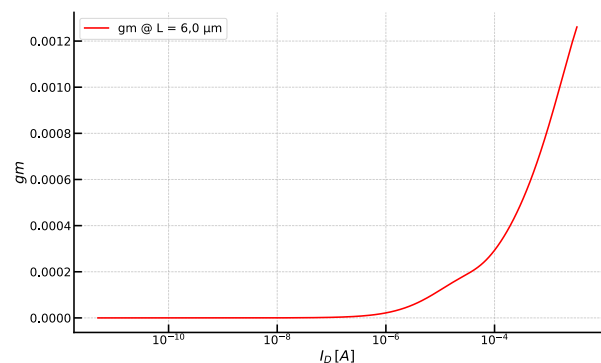


(b) Escala logarítmica para I_D , lineal para g_m .

Figura 14: g_m vs. I_D para transistores NMOS con largo de canal $L = 3,0 \mu\text{m}$.



(a) Escala lineal en ambos ejes.



(b) Escala logarítmica para I_D , lineal para g_m .

Figura 15: g_m vs. I_D para transistores NMOS con largo de canal $L = 6,0 \mu\text{m}$.



Evaluando la curva g_m/I_D versus I_D

En esta sección se tratan las simulaciones G y H de la Tabla 3 (página 23).

La información que se puede obtener de estas curvas y simulaciones da origen a la metodología actual de diseño de sistemas integrados. Principalmente configurando los dispositivos para el uso de los modelos de la región de inversión débil. Esta metodología, además, es la única que presenta una solución única que funciona como modelo para todas las regiones de operación del transistor MOS.

Esta metodología, planteada entre otros en Silveira et al., 1996 o Possani et al., 2013, es la responsable de tratar de lograr un equilibrio en el diseño de transistores con un consumo moderado y con una buena respuesta en frecuencia³⁰.

La ventaja de este método para el diseño de circuitos integrados analógicos es que de sus ecuaciones de modelado se obtiene directamente, además, la capacidad de determinar el tamaño de los transistores, dando al diseñador una guía clara y consistente de trabajo a la hora de estimar el sistema y sus características, no es necesario evaluar modelos eléctricos complejos como en las metodologías tradicionales de diseño y, por la naturaleza de las dimensiones normalizadas con las que trabaja esta técnica, puede ser fácilmente adaptada para el diseño en otras tecnologías de fabricación³¹ Possani et al., 2013.

Como se definió en la Ecuación 7, la ecuación para g_m puede ser representada como:

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (\text{Ecu. 7})$$

Si nos basamos en las ecuaciones del modelo cuadrático de los dispositivos NMOS tenemos:

$$I_D = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{GS} - V_{TH})^2 = \frac{\mu_n C_{ox}}{2} \frac{W}{L} V_{ov}^2 \quad (\text{Ecu. 14})$$

Entonces, derivando la Ecuación 14 con respecto a V_{GS} tenemos:

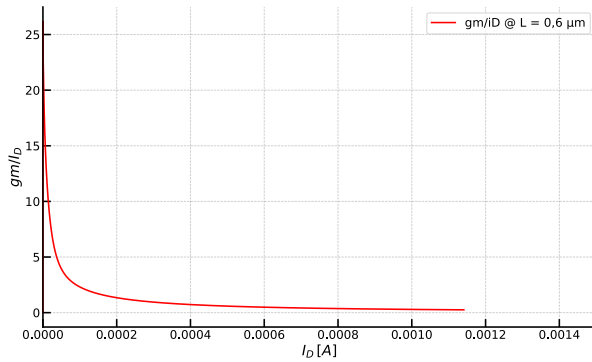
$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \mu_n C_{ox} \frac{W}{L} V_{ov} \quad (\text{Ecu. 15})$$

Finalmente, dividimos Ecuación 15 por Ecuación 14 para obtener:

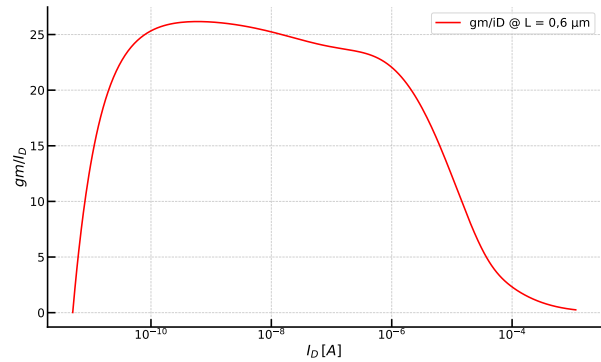
$$\frac{g_m}{I_D} = \frac{2}{V_{GS} - V_{TH}} = \frac{2}{V_{ov}} \quad (\text{Ecu. 16})$$

³⁰Otra metodología, más antigua, de diseño que puede mencionarse (como contraria a nuestro intento de diseñar con bajo consumo) sería la optimización del funcionamiento para la región de inversión fuerte, donde el parámetro clave es el voltaje de overdrive ($V_{ov} = V_{GS} - V_{TH}$)

³¹En la Sección «**Transconductancia MOS**» se encuentran más detalles de las implicancias de desarrollar con este método.

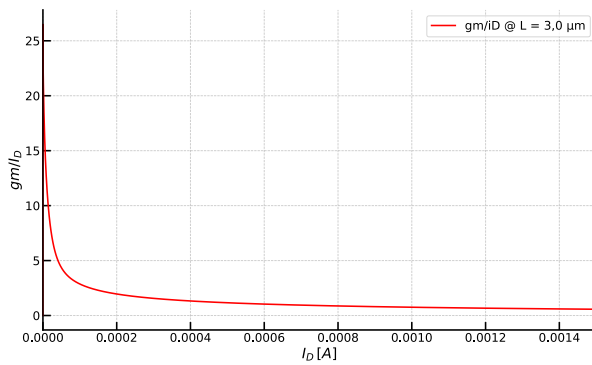


(a) Escala lineal en ambos ejes.

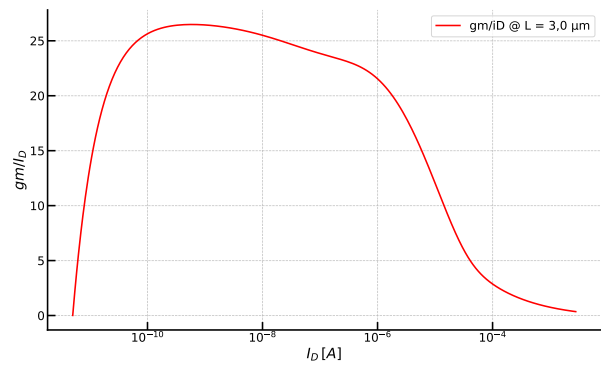


(b) Escala logarítmica para I_D , lineal para g_m/I_D .

Figura 16: g_m/I_D vs. I_D para transistores NMOS con largo de canal $L = 0,6\mu\text{m}$.

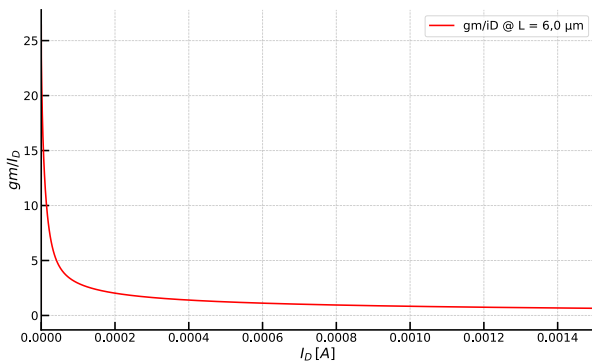


(a) Escala lineal en ambos ejes.

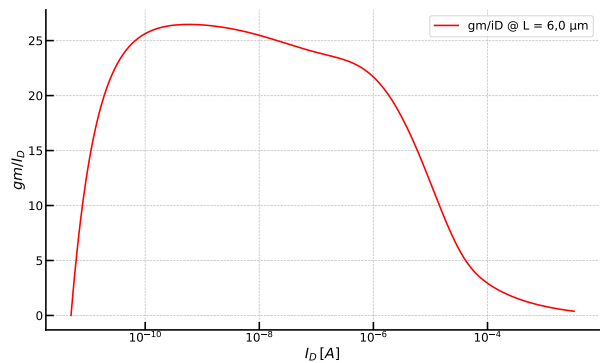


(b) Escala logarítmica para I_D , lineal para g_m/I_D .

Figura 17: g_m/I_D vs. I_D para transistores NMOS con largo de canal $L = 3,0\mu\text{m}$.



(a) Escala lineal en ambos ejes.



(b) Escala logarítmica para I_D , lineal para g_m/I_D .

Figura 18: g_m/I_D vs. I_D para transistores NMOS con largo de canal $L = 6,0\mu\text{m}$.



Evaluando la curva g_m/I_D versus V_{GS}

En esta sección se trata la simulación I de la Tabla 3 (página 23).

g_m es un parámetro fundamental en el diseño analógico de todo MOSFET. Representa la respuesta en la magnitud de salida (corriente, denominada como I_D en nuestro caso) ante las variaciones de la entrada o señal de control (tensión, denominada como V_{GS})³².

En la Figura 19 se puede evaluar los resultados de simular el parámetro derivado: g_m/I_D con respecto al voltaje de control de los dispositivos: V_{GS} .

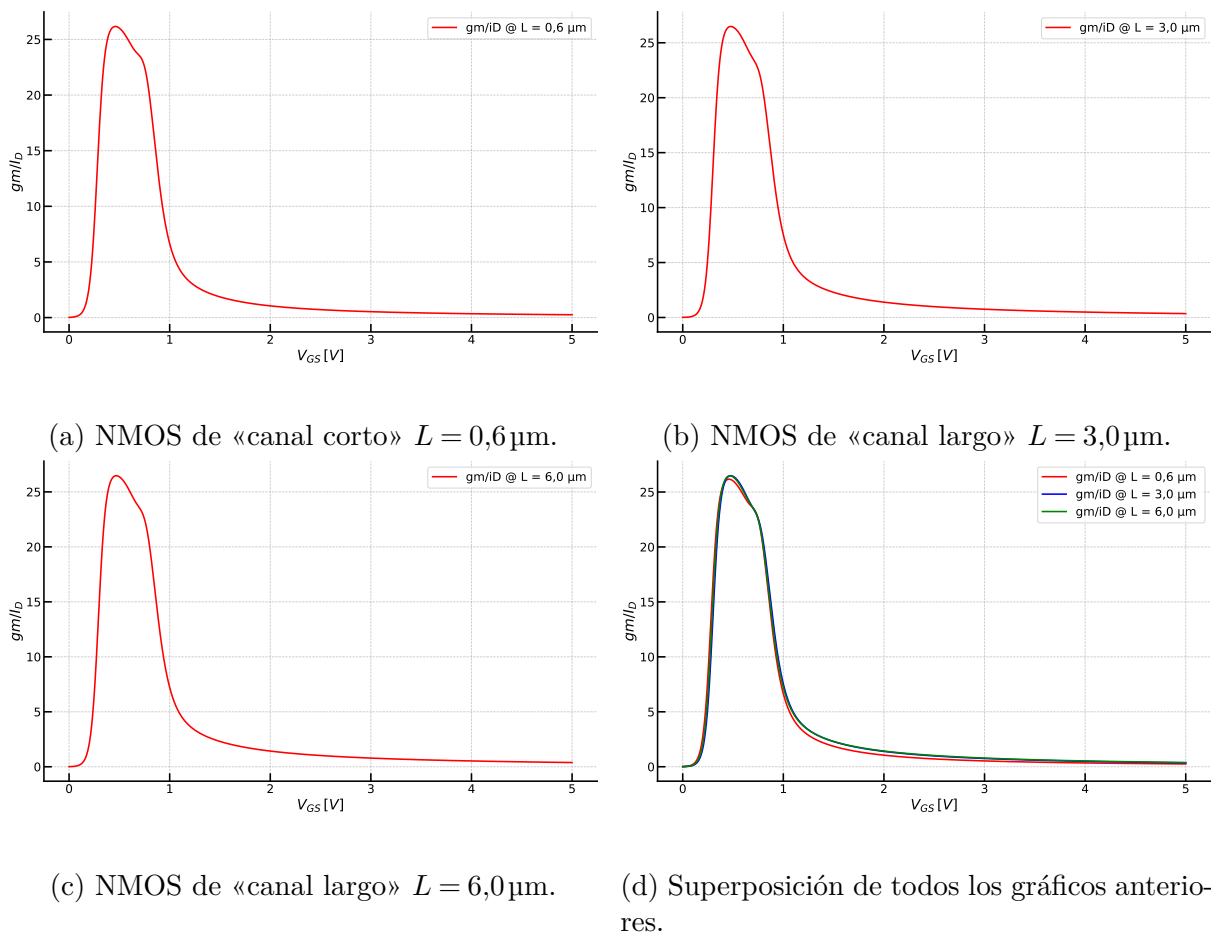


Figura 19: Evaluación del pico de g_m/I_D en función de V_{GS} para transistores NMOS con diferentes largos de canal (L).

Como se puede observar en la Figura 19 la diferencia entre las curvas para todos los dispositivos es prácticamente nula. Este resultado es especialmente visible en la Figura 19d donde todas las figuras anteriores se encuentran superpuestas. Este efecto prácticamente «normaliza» el comportamiento de todo transistor, por lo que es una ventaja impuesta por el método de g_m/I_D , permite trasladar el análisis realizado para un dispositivo o sistema a cualquier otro.

Lo destacable de esta simulación es que para lograr una gran eficiencia del transistor, será preciso configurar a los dispositivos en la región donde se observa el pico en las

³²En la sub-sección «**Transconductancia MOS**» del «**Anexo α** » se encuentra un análisis y desarrollo detallados del origen y el modelado de g_m .



curvas: $V_{GS(\text{máx})} \approx 0,5\text{V}$, aunque se cuenta con un rango de trabajo que oscila entre: $V_{GS(\text{inicio})} \approx 0,2\text{V}$ y $V_{GS(\text{fin})} \approx 0,9\text{V}$.

Diagrama en bloques del dispositivo

Finalizado el análisis de las características de los dispositivos y los materiales puestos a disposición por el proceso de fabricación, comenzamos con el diseño del amplificador.

La Figura 20 muestra de forma sencilla todas las partes involucradas en el presente trabajo. Cada una de estas será diseñada a continuación, para así ir completando todas las etapas necesarias que componen el dispositivo final.

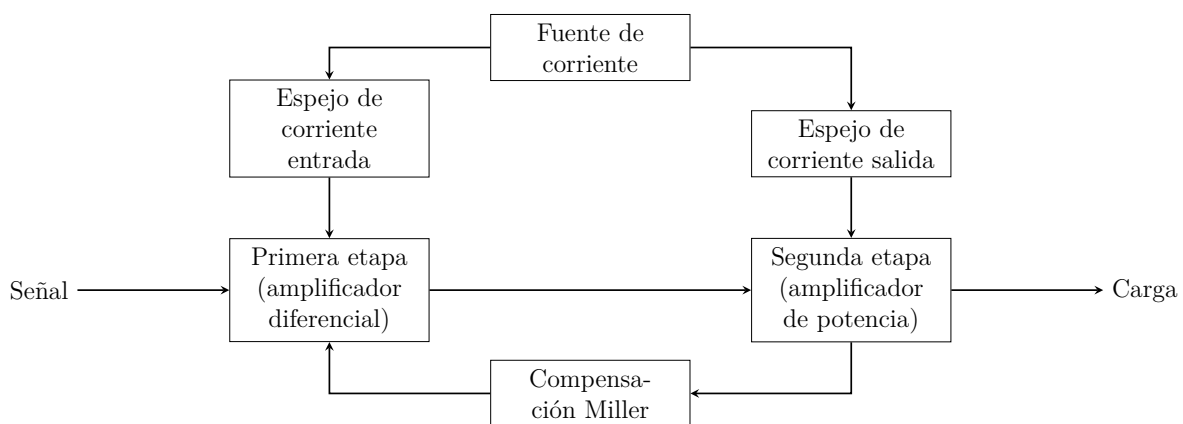


Figura 20: Diagrama en bloques del amplificador.

Descripción de cada una de las partes

De la Figura 20 se podría hacer una generalización de alto nivel, distinguiendo dos etapas amplificadoras, una etapa de realimentación entre ambas y una etapa de polarización del sistema, a saber³³:

- **Etapas de entrada para la señal a amplificar:** primera etapa amplificadora o etapa amplificadora diferencial. Por tratarse de tecnología MOSFET la entrada diferencial presentará la ventaja de precisar una muy baja corriente de polarización de entrada, debido a una muy elevada impedancia de entrada a baja frecuencia. Sus desventajas serán, sin embargo, una menor magnitud de ganancia y una mayor tensión de offset de salida.
- **Etapas de salida de la señal ya amplificada:** segunda etapa o etapa de potencia. Debido a la baja ganancia comparativa que presenta la tecnología, es que se hacen precisas múltiples etapas de amplificación y a esto se debe la presencia de una segunda etapa de amplificación.
- **Etapas de realimentación:** compensación Miller entre la primera y segunda etapa de amplificación. Por las necesidades previas en cuanto a la magnitud de la amplificación que el dispositivo debe ser capaz de entregar y, por ende, la necesidad de

³³Todas las ventajas y desventajas se plantean frente a los resultados teóricos máximos para la tecnología equivalente en transistores bipolares.



dos etapas de amplificación, es que se hace precisa la inclusión de una etapa estabilizadora en frecuencia, de realimentación entre las dos etapas de amplificación. De esto será responsable la etapa de compensación tipo Miller.

- **Etapas de polarización del punto de trabajo:** Fuente y espejos de corriente. Para configurar a los transistores que componen ambas etapas de amplificación en su punto de trabajo óptimo, se hace preciso inducir por ellos una corriente de pre-polarización. Esta es la función de las fuentes de corriente incluidas en el diseño.

Flujo de diseño analógico

Realizando el presente trabajo, se seguirá un método de diseño típico para el diseño de electrónica analógica en circuitos integrados:

1. Creación de esquemático
2. Simulación de esquemático
3. Layout del diseño
4. Verificación y solución de DRC (Design Rule Check)
5. Verificación y solución de NCC (Network Consistency Check)
6. Revisión de ERC (Electric Rules Check)
7. Simulación del layout

Definición de jerarquías

Es de especial importancia para cualquier tipo de diseño, analógico, digital o mixto, la separación lógica o el agrupamiento de aquellas partes que cuenten con cierta similaridad entre sí. No necesariamente su definición tiene implicancias en el desarrollo físico, sino que es más bien una forma diferente de presentar, diagramar o conectar un diseño.

La división en unidades más pequeñas suele traer aparejado un mayor control y simplicidad a la hora de definir, diseñar y trabajar sobre estas. Por lo general, el criterio utilizado es la similitud en cuanto a funcionamiento de los diferentes componentes. En nuestro caso las jerarquías serán (de más general a más particular):

- **Top-level:** Es la mayor jerarquía del diseño. Posee el área máxima, tiene definidos los puertos de entrada, salida y alimentación. Posee todas las características del diseño.
- **Block-level:** Nivel jerárquico intermedio. Podría considerarse en este nivel a los bloques lógicos que componen el diagrama de la Figura 20. Son unidades funcionales en sí mismas pero, por separado, cada uno de ellos solo posee una característica del diseño.
- **Sub-block-level:** Menor nivel jerárquico. Componentes atómicos que dan origen a la tecnología con la que se elabora el diseño. Poseen las características de los bloques de construcción fundamentales de la tecnología.



Creación de símbolos

Un símbolo es una representación visual que condensa un elemento o un conjunto de ellos, de manera lógica, utilizado generalmente para simplificar su instanciación desde un nivel de mayor jerarquía. Es una manera de colapsar en un solo elemento otras estructuras, que pueden tener diferentes niveles de complejidad (o incluso ser a su vez un conjunto de símbolos), del diseño.

Permite generar agrupamientos por tipo, función o como un simple agrupamiento lógico que nos otorgue mayor comodidad a la hora de diseñar o simular el comportamiento de una parte del sistema (ver Figura 21).

En nuestro caso, crearemos dos tipos de símbolos:

- Aquellos dedicados a agrupar los diferentes «sub-sistemas» del amplificador
- Aquel dedicado a simbolizar al amplificador en su totalidad

Cabe aclarar que estas divisiones son lógicas y nos ayudan a simplificar y ampliar la definición de cualquier diseño para lograr un sistema de mayor complejidad, partiendo de bloques de construcción más básicos.

Para crear el símbolo será necesario primero realizar un bosquejo general de nuestro esquemático para luego realizar los siguientes pasos en el programa de layout (Electric en nuestro caso):

1. **Crear Símbolo:** View → Make Icon View
2. En el panel izquierdo ir a Explorer y **abrir el símbolo:** nombre_cellic
3. Aquí se podrá **editar la forma del símbolo** (desde la pestaña de Components) junto al formato y ubicación de sus pines de conexión ³⁴

³⁴Este paso es completamente opcional y no tiene ningún tipo de impacto funcional pero simplifica saber que función cumple el bloque/símbolo en cuestión por su icono.

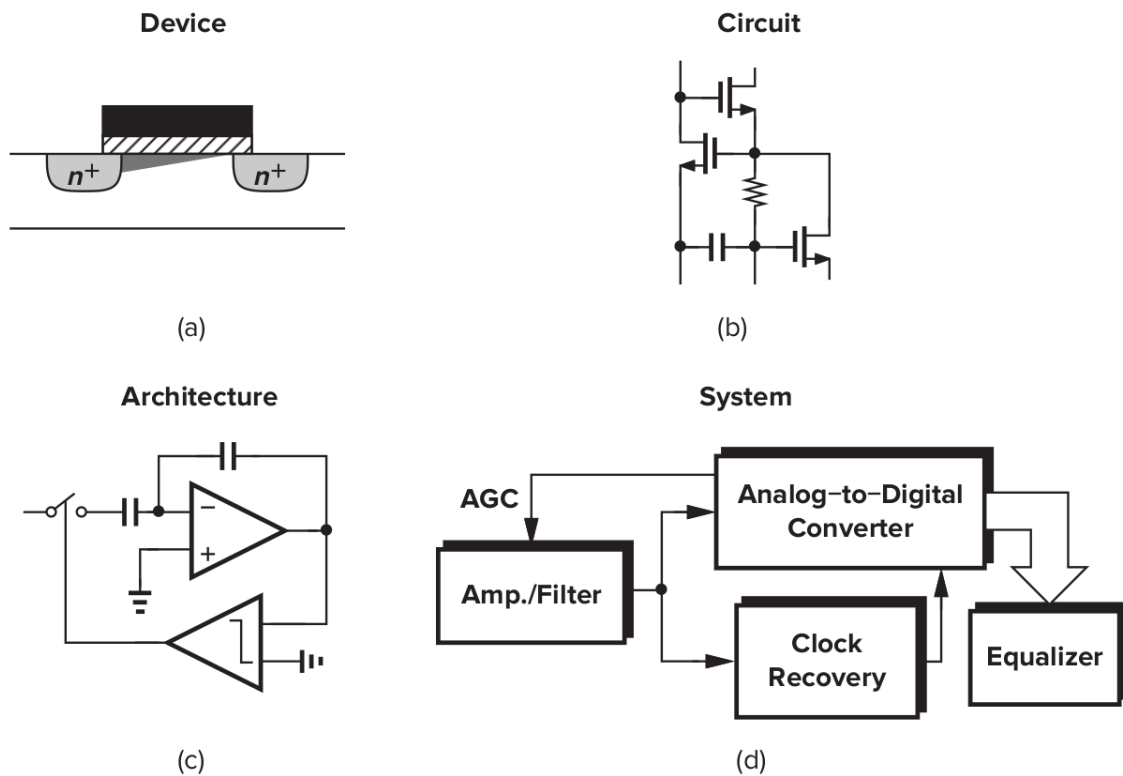


Figure 1.5 Abstraction levels in circuit design: (a) device level, (b) circuit level, (c) architecture level, (d) system level.

Figura 21: Niveles de abstracción según Razavi, 2017.

Para poder crear un símbolo, estos deben estar libres de DRC y no es conveniente que contengan fuentes de tensión o corriente, solo elementos pasivos: pines de conexionado de entrada, salida, bidireccionales, de alimentación, etc.

Una vez creado, el símbolo pasará a formar parte de la librería de trabajo a la que lo hayamos asignado, estando disponible para el diseñador como un elemento electrónico más a utilizar, pudiendo instanciar y conectar tantos como necesitamos y/o tenga sentido hacerlo.

Esquemático

En todo diseño analógico, sea cual sea su escala, la gran mayoría de las horas de trabajo estarán divididas entre el diseño y validación del amplificador (en forma de simulaciones) y otra gran parte destinada al desarrollo del layout. Este motivo describe el porqué de la importancia asociada a la creación de las librerías, símbolos, jerarquías y esquemáticos en el programa de diseño.

Los componentes genéricos disponibles en la herramienta, como transistores NMOS y PMOS (sin limitarse a estos), deben ser asociados con aquellos componentes SPICE puestos a disposición por la librería del modelo de la tecnología. A este proceso se lo conoce como «mapeo tecnológico» y debe ser realizado para cada uno de los componentes que formen parte del diseño.

En Electric se realiza como sigue:

1. Seleccionar el componente al que se le desea agregar la propiedad Spice.



2. Ir al menú: **Tools** → **Simulation(Spice)** → **Set Spice Model**.
3. En el nuevo campo de texto, cambiar el contenido por: «PMOS» o «NMOS» según corresponda.

Otro parámetro a añadir es el «Multiplier», que nos permitirá realizar la configuración de tamaño de cada uno de los transistores del diseño. Se obtiene como sigue:

1. Seleccionar el componente al que se le desea agregar la propiedad Spice.
2. Ir al menú: **Tools** → **Simulation(Spice)** → **Add Multiplier**.
3. En el nuevo campo de texto, cambiar el contenido por el valor necesario para el diseño.

Fuentes de corriente

Debido a las ya mencionadas y conocidas restricciones de tamaño a la que están sujetos los diseños de circuitos integrados, es que se hace necesario utilizar alternativas a las resistencias y capacitores convencionales: por el gran tamaño que estos requieren para ser fabricados, la tolerancia de sus magnitudes, su inestabilidad en condiciones cambiantes, entre otros. Por ende, para lograr el punto de trabajo de los transistores o a los fines de realizar la adaptación entre múltiples etapas, se hace evidente la necesidad de una alternativa.

En forma genérica, sería deseable que la solución al tema de la configuración de las tensiones de polarización sea insensible a las variaciones de: temperatura, voltajes y características intrínsecas de fabricación de los dispositivos que las compongan (es decir insensible a cambios de PVT). Cada una de las letras de la sigla PVT se puede atacar como sigue:

- «**P**» (Proceso): Por el uso de una metodología de fabricación integrada, sumado a varias técnicas de dibujado que tratan de homogeneizar los diferentes dispositivos.
- «**V**» (Voltaje) y/o «**T**» (Temperatura): Cada una, o ambas, pueden ser insensibilizadas por el uso de topologías que sean independientes de estos efectos. Esta información se deriva del análisis teórico de cada topología en particular.

En circuitos integrados, la solución suele plantearse mediante el uso de fuentes de corriente. Generalmente de topología simple, creada en base a transistores adaptados, combinados con, a lo sumo, algunas resistencias equivalentes (realizadas mediante el aprovechamiento de la región lineal de un transistor fabricado en la misma tecnología) que resultan útiles en la polarización de las etapas del amplificador y, en general, para cualquier topología integrada³⁵.

Entre sus características **ideales**:

- La corriente de salida es igual a la corriente de entrada multiplicada por una constante de proporcionalidad.

³⁵En nuestro análisis se considerará que los transistores que componen las fuentes de corriente están adaptados. Para lograrlo se hace uso de varias técnicas de dibujado de los transistores, como lo son el entrelazado de los «dedos» (del inglés «fingers») que componen al transistor en el silicio, el tamaño de los mismos, los materiales y dimensiones elegidos, entre otros Hambley, 2002, página 429.



- La corriente de salida debe ser independiente del voltaje de salida.
- La ganancia de la fuente de corriente debe ser independiente de la frecuencia de la señal de entrada.

Entre sus **limitaciones reales**:

- La corriente de salida varía con el voltaje de salida. Este comportamiento es caracterizado mediante la impedancia de salida.
- Un voltaje mínimo de salida es requerido para operar en la región de saturación, esto impacta en el comportamiento de salida de la fuente, especialmente si se quiere lograr Máxima Excursión Simétrica.
- Siempre existe un error en el valor de la ganancia que se desvía del valor teórico calculado.

Un MOSFET (asumiendo L constante) trabajando en saturación puede ser utilizado como una fuente de corriente. Aquellas realizadas con dispositivos NMOS (Figura 22a) inyectan corriente hacia el nodo de menor tensión (generalmente $V_{SS} \equiv GND$) mientras que las realizadas con PMOS (Figura 22b) retiran corriente desde el nodo de mayor tensión (generalmente V_{DD}), es decir que solo una de las terminales de cada fuente de corriente se encuentra «flotante». Este hecho se puede ver reflejado en la Figura 22, un único transistor así configurado puede ser interpretado en un circuito o modelado como una fuente de corriente puntual.

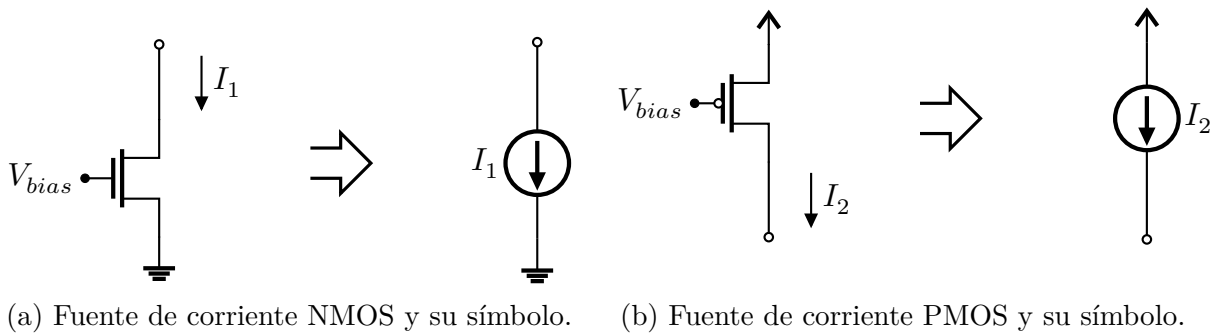


Figura 22: Equivalencias entre dispositivos MOSFET y su símbolo para el modelado en saturación.

Debido al hecho de precisar una de las terminales conectadas a unos de los rieles de energía se deduce que es complicado diseñar, en forma genérica, una fuente de corriente que fluya entre dos nodos arbitrarios en un circuito. Sin embargo, a pesar de esta aparente desventaja, siguen siendo una pieza fundamental de la electrónica analógica por su versatilidad: tanto como fuente de corriente propiamente dicha, así como también en su configuración como carga (sumidero de corriente) para la definición de la corriente de polarización para una rama de un circuito dado, entre otros Razavi, 2017.

Análisis de espejos de corriente

Las fuentes de corriente que utilizaremos dentro del circuito integrado son en realidad un poco más complejas que lo presentado, por ejemplo, en la Figura 22. La topología

a implementar cuenta con una conexión tipo diodo para el transistor de referencia y de otros dispositivos que se disponen para realizar la copia de la corriente generada por el primero, como se puede observar en la Figura 23³⁶.

Por lo anterior es que para este diseño se utilizarán, a modo de fuentes de corriente, la topología conocida como: «espejos de corriente». Se utiliza esta topología con la intención de lograr una mayor impedancia de salida lo que nos dará, a su vez, una marcada disminución del efecto de segundo orden de modulación del ancho del canal (efecto λ) y, por ende, un comportamiento más cercano a una fuente de corriente ideal.

Otra ventaja, desde el punto de vista de su implementación en layout, es que funcionan con una corriente de entrada de referencia (I_{ref}) común, que luego puede ir copiando cada uno de los espejos de corriente según:

$$I_{m(\text{copia})} = nI_{ref} \quad (\text{Ecu. 17})$$

Donde m representa el índice o nombre del transistor que copia la corriente y n es una constante de proporcionalidad que puede configurarse con el valor que sea necesario por diseño. De esta manera se obtiene una mejora en el área necesaria en el dibujado del circuito.

Mediante el uso de este tipo de fuentes de corriente integradas es que logramos la polarización del resto de los elementos del circuito.

Lo que buscamos, en esta sección, es analizar cuales son las ecuaciones que modelan el comportamiento de una fuente de corriente y su espejo, que magnitudes la influyen de forma directa o indirecta.

La topología que utilizaremos será la que se puede observar en la Figura 23 a continuación, en ella aparecen las magnitudes involucradas en el siguiente análisis teórico:

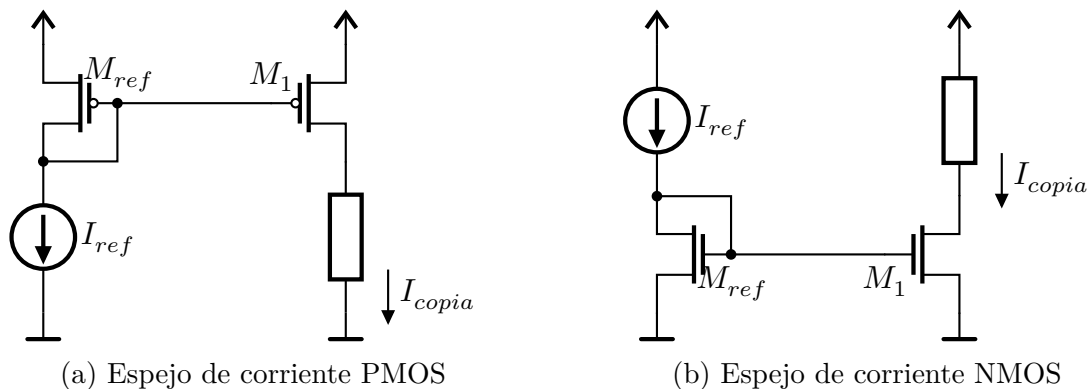


Figura 23: Conexionado para la simulación de espejos de corriente NMOS y PMOS

³⁶Existen múltiples topologías para la implementación de lo que conocemos como «fuente de corriente»: un solo transistor, un solo transistor degenerado en fuente/emisor, conexión tipo cascado, espejos de corriente, una batería con una resistencia en serie, entre muchas otras. La variedad se debe, principalmente, a la optimización de algún parámetro de su comportamiento y a las limitaciones que cada una de ellas tiene. Así, por ejemplo, un único transistor puede ser una fuente de corriente válida en algún ámbito, pero no serlo para otra aplicación debido a su baja impedancia de salida y, por ende, tener una pobre estabilidad en el valor de la corriente de salida debido al impacto que el efecto λ pueda tener. Al atacar esas deficiencias es que nacen otras topologías. Como casi todo diseño analógico, las relaciones de compromiso son múltiples (ver la Figura 3) y es tarea del diseñador optimizar los recursos que converjan en un diseño que cumpla con sus especificaciones.



El desarrollo siguiente para la corriente de sumidero del espejo de corriente: I_{copia} es el correspondiente a la Figura 23b³⁷

Debido al corto-circuito entre sumidero y compuerta para el transistor M_{ref} , el dispositivo se configura a sí mismo, automáticamente, en la región de saturación. Debido a esto, la corriente para este dispositivo se expresa como en la Ecuación 18.

$$I_{ref} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_{ref} (V_{GS} - V_{Th})^2 \quad (\text{Ecu. 18})$$

De la topología se puede observar fácilmente que $V_{GS(ref)} = V_{GS(M1)}$, por lo que la expresión de su corriente será como lo describe la Ecuación 19.

$$I_{D(M1)} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_{M1} (V_{GS} - V_{Th})^2 \quad (\text{Ecu. 19})$$

De esta manera, al hacer la relación entre las ecuaciones 18 y 19, se puede verificar que si los dispositivos son idénticos, las magnitudes de μ_n (o μ_p para los PMOS) y C_{ox} se cancelan mutuamente y nos queda:

$$\frac{I_{D(M1)}}{I_{ref}} = \frac{\frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_{M1} (V_{GS} - V_{Th})^2}{\frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_{ref} (V_{GS} - V_{Th})^2} \quad (\text{Ecu. 20})$$

$$I_{D(M1)} = \frac{\left(\frac{W}{L} \right)_{M1}}{\left(\frac{W}{L} \right)_{ref}} I_{ref} \quad (\text{Ecu. 21})$$

Como se puede observar en la Ecuación 21, la corriente que circulará por la «rama de copia» será directamente proporcional a la corriente de referencia, así como también a la relación de aspecto del transistor de la rama y de forma inversamente proporcional lo hace para con la relación de aspecto del transistor que compone la rama sometida a la corriente de referencia.

Si comparamos 17 y 21 puede verse que n es:

$$n = \frac{\left(\frac{W}{L} \right)_{M1}}{\left(\frac{W}{L} \right)_{ref}} \quad (\text{Ecu. 22})$$

Si además consideramos el consenso de que la magnitud de L se mantiene constante para todos los transistores involucrados en una misma fuente de corriente, la expresión anterior puede simplificarse hasta llegar a ser:

$$n = \frac{W_{M1}}{W_{ref}} \quad (\text{Ecu. 23})$$

Por ende, si re-escribimos la Ecuación 17 con los supuestos anteriores que llevaron a encontrar 23, nos queda la siguiente relación entre la corriente de referencia y su copia:

$$I_{M1(copia)} = \left(\frac{W_{M1}}{W_{ref}} \right) I_{ref} \quad (\text{Ecu. 24})$$

Como se puede observar en las ecuaciones 21 y 24 la copia de corriente derivada de la topología de «espejo de corriente» solo depende de las dimensiones geométricas con las

³⁷Como para el resto del trabajo, las ecuaciones correspondientes al desarrollo que no aparezcan en el cuerpo del informe, por tratarse de un dispositivo PMOS, se podrán encontrar en el «Anexo β ».



que se dibujen los dispositivos. No dependen de ninguna de las variables PVT y por ende son muy estables e inmunes a cambios internos y externos.

Simulación de espejos de corriente

En este apartado se simularán las fuentes de corriente tanto NMOS como PMOS para obtener el conocimiento de su comportamiento para su futura implementación en el diseño.

Se evaluarán las dos especificaciones más importantes para una fuente de corriente:

- **Margen de trabajo:** margen de tensión de salida para el que la corriente de salida es aproximadamente constante. El rango depende casi exclusivamente de la topología elegida para el espejo de corriente.
- **Resistencia dinámica de salida (r_o):** relación entre el incremento diferencial de la tensión y el incremento diferencial de la corriente en la salida (inversa de la pendiente de la característica de salida) su formulación puede revisarse en la Ecuación 9. La pendiente existe debido al efecto de segundo orden conocido como «efecto lambda», una forma de mitigar la pendiente que se genera debido a este es mediante el incremento de r_o , para lograrlo podemos realizar un incremento en el valor de L ³⁸.

Se dijo en repetidas oportunidades que *las longitudes de todos aquellos transistores involucrados en la estructura que denominamos «fuentes de corriente» deben tener el mismo L* . Esto es así para tratar de minimizar los errores provenientes del efecto conocido como: «side-diffusion» de las zonas de sumidero y surtidor³⁹. El resultado es un error entre el área de sumidero/surtidor dibujada, extraída, simulada, etc. y su valor fabricado efectivo. Lo anterior generará una desviación en el comportamiento esperado del dispositivo.

Además, si el dispositivo es de canal corto, también se verá afectado su voltaje umbral (V_{TH}) ya esta magnitud tiene una fuerte dependencia con el largo efectivo del canal.

Por su parte, topologías tan sensibles como lo son las fuentes de corriente, deben tratar de evitar todo tipo de efectos espurios que alejen al dispositivo de sus condiciones ideales de diseño y trabajo. Por este motivo es que se implementa el concepto de «multiplicador» a cada uno de los transistores simulados, dibujados en el layout, etc.

Se parte de transistores de pequeñas dimensiones, donde el largo del canal ya cuenta con su valor final $L_{dibujada}$, y el ancho final se forma por el agregado de múltiples transistores (tantos como lo indique el parámetro de «multiplicador»), cada uno aportando un pequeño W_{base} con la intención de lograr así un gran transistor **equivalente** (con $L_{dibujada}$ y $W_{equivalente} = mW_{base}$) y no un solo gran transistor (con $L_{dibujada}$ y $W_{dibujada}$). Tanto el área como la relación de aspecto finales del dispositivo terminan siendo iguales en ambos casos.

³⁸El largo de canal de todos los transistores que componen una fuente de corriente debe ser el mismo. Este es un consejo de diseño para evitar romper los supuestos en el desarrollo teórico y tener desadaptaciones en la práctica. Elevar los valores de L y por ende de r_o no es gratuito. Tiene un costo elevado en área, por lo que incrementar L para lograr una menor pendiente de efecto λ debe estar verificado y justificado.

³⁹Este es un efecto indeseado en la fabricación de cualquier dispositivo mediante el uso de fotolitografía, debido al fenómeno físico de difusión. En este caso particular, lo que se difumina son las áreas efectivas de las terminales de sumidero y surtidor de los dispositivos fabricados en una de las capas de la tecnología.



En la práctica, por ende, se termina regulando los valores de corriente por la única modificación del valor de W y la ayuda de los multiplicadores⁴⁰. Se utilizan así «dispositivos unidad». Es decir transistores con un L y un W definidos, que podremos ir agregando en bloques, a medida que los necesitemos para, por ejemplo, configurar relaciones de diferentes W para lograr un valor específico de una corriente de copia Razavi, 2017, página 138.

De esta manera se puede actualizar la Ecuación 24 como:

$$I_{M1(\text{copia})} = \left(\frac{m_1 W_{M1(\text{base})}}{m_{ref} W_{ref(\text{base})}} \right) I_{ref} \quad (\text{Ecu. 25})$$

Simulación DC

La topología a simular, para la evaluación del comportamiento de las fuentes de corriente PMOS, será la que se puede observar en la Figura 24.

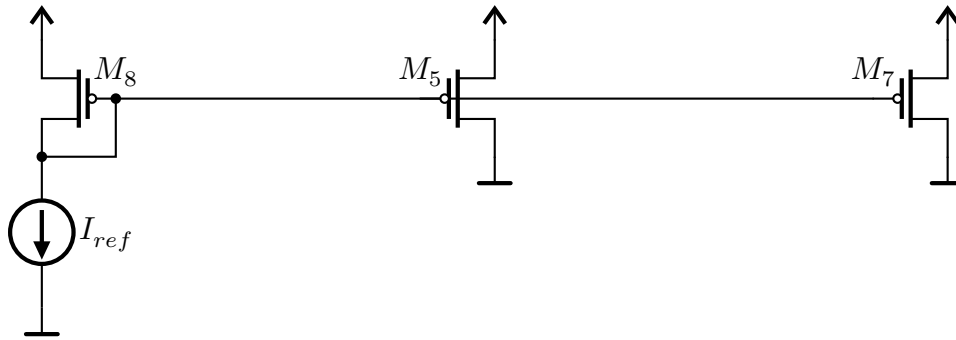


Figura 24: Topología de las fuentes de corriente conectadas al riel de V_{DD} (fuentes de corriente PMOS) para todas las etapas del diseño (diferencial y etapa de salida del amplificador).

En la Tabla 9 se pueden observar de forma sintética, todos los parámetros que definen la configuración de las fuentes de corriente PMOS del diseño. Características que reflejan los parámetros de aquellos transistores que serán dibujados en el layout posteriormente.

En la Tabla 10 se recogen los resultados de simulación para cada una de las fuentes de corriente tipo PMOS del circuito.

Fuente de corriente	Descripción	Transistor	W/L	$L[\mu\text{m}]$	$W[\mu\text{m}]$	$L_\lambda[n]$	$W_\lambda[n]$	m
Etapa entrada	Conexión diodo	M8	16	0,6	4,8	2	16	2
Etapa diferencial	Espejo de corriente	M5	24	0,6	4,8	2	16	3
Etapa potencial	Espejo de corriente	M7	320	0,6	4,8	2	16	40

Tabla 9: Características de los transistores PMOS que conforman todas las fuentes de corriente del sistema

⁴⁰ W no está exenta de los defectos de fabricación litográfica, pero su desviación principal son las esquinas dibujadas que terminan efectivamente siendo más curvadas.



Fuente de corriente	Transistor	I_{Mx} (teórico)	I_{Mx} (práctico)	Error
Etapa entrada	M8	100 μ A	100 μ A	0 %
Etapa diferencial	M5	150 μ A	204,364 μ A	36,24 %
Etapa potencial	M7	2 mA	3,065 46 mA	53,27 %

Tabla 10: Resultados de simulación para las fuentes de corriente PMOS del amplificador. Carga nula, inyectando directamente desde V_{DD} y con una tensión de polarización $V_{GS}|_{sat} = 3,5366$ V

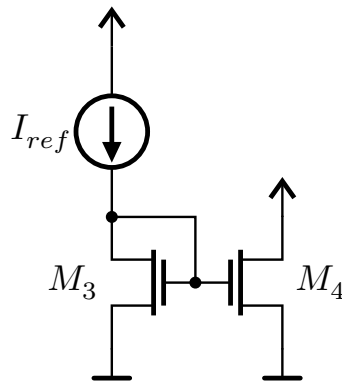


Figura 25: Topología de las fuentes de corriente conectadas al riel de V_{SS} (fuentes de corriente NMOS) para la etapa diferencial del diseño del amplificador.

De forma equivalente, en la Tabla 11 se pueden observar de forma sintética, todos los parámetros que definen la configuración de las fuentes de corriente NMOS del diseño. Características que reflejan los parámetros de aquellos transistores que serán dibujados en el layout posteriormente.

Fuente de corriente	Descripción	Transistor	W/L	L [μ m]	W [μ m]	L_{λ} [n]	W_{λ} [n]	m
Etapa entrada	Conexión diodo	M3	$255/8 \approx 32$	2,4	5,1	8	17	15
Etapa diferencial	Espejo de corriente	M4	$255/8 \approx 32$	2,4	5,1	8	17	15

Tabla 11: Características de los transistores NMOS que conforman todas las fuentes de corriente del sistema

En la Tabla 12 se recogen los resultados de simulación para cada una de las fuentes de corriente tipo NMOS del circuito.

Fuente de corriente	Transistor	I_{Mx} (práctico)	I_{Mx} (teórico)	Error
Etapa entrada	M3	110 μ A	N/A	0 %
Etapa diferencial	M4	110 μ A	$I_{M4} = I_{M3} \mu$ A	≈ 1 %

Tabla 12: Resultados de simulación para las fuentes de corriente NMOS del amplificador. Carga nula, inyectando directamente a GND y con una tensión de polarización $V_{GS}|_{sat} = 1,02011$ V



A diferencia de las fuentes de corriente PMOS vistas en la Tabla 9 en las que la corriente a alcanzar era calculada y luego se implementaron, las fuentes de tipo NMOS de la Tabla 11 cumplen la función de carga activa para el par de entrada diferencial que se verá más adelante. Por este motivo es que simplemente alcanza con lograr que la corriente por M_3 y M_4 sea lo más parecida posible en magnitud y no tanto así su valor absoluto.

Diseño del amplificador

En esta sección se detallarán los lineamientos de trabajo que serán utilizados en las secciones siguientes en las que se ira atacando el diseño de los distintos bloques lógicos que componen al dispositivo final en su conjunto.

En este apartado principal se tendrán en cuenta aquellas buenas prácticas a la hora de proyectar el diseño y desarrollo del amplificador.

Las primeras consideraciones serán sobre los dispositivos fundamentales, los transistores que componen cada una de las estructuras más complejas, así: para evitar desapareamientos en los MOS y evitar, por ende, dispositivos cuyos comportamiento se alejen del comportamiento esperado para ellos o para las topologías que forman:

- Los transistores que componen el par de amplificación diferencial (M_1 y M_2 como se denominan en la Figura 32) deben ser idénticos en todas sus dimensiones: L , W_{finger} , W_{total} , Multiplicador y número de fingers.
- Los transistores que componen la fuente de corriente de carga activa para el par diferencial (M_3 y M_4 como se denominan en la Figura 32) deben ser idénticos en todas sus dimensiones: L , W_{finger} , W_{total} , Multiplicador y número de fingers.
- Los transistores que conforman las fuentes de corriente PMOS (M_5 , M_7 y M_8 como se denominan en la Figura 32) deben ser idénticos en todas sus dimensiones: L , W_{finger} , W_{total} y número de fingers. La multiplicación de corriente, a los valores necesarios para cada rama, se hará por medio del parámetro «Multiplier» de los transistores (cada deberá tener su valor propio).
- La mínima medida fabricable en cualquiera de las direcciones es de: $0,6\mu\text{m} \equiv 2 \cdot \lambda$ y la mínima variación de W_{finger} y L de los MOS debe hacerse en saltos discretos de $0,3\mu\text{m} \equiv 1 \cdot \lambda$ por ser la resolución mínima de fabricación para la tecnología.

Además se trabajará en el diseño del amplificador siguiendo una secuencia de pasos recomendados, un algoritmo, ya que el diseño será aproximado de forma iterativa:

- En primer lugar, polarizar los transistores PMOS de copia de corriente, de manera que en el (*Gate*) del MOS en configuración diodo se obtenga una tensión entre 1V y 3V para asegurar que el dispositivo se encuentra en la zona de saturación.
- Una vez logrado lo anterior, se debe comenzar a incrementar las corrientes por las ramas de los transistores PMOS que conformen las fuentes de corriente (M_5 y M_7 según la Figura 32). Tener en cuenta que la polarización del transistor que compone la fuente de corriente PMOS del par diferencial (M_5 según la Figura 32) depende fuertemente de la caída de tensión y la carga de éste.



- Escalar W/L en el par diferencial y en la etapa de salida, de manera que se alcance un valor de g_m/I_D deseado. Tener presente que g_m varía con \sqrt{W} .
- Para ajustar la ganancia, puede modificarse el valor de L de los transistores cuya r_o tiene influencia. Obviamente, si se varía el valor de L de cualquier MOS que compone cualquiera de las fuentes de corriente, deberán variar conjuntamente los valores de L del resto.
- Luego será necesario balancear las ramas diferenciales, de manera que las tensiones en los nodos de salida del par no difieran de manera excesiva.
- Agregar el capacitor de compensación Miller, C_C . Se recomienda barrer valores de C_C desde menos de $1pF$ hasta $10pF$. Nos encontraremos con que, una vez compensado el circuito con C_C , $\omega_0 \approx \frac{g_{m1}}{C_C}$.
- Ajustar el margen de fase. Para ello, calcular el límite inferior de C_C . Agregar resistor de compensación R_C .

Etapa diferencial

Se comienza el diseño de la etapa diferencial de entrada del circuito basándonos en la Figura 26. Como se puede observar, se cuenta con una topología que presenta dos transistores (PMOS en nuestro caso) enfrentados, conectados en paralelo con sus terminales de fuente conectadas al riel de alimentación V_{DD} , mediante resistencias R_D , y sus terminales de sumidero a fuente de corriente que hace las veces de carga activa (I_{DD}), las señales diferenciales (V_{in+} y V_{in-}) ingresan directamente a las terminales de compuerta de cada uno de los transistores, finalmente vemos que se cuenta con dos puntos de salida: los nodos del circuito x e y ⁴¹.

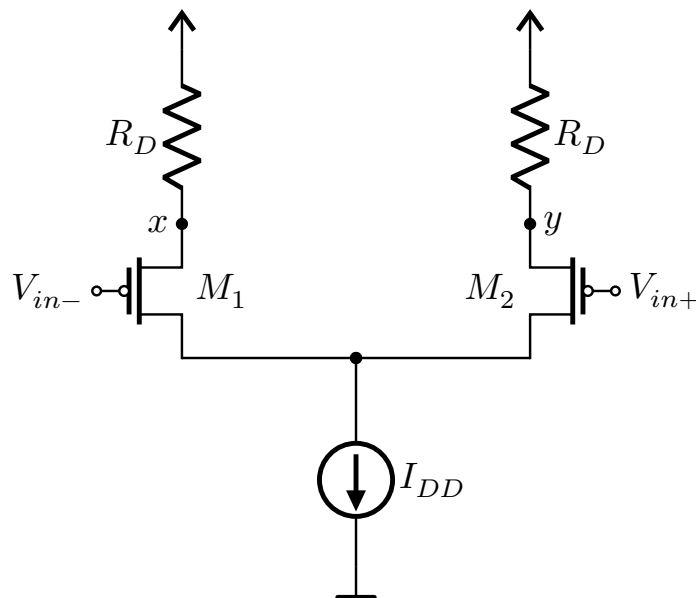


Figura 26: Topología diferencial teórica.

⁴¹La consideración teórica del amplificador diferencial es para aquel conocido como: FDA (Fully-Differential Amplifier), en función de como se conecte la carga o la próxima etapa de amplificador se definirá su denominación final (entre un FDA y uno de una única salida: single-ended output).



Para poder considerar algunas simplificaciones en el desarrollo matemático en el modelado del comportamiento del amplificador diferencial, es preciso asegurar (inicialmente de manera matemática y posteriormente mediante el diseño y dimensionamiento de los transistores y su posterior representación en layout) las dos siguientes condiciones:

1. Ambas señales deben tener un comportamiento inverso en el tiempo: Si la señal a es creciente, la señal b debe ser decreciente y deben hacerlo con la misma velocidad. En nuestro caso será v_{inp} y $v_{inn} = -v_{inp}$.
2. Ambas señales deben tener el mismo valor de tensión en continua o valor promedio: Voltaje de Modo Común V_{CM} (o del inglés «Common Mode Voltage»).

Si lo anterior se verifica, tanto para la naturaleza de las señales como para su tratamiento, entonces se podrá tratar de manera diferencial a las señales, obteniendo así:

$$v_{diff} = v_1 - v_2 \quad (\text{Ecu. 26})$$

La señal resultante de la diferencia entre aquellas dos de entrada estará libre de todo ruido presente que afecte a ambas señales en simultáneo.

La etapa diferencial, que en nuestro diseño representa la etapa de entrada de la señal al amplificador, está diseñada como una variación de un par acoplado en fuente (*Source*) en donde las resistencias que normalmente son utilizadas fueron reemplazadas por un espejo de corriente que establece su punto de operación, esto es ventajoso desde el punto de vista del ahorro de área y, principalmente, a la estabilidad frente a PVT que se logra a la hora de diseñar la polarización de la etapa.

En el caso del diseño de un circuito integrado, vemos necesario el reemplazo de varios de los elementos que se pueden observar en la Figura 26. El comportamiento modelado originalmente en la Figura 26 se mantendrá, pero su implementación será mediante componentes equivalentes. Así a esta etapa la compondrán los transistores M_1 y M_2 de la Figura 27, acompañan en la topología los transistores M_3 y M_4 como su carga activa en sumidero y finalmente M_8 y M_5 como la fuente de corriente para la polarización del conjunto.

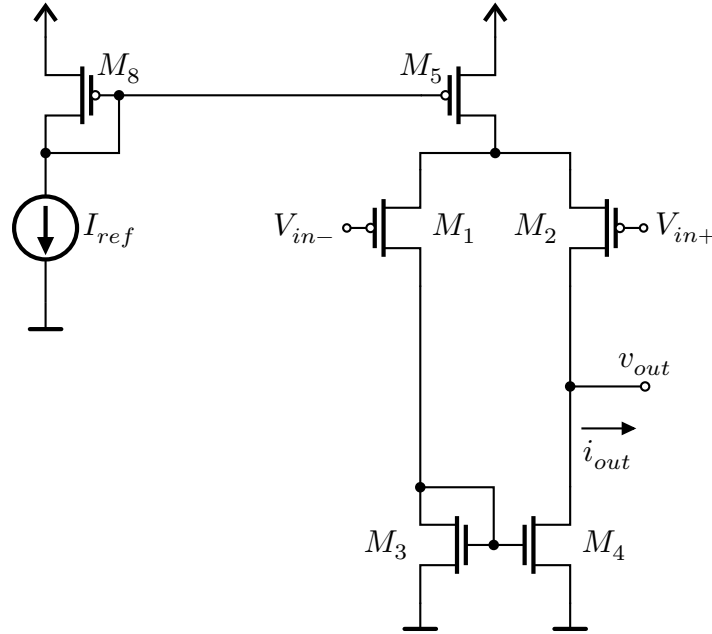


Figura 27: Topología de la etapa diferencial, primera etapa o etapa de entrada del amplificador.

Estudiando la Figura 27 se puede realizar el siguiente análisis. Considerando la simetría de las dos ramas y todos los componentes que las forman, la corriente por las dos ramas debe ser igual:

$$I_{M1} = I_{M2} = \frac{I_{DD}}{2} \quad (\text{Ecu. 27})$$

Por lo que I_{DD} por el espejo de corriente que forma la carga activa debe ser:

$$I_{DD} = 2I_{M1} = 2I_{M2} = I_{M1} + I_{M2} \quad (\text{Ecu. 28})$$

Finalmente, nos queda que la corriente de salida de esta etapa, tomada de forma asimétrica desde la rama derecha del amplificador diferencial, viene dada por la siguiente expresión:

$$i_{out} = i_{D2} - i_{D1} \quad (\text{Ecu. 29})$$

Dado que el ancho de M_5 es:

$$W_{M5} = m_{M5} \cdot W_{finger, M5} = 3 \cdot 16\lambda \equiv 14,4\mu\text{m} \quad (\text{Ecu. 30})$$

La corriente I_{D5} será aproximadamente: $150\mu\text{A}$ (medido de forma teórica)⁴². Esto nos deja que la corriente circulante por cada una de las ramas de la etapa diferencial sea:

$$I_{D5}/2 = 75\mu\text{A} \quad (\text{Ecu. 31})$$

Etapa de potencia

Al igual que para la «**Etapa diferencial**» que cuenta con su propia rama de corriente de polarización, esta etapa cuenta con la suya. Sin embargo, a diferencia de la anterior,



la corriente suministrada por M_7 (valor directamente proporcional, a su vez, con el ancho del mismo) es: 20 veces superior a la corriente de referencia I_{ref} . La conclusión anterior surge de un análisis similar al realizado para M_5 , así el ancho para M_7 es:

$$W_{M7} = m_{M7} \cdot W_{finger, M7} = 40 \cdot 16\lambda \equiv 192\mu\text{m} \quad (\text{Ecu. 32})$$

Por ende, la corriente I_{D7} será aproximadamente: 2mA (medido de forma teórica)⁴². Esto nos deja que la corriente circulante por la rama de la etapa de potencia sea:

$$I_{D7} = 2\text{mA} \quad (\text{Ecu. 33})$$

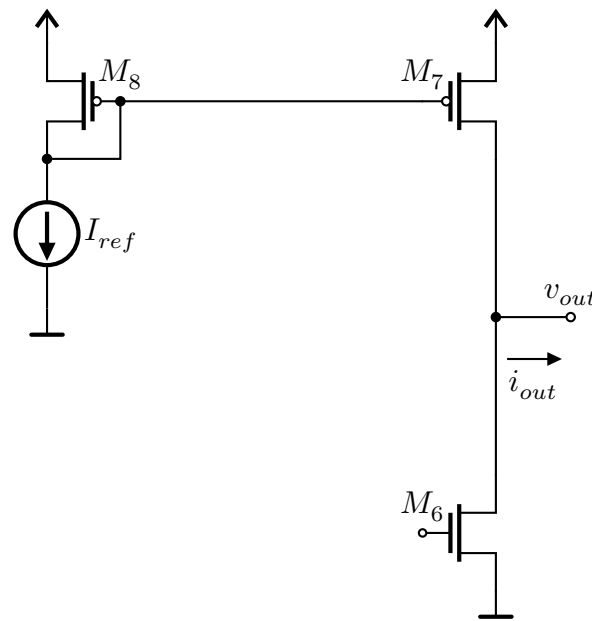


Figura 28: Topología de la etapa de potencia, segunda etapa o etapa de salida del amplificador.

Realimentación Miller

Debido a las características de amplificación y frecuencia que son requeridas para el amplificador, se hizo notar la necesidad de utilizar una compensación entre la primera y segunda etapa del amplificador propuesto. En este apartado se llevará a cabo un análisis genérico de la topología, así como el cálculo del capacitor de compensación necesario para esta etapa (C_c).

Si se analiza al sistema en su vista global, la etapa de compensación tipo Miller queda inserta «entre» la primera y segunda etapas de amplificación de este. Esquemáticamente nos queda como en la Figura 29.

⁴²El detalle de estos valores de tamaño y corriente puede consultarse en la Tabla 10.

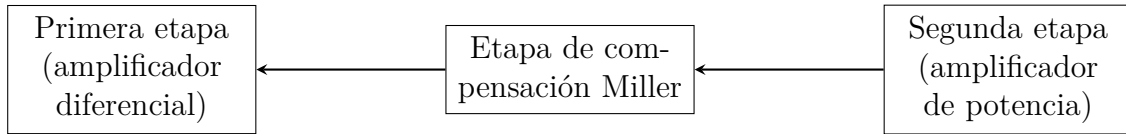


Figura 29: La etapa de compensación tipo Miller hace de nexo (realimenta) entre la primera y segunda etapa del amplificador.

La etapa de realimentación o compensación entre las dos etapas amplificadoras está compuesta por dos elementos: la resistencia R_C y el capacitor C_C .

La implementación física o real de la resistencia será, sin embargo, diferente. En la Figura 30 puede observarse que esta será reemplazada por un transistor que hará las veces de resistencia en el camino de realimentación. Esta es una práctica típica en circuitos integrados ya que lograr el comportamiento resistivo equivalente con un MOSFET es posible donde, además, este logra hacerlo ocupando una menor área que para la misma resistencia fabricada de manera convencional.

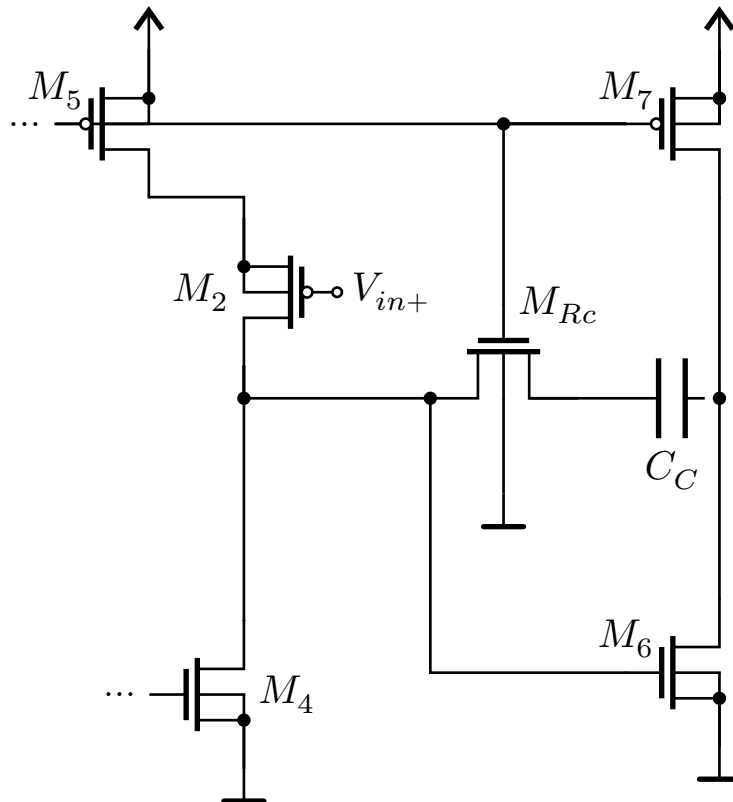


Figura 30: Topología de la realimentación entre la primera y segunda etapa del amplificador, componentes fabricables.

Como capacitor de realimentación en la etapa Miller se utilizara⁴³:

$$C_c = 2,5 \text{ pF} \quad (\text{Ecu. 34})$$

⁴³Para el detalle de como se deriva el valor de las magnitudes de los componentes a utilizar para la realimentación entre las etapas, referirse a «Ecuaciones para el amplificador» del «Anexo α ».



Diagrama del amplificador completo

En la Figura 31, se pueden observar todas las partes descritas en la sección anterior ahora ya conformando el amplificador en su totalidad.

Los transistores PMOS M_8 , M_5 y M_7 forman un espejo de corriente doble, componen las dos diferentes ramas de corriente para todo el circuito suministrando las corrientes de polarización necesarias para cada etapa amplificadora.

Los transistores M_1 y M_2 componen la entrada del dispositivo, un par diferencial acoplado por fuente. Dado que el transistor M_5 tiene el doble de ancho que la referencia de M_8 , la copia de corriente realizada por este es del doble del aquel valor ($I_{D5} \cong 2I_{ref}$), por lo que en reposo (esto es con entrada nula), la corriente en el punto de operación para M_1 y M_2 es aproximadamente igual a I_{ref} .

Los transistores M_3 y M_4 forman una carga (activa) para el espejo de corriente de la etapa de entrada. La conexión entre la primera y la segunda etapa se denomina asimétrica ya que se toma desde uno solo de los sumideros. La corriente de salida de esta primera etapa, tomada desde la rama derecha de la etapa de entrada, viene dada por la ecuación 29 según se encontró en el desarrollo de la sección «**Etapa diferencial**».

El transistor M_6 está configurado como un amplificador de fuente común y M_7 es su carga.

Finalmente el arreglo en serie de R_C y C_C proporcionan la realimentación tipo Miller, para lograr una compensación en frecuencia que mejora la respuesta del dispositivo permitiéndole alcanzar las características de diseño.

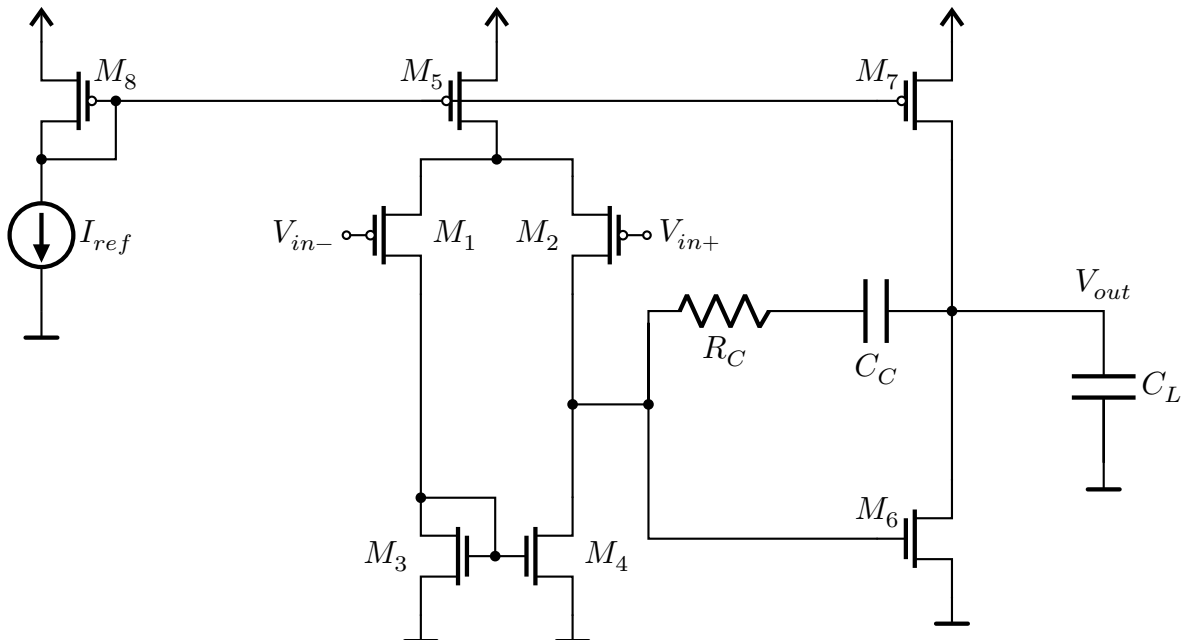


Figura 31: Topología del amplificador operacional de dos etapas con realimentación tipo Miller.

Para concluir la sección, se presenta en la Figura 32 el esquemático del sistema en su totalidad, representando todos los componentes necesarios para su funcionamiento (que ya fueron oportunamente presentados), aunque ahora en el formato fabricable con el que serán implementados en el layout del circuito.

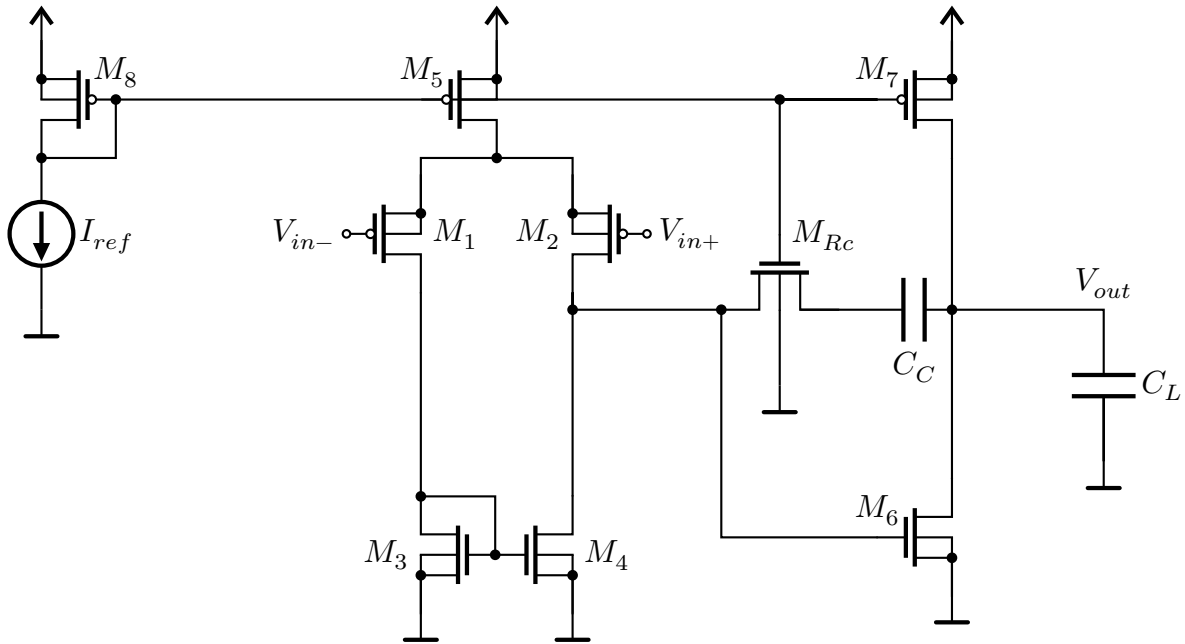


Figura 32: Topología del amplificador operacional de dos etapas con realimentación tipo Miller con todos sus componentes como transistores MOSFET y C_C como capacitor de compensación Miller.

Simulación del amplificador

Las simulaciones sobre el amplificador, de ahora en adelante, lo serán siempre sobre la topología de diseño ya completa que se presentó en la Figura 32. Los únicos aspectos que se verán modificados son los tipos y las características de las señales de entrada a las que será sometido, así como también a las condiciones de contorno, que definirán el punto de partida de la simulación.

Es preciso recordar que en todo momento se tendrá configurado al simulador con las condiciones de contorno (corners) ya declarados en la Tabla 4.

Simulación DC

Para la simulación DC o estática del amplificador, se realizarán las mediciones que típicamente realizaría un equipo de testeado de circuitos integrados, esto es, varias mediciones del dispositivo en una configuración de comparador. La configuración y los resultados obtenidos se resumen en la Tabla 13.

Revisión	V_+	V_-	$V_{dif} = V_+ - V_-$	V_{out} (esperado)	$V_{out}[V]$ (medido)
1	V_{DD}	GND	$+V_{DD}$	$+V_{sat}$	5.00000
2	$-V_{SS}$	GND	$-V_{SS}$	$-V_{sat}$	-4.96518
3	GND	V_{DD}	$-V_{DD}$	$-V_{sat}$	-4.96588
4	GND	$-V_{SS}$	$+V_{SS}$	$+V_{sat}$	5.00000

Tabla 13: $V_{DD} = 5V$, $V_{SS} = -5V$, puerto de salida sin carga

Se verifica que todas las mediciones resultantes de las simulaciones para todas las



combinaciones de tensiones de entrada se corresponden con su valor teórico esperado. Además se valida uno de los requisitos de operación del amplificador: su tensión $\pm V_{sat}$ alcanza los rieles de alimentación con un error menor al 1% (para el caso en el que su salida no tiene carga).

Simulación AC

En la Figura 33 se pueden observar el conexionado para la simulación de AC para la vista de esquemático del amplificador.

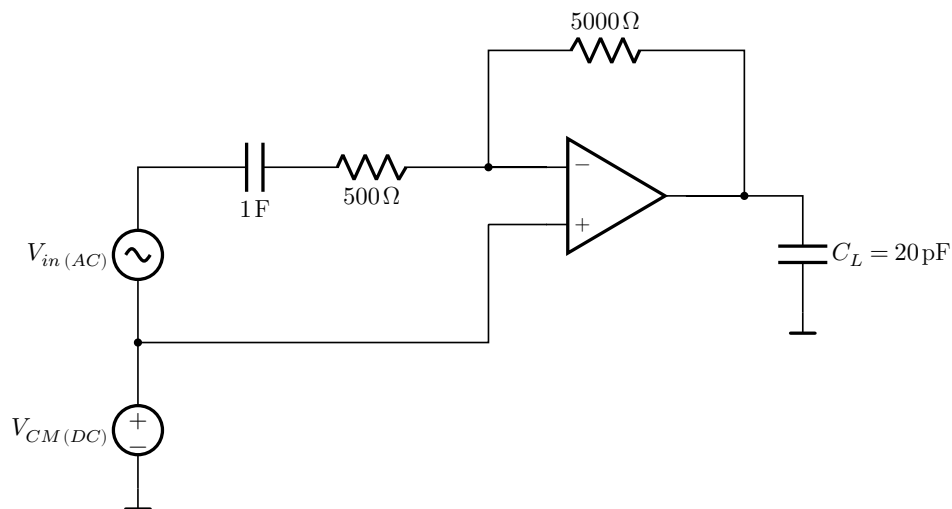


Figura 33: Esquemático del circuito para la simulación (en vista de esquemático) del amplificador para su comportamiento en AC

A continuación, en la Figura 34, se puede observar el comportamiento de AC del amplificador⁴⁴.

⁴⁴Por simplicidad se omitió del dibujo del esquemático de la Figura 33 el condensador que modela la capacidad vista desde el pin de conexión. Sin embargo en la simulación este comportamiento es considerado, contribuyendo al resultado observado en Figura 34.

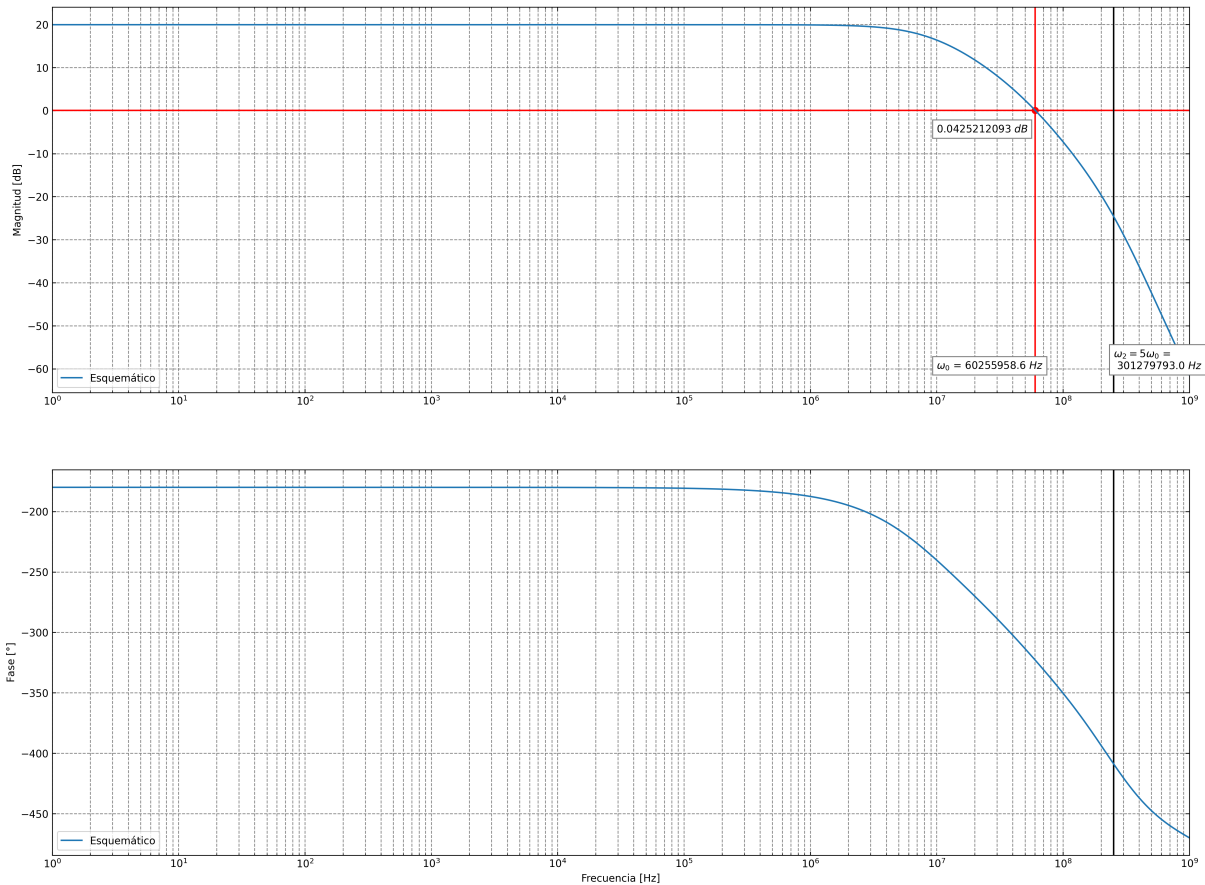


Figura 34: Diagrama de Bode de salida para simulación de características a «lazo cerrado» para el diseño esquemático del amplificador.

Del diagrama de Bode resultante para la simulación física del dispositivo, se puede observar una frecuencia de corte (0dB) de $f_0 \approx 60,256 \text{ MHz}$.

Layout

Para comenzar con el diseño del layout será preciso indicarle a «**Electric**» que vamos a asociar el diseño esquemático, ya realizado y simulado, a su representación física. Para llevarlo a cabo, será preciso crear una vista de tipo *layout*⁴⁵.

En esta vista se irán dibujando los diferentes componentes, especificando ya con el detalle físico final, como dimensiones en largo y ancho, cantidad de fingers para cada transistor, etc. todos en coincidencia con la descripción indicada en las vistas esquemáticas que compongan la librería.

Definición de tamaño de floorplan

Un aspecto importante en el diseño de circuitos integrados consiste en mantener pequeña el área total del chip. Los defectos se dispersan de forma aleatoria sobre la superficie de una oblea de semiconductor. Por tanto, cuanto más grande el dado o pastilla (en inglés: «die»), más probabilidades tienen de contener defectos que provoquen fallos en el circuito.

⁴⁵En el apartado de «**Celdas/Vistas**» del «**Anexo γ** » podrá encontrarse como crear, paso a paso, cualquiera de las vistas utilizadas en el trabajo.



Las magnitudes de algunos componentes pasivos que nos interesaría integrar en los circuitos tienen proporcionalidad directa con su longitud, ancho, o área. Por lo que aquéllos con altas magnitudes, consumen una mayor área del chip en comparación con dispositivos activos como transistores bipolares, MOSFET y diodos.

Aunque cada proceso establece restricciones diferentes, podemos ver el interés en que los circuitos integrados se diseñen utilizando solo unos pocos tipos de dispositivos activos. Pueden incluirse, siempre que sea absolutamente necesario, una pequeña cantidad de resistencias y algunos capacitores.

Las características geométricas principales del espacio total, disponible y utilizado para un chip fabricado en el proceso elegido, se resumen en la Tabla 14.

	Métrica	Magnitud [λ]	Magnitud [m]
Die	Ancho	4800	1440 μm
	Alto	4800	1440 μm
	AR	1	1
	Área	23040000	2073600 μm^2
Disponible	Ancho	1600	480 μm
	Alto	1200	360 μm
	AR	4/3	4/3
	Área	1920000	172800 μm^2

Tabla 14: Dimensiones físicas, totales y específicas, disponibles para fabricación.

Debido a que la realización del diagrama del top-level del chip se deriva de un trabajo en conjunto, donde múltiples diseños son integrados bajo un mismo encapsulado, el área total anterior es dividida en 8 partes iguales para el trabajo individual del postulante. Las magnitudes, de las principales métricas, disponibles para la fabricación de nuestro proyecto se pueden observar en la segunda parte de la Tabla 14. Esta es el área máxima disponible, sobre la que el diseño se debe encuadrar.

Ahora sería oportuno presentar un bosquejo general de la distribución de los elementos en el área disponible y las restricciones de magnitud tanto de alto como de ancho.

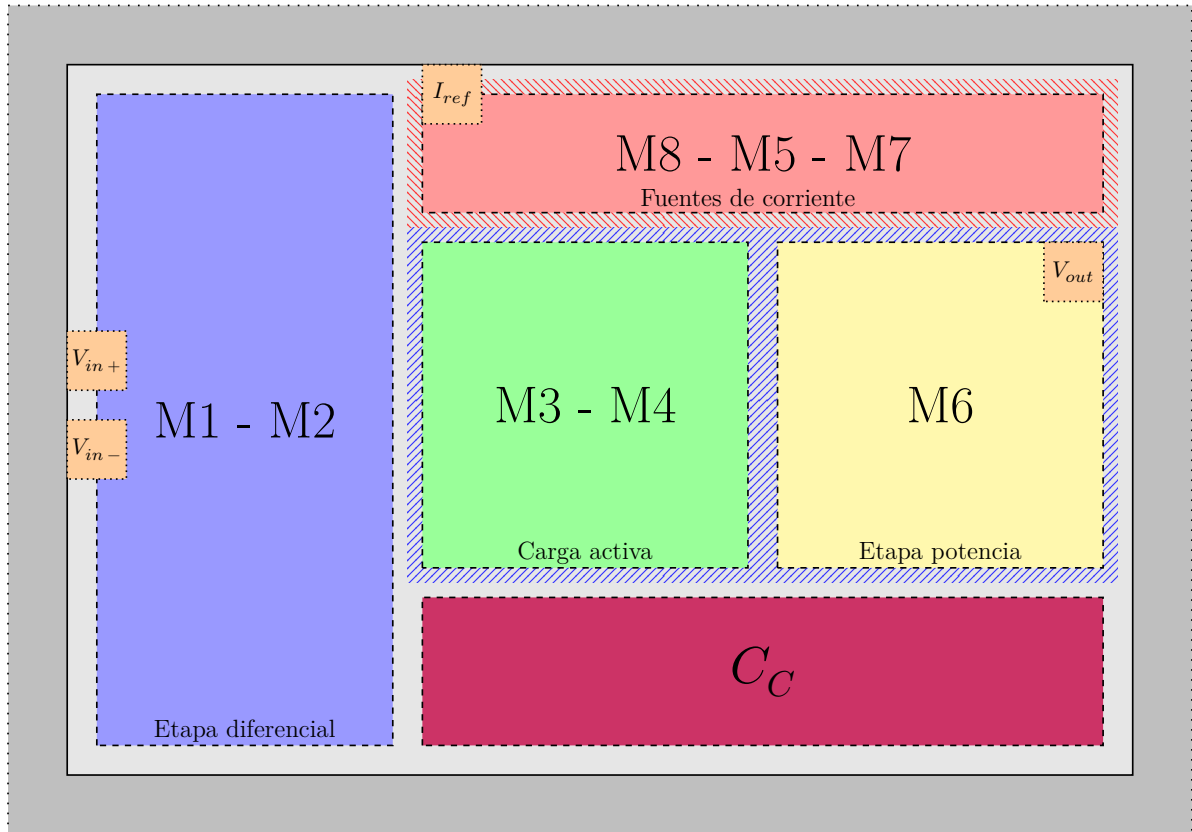


Figura 35: Croquis de distribución de los componentes del amplificador.

Como se puede apreciar, las dimensiones disponibles de la Tabla 14 presentan una relación de aspecto: $AR = 4/3$, en la Figura 35 se distribuyen los elementos componentes del amplificador a modo de bloques, tratando de estimar cual sería el mejor aprovechamiento del área disponible teniendo en cuenta la mayor cantidad posible de restricciones impuestas, así como también del uso de «buenas prácticas» de diseño y distribución.

Luego de realizado el dibujado de todos los componentes presentes en la vista de esquemático siguiendo los lineamientos planteados en el croquis de la Figura 35, tenemos la vista final de layout para el diseño:

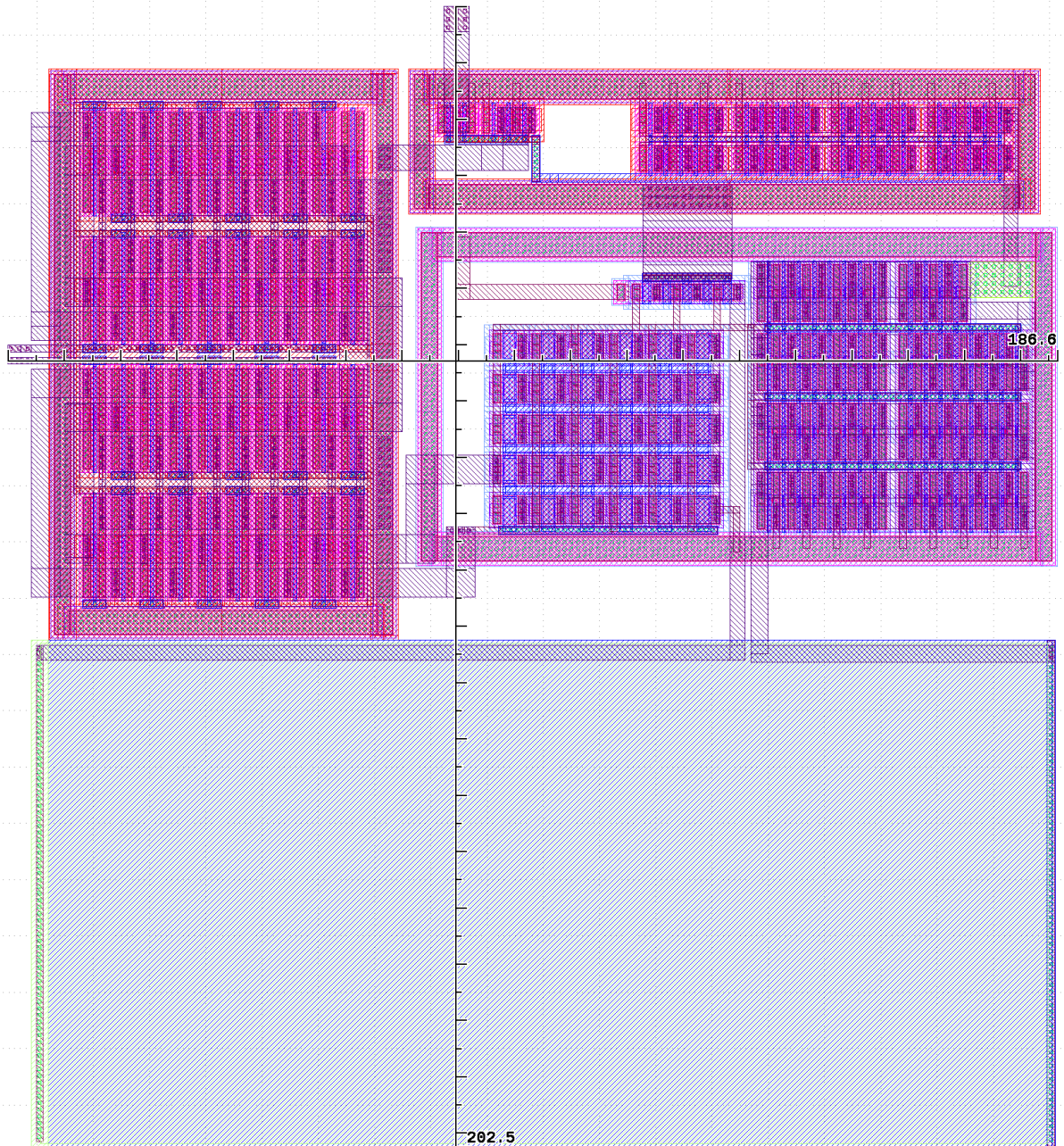


Figura 36: Vista de Layout del amplificador en su estado final. Todos sus componentes están presentes en su forma fáctica de fabricación, con sus magnitudes, áreas y relaciones de aspecto finales y funcionales.

Como se puede observar de la figura, las reglas indican las dimensiones máximas tanto en el eje x como en el eje y , en la Tabla 15 se resumen estas propiedades.



	Métrica	Magnitud [λ]	Magnitud [m]	Resto (vs. «disponible»)
Layout	Ancho	622	186,6 μm	978 $\lambda \equiv 293,4 \mu\text{m}$
	Alto	675	202,5 μm	525 $\lambda \equiv 157,5 \mu\text{m}$
	AR	0.9215	0.9215	N/A
	Área	419850	37786,5 μm^2	513450 $\lambda \equiv 46210,5 \mu\text{m}^2$

Tabla 15: Dimensiones físicas, totales y específicas, disponibles para fabricación.

Por comparación entre las tablas 14 y 15, se verifica que ni las dimensiones máximas en x o en y , ni el área máxima de libre disposición para la fabricación fueron superadas. Se considera así que el diseño cumple con las restricciones de área y dimensiones máximas del floorplan.

Definición de uso de metales

Antes de comenzar con cualquier proyecto, se suele hacer un análisis dimensionando los recursos de enrutado que se creen van a ser necesarios para así tratar de encontrar un nodo y procesos de fabricación en concordancia.

Por lo general se suele elegir un proceso que ofrezca un margen extra para solventar cualquier contingencia, error u omisión en los cálculos preliminares, pero rondando siempre en un presupuesto más bien escueto.

Por lo anterior es que a las restricciones de área de trabajo disponibles, se agrega también la del uso de las capas de metalización del proceso para el conexionado de los distintos elementos del diseño.

Considerando los recursos disponibles para el proceso actual⁴⁶, es que se asignan las capas de metalización de la siguiente manera:

- **Metal 1 y 2:** Libres para el diseño, desde top-level existe un bloqueo de M1-M2 sobre el área asignada para el diseño.
- **Metal 3:** Reservado para el conexionado de potencia y señal desde top-level.

Un bosquejo general de como se planificó ubicar los puertos para el layout del diseño puede verse en la Figura 35. Los puertos reales del layout, con sus dimensiones y layers de fabricación pueden, por su parte, revisarse en la Figura 36 (o en cualquiera de las imágenes del «Anexo η »).

Definición de tamaño del módulo del capacitor

Para poder realizar la implementación física del capacitor de compensación (C_c), se hace preciso realizar un pequeño estudio sobre distintas geometrías, tamaños y capas. Es así como, aprovechando las dos capas de poly-silicon disponibles se fueron probando dimensiones (con una relación de aspecto favorable para el diseño) hasta dar con una capacidad cercana a la necesaria: 2,5 pF.

Para llevar adelante dicho análisis, se implementaron varios capacitores en «Electric», posteriormente, estos fueron sometidos a una simulación de una topología de filtro pasa

⁴⁶La Figura 4 tiene un detalle de los nombres, denominación interna del fabricante y uso asignado de cada una de las capas en más detalle.



bajos RC. Solo teniendo como incógnita el valor real del capacitor y teniendo definidas el resto de las magnitudes, es que se derivó cada uno de los valores de capacidad asociadas al área de los capacitores.

La respuesta en el tiempo del filtro pasa bajos, puede ser representada como:

$$v_{out} = V_{in} (1 - \exp^{-\omega_0 t}) \quad (\text{Ecu. 35})$$

Donde $\omega_0 = \frac{1}{RC}$ y, despejando C nos queda:

$$C = \frac{1}{R\omega_0} \quad (\text{Ecu. 36})$$

Y reemplazando para nuestros valores de prueba, tenemos:

$$C_c = \frac{1}{10\text{k}\Omega \cdot 2\pi f_0} \quad (\text{Ecu. 37})$$

De esta manera, se generaron varios layouts diferentes, con sus correspondientes parásitos que fueron luego introducidos como el capacitor del filtro y derivando así el valor correspondiente de este.

A continuación puede observarse el resultado de la simulación para el layout de capacitor equivalente (*poly2poly*) con el valor necesario para $C_c \approx 2,5\text{pF}$ necesario según los cálculos de polos, para una compensación de la respuesta en frecuencia del amplificador:

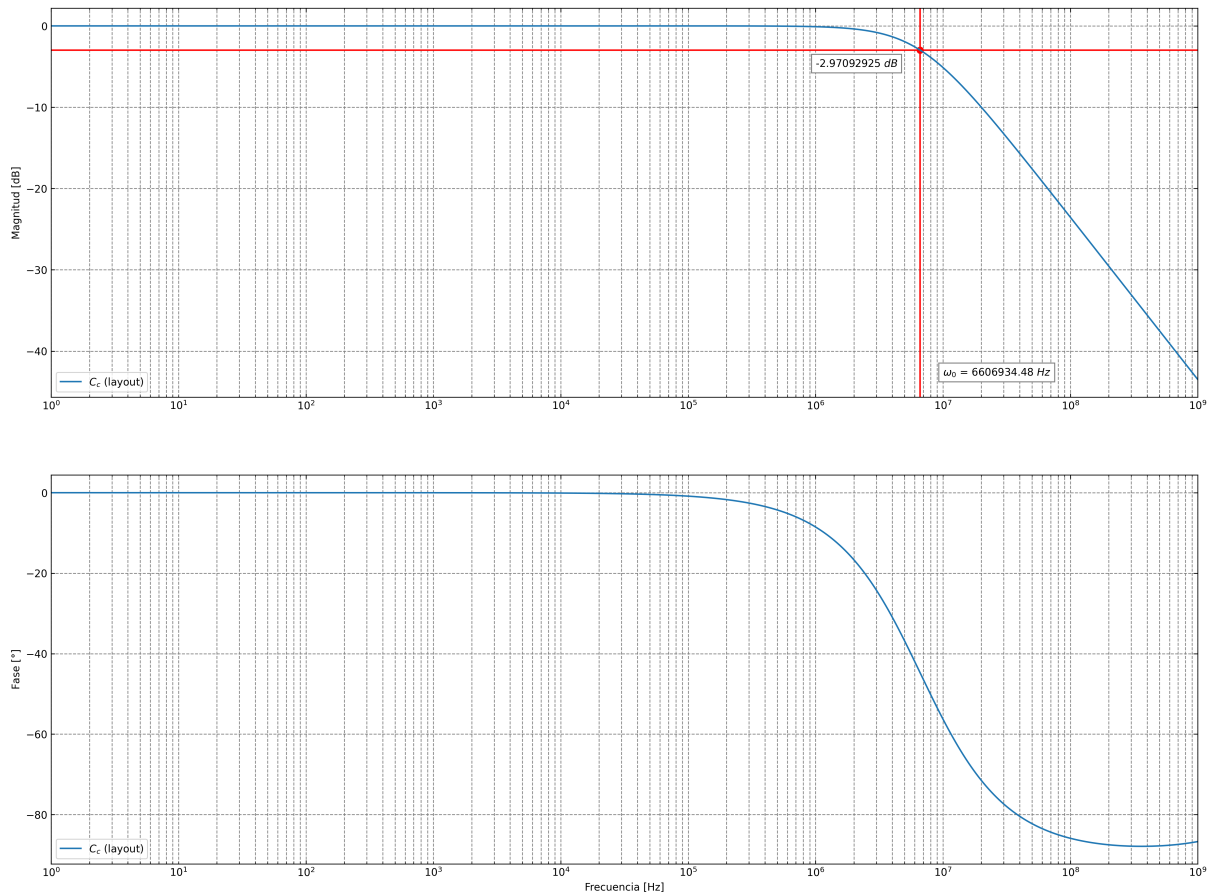


Figura 37: Diagrama de Bode filtro pasa bajos. Utilizado para la derivación del valor equivalente de C_c .



De la figura, se pueden extraer los siguiente valores importantes:

dB	Fase	Frecuencia (f_0)
-2.970929	-44.71980	6,606 934 MHz

Tabla 16: Diagrama de Bode del comportamiento de un filtro pasa bajos para la medición de C_c .

Así, utilizando la Ecuación 37 tenemos:

$$C_c = \frac{1}{10\text{k}\Omega \cdot 2\pi 6,606\,934\text{MHz}} = 2,4089\text{pF} \quad (\text{Ecu. 38})$$

Damos así por verificado el cumplimiento aproximado del valor requerido de capacidad para la compensación de la respuesta en frecuencia. El módulo jerárquico de layout en el que se representa el capacitor simulado en este apartado puede ser instanciado con el resto de componentes del diseño.

Definición de ubicación de puertos

Habiendo definido la capa de metal a utilizar para los puertos de conexión en top-level (Metal 3), solo resta revisar y cumplir con los requisitos de la ubicación de todos los puertos del diseño.

Como ya se pudo observar en la Figura 35 las posiciones de los puertos deberían estar definidos lo más cerca posible de aquellos transistores, o conexión entre ellos, siguiendo la información del esquemático de la Figura 32. Esto es para reducir cualquier efecto parásito innecesario, tanto la resistividad que afectaría las magnitudes de las señales, así como acoplamiento de ruido por su capacitancia espuria.

En la Tabla 17 se resumen todas las características relevantes para los puertos del diseño:

Nombre	Tipo	Función	Capa/Layer	Control
V_{DD}	Alimentación	Rail superior	Metal 1	General
V_{SS}	Alimentación	Rail inferior	Metal 1	General
I_{ref}	Señal	Referencia I	Metal 1/2	General
V_{in+}	Señal	Entrada diferencial positiva	Metal 1/2	Dedicado
V_{in-}	Señal	Entrada diferencial negativa	Metal 1/2	Dedicado
V_{out}	Señal	Salida «single-ended»	Metal 2/3	Dedicado

Tabla 17: Resumen de las características de todos los puertos del diseño.

El encapsulado para el die cuenta con 40 puertos en total. De todos estos algunos se reservan para la gestión global de todos los diseños fabricados en el mismo die, el resto se reparten a partes iguales entre todos los proyectos involucrados.

De esta manera, si bien consideramos para el trabajo algunos de los puertos como «propios» (puertos como los de V_{DD} , V_{SS} e I_{ref}), por la naturaleza y las limitaciones del «diseño en grupo», estos son en realidad compartidos por todos los dispositivos que



sean implementados dentro del mismo chip. Solo aquellos que nos permiten operar el amplificador son puertos netamente asignados al presente proyecto.

Diseño de distribución para apareamiento de transistores

Debido a múltiples causas, que pueden estar directamente asociadas al proceso de fabricación o ser externas a este, la fabricación de dispositivos iguales nunca está garantizada.

Con el fin de evitar efectos no deseados o diferencias en el comportamiento entre dispositivos de un mismo chip, que a primera vista deberían ser equivalentes y por ende comparables, es que prácticamente siempre que se dibuja un transistor físico se lo hace como un dispositivo pequeño, modular, repetido un número n de veces que tenga y logre las mismas características de comportamiento que un solo gran transistor con la misma área total⁴⁷.

Además, debido al hecho de que tenemos acceso a las cuatro terminales para ambos tipos de transistores y la tecnología (planar) de fabricación utilizada, es que decimos que los dispositivos son reversibles⁴⁸. De esta manera, si por cuestiones de conveniencia en la distribución geométrica de los dispositivos en el layout es posible intercambiar las conexiones hacia un un par de terminales *Drain* y *Source*. Obviamente, el resto de las conexiones deberán ser acondicionadas para contemplar este cambio con el fin de que no haya modificaciones en la topología final.

Haciendo uso de lo expuesto sería interesante plantear una metodología que, mediante el dibujado de los transistores, logre la minimización de los errores introducidos por el proceso de fabricación (la letra «**P**» en PVT), normalización o pareo de los dispositivos en el layout⁴⁹.

Existen dos técnicas principales de pareo de dispositivos planares:

- **Interdigitación:** Es una técnica «suficiente» para la mayoría de los casos, mayormente para pareo de corriente: espejos de corriente, resistencias, capacitores.
- **Centroide común:** Es una técnica «superior» para los casos más específicos, utilizado principalmente para pareo de tensión: V_{GS} , V_{TH} , par diferencial.

⁴⁷Este concepto fue tratado en detalle en la «**Análisis de espejos de corriente**» y ampliamente utilizado a lo largo del diseño para adecuar la corriente de referencia a los valores necesarios por las diferentes etapas del amplificador para lograr así alcanzar los puntos de trabajo para cada rama del amplificador.

⁴⁸Esto significa que las terminales de *Drain* y *Source* son intercambiables.

⁴⁹Este tipo de métodos de diseño se denominan «técnicas de pareo» (en inglés también se lo conoce como «matching technics»).



Evaluación Final del Sistema

En el último capítulo del presente trabajo se sintetizarán los resultados de las verificaciones de cumplimiento de los requisitos de fabricación y de diseño para el amplificador. Estos son, en su mayoría, revisiones físicas como: DRC, violaciones de tipo antena y extracción de componentes parásitos. Así como también revisiones de tipo lógico como: LVS. Y finalmente la integración de lo anterior en el diseño original para la verificación de funcionamiento final mediante simulación post-layout⁵⁰.

Cabe destacar que los siguientes chequeos pueden ser, y fueron, ejecutados cuando se considere pertinente a lo largo del trabajo sobre el proyecto, y no solo en la última etapa de verificación. Los chequeos frecuentes brindan información sobre potenciales errores o información para tratar de anticiparse a lo que en el futuro del desarrollo podría convertirse en un inconveniente mayor.

Verificación física

Verificación física (del inglés: «Physical Verification») es el proceso mediante el cual el diseño de un circuito integrado es verificado, mediante el uso de software al efecto, para garantizar el cumplimiento de un conjunto de condiciones eléctricas, de funcionalidad lógica y de manufactura. Es la revisión, sobre un diseño, de todos los aspectos vinculados a las todas las reglas para la tecnología y el fabricante, como lo pueden ser (pero no limitado a): Design Rule Check, Layout versus Schematic, eXclusive OR, violaciones de tipo antena y Electric Rules Check. «Physical verification», s.f.

Consiste en la revisión de varios aspectos diferentes, es el cumplimiento de diversas reglas impuestas por el fabricante para el nodo tecnológico que se vinculan de forma directa con las magnitudes físicas mecánicas como: distancias absolutas y relativas, anchos y largos en función de la capa o material del que se trate, entre muchos otros más que dependerán de la complejidad de la tecnología, para todos los objetos dibujados en el layout.

DRC (Design Rule Check)

Las DRC son quizás el tipo de violación más conocido y obvio a revisar sobre el aspecto físico del diseño. Consiste en la verificación de las reglas geométricas, vinculadas directamente a las resoluciones de fabricación y/o tolerancias máximas para el proceso de fabricación.

Particularmente para el diseño en el layout del amplificador se utilizaron las capacidades de análisis de DRC de la herramienta de layout («**Electric**») en forma continua, esto es el análisis de DRC se realizaba todo el tiempo, sobre todos los elementos del diseño, cada vez que algún objeto era movido, modificado, agregado o removido.

Por regla general, todo diseño debería ser enviado a su fabricación sin DRCs presentes. También es cierto que los fabricantes suelen poner a disposición del cliente un listado de

⁵⁰Esto es conocido en la industria como «signoff» y es la etapa de diseño donde se considera el estado de aprobación de cada una de las verificaciones involucradas en el desarrollo de cualquier circuito integrado.



aquellas violaciones que pueden ser consideradas como *no críticas* (que generalmente solo llegan a impactar de forma estadística en valores como el *yield* de producción), haciendo así posible la fabricación de un diseño con un pequeño número de ellas.

A continuación se presenta el reporte de la operación de análisis de DRC sobre la vista de layout para todo el diseño a nivel bloque:

```
1 Running DRC with area bit on, extension bit on, Mosis bit
2 Checking again hierarchy .... (0.009 secs)
3 Found 202 networks
4 Checking cell 'opamp:opamp{lay}'
5 No errors/warnings found
6 0 errors and 0 warnings found (took 1.787 secs)
```

Se puede verificar que el diseño está libre de errores (y advertencias) respecto a las reglas físicas de diseño.

Por lo anterior, se considera finalizada toda tarea dedicada a la modificación y/o corrección de geometrías para el cumplimiento de las reglas de diseño geométrico.

Electric Rules Check

Las ERC, verifica principalmente por las conexiones de potencia: VDD y GND (y otros dominios de potencia). También pueden incluirse en esta categoría de chequeos verificaciones de tiempo de transición de señales («slew rate»), cargas capacitivas y fanout correctamente controlado. Otras revisiones pueden ser sobre los puertos de entrada en circuito abierto (desconectados) y puertos de salida en corto circuito.

En diseños digitales, también hay verificaciones sobre la forma en la que las compuertas de las celdas estándar están conectadas a los dominios de tensión (para cuando estas tienen entradas en representación de un 0 o un 1 lógicos) ya que estas no pueden realizarse de forma directa, mediante el enrutado a uno de los dominios, sino mediante una celda tipo TIE high/low según corresponda.

Finalmente vale la pena mencionar que, por lo general, el fabricante suele indicar las recomendaciones en cuanto a la inserción de celdas estándar (macros) especiales para la mitigación de daños por descargas electro-estáticas (ElectroStatic Discharge) en función de la tecnología en uso, las áreas relacionadas al diseño, entre otros.

Revisión de Well y Substrato

La verificación de las reglas para las zonas tipo Well y las características del substrato, responden a las restricciones y al comportamiento físico no deseado sobre el dispositivo, que es (para este nodo) verificable de forma directa por geometría. Por lo anteriormente dicho, este chequeo, dentro del programa de diseño, es verificado de la misma manera que se lo hace para violaciones como las DRC.

```
1 Checking Wells and Substrates in 'opamp:opamp{lay}' ...
2 Geometry collection found 375 well pieces, took 0.044 secs
3 Geometry analysis used 10 threads and took 0.016 secs
4 NetValues propagation took 0.003 secs
5 Checking short circuits in 13 well contacts
6 Additional analysis took 0.004 secs
7 No Well errors found (took 0.075 secs)
```

Se puede verificar que el diseño está libre de errores (y advertencias) respecto a las reglas eléctricas de diseño.



Por lo anterior, se considera finalizada toda tarea dedicada a la modificación y/o corrección de geometrías y tipos de regiones para el cumplimiento de las reglas de diseño eléctrico.

Revisión de Antena

El chequeo de violaciones de tipo antena verifica que ningún conductor, en ningún momento de la fabricación, se encuentre desconectado del silicio (*Bulk*) o puesto a tierra. La verificación viene vinculada al proceso de fabricación, esto es, para su revisión se evalúa (para la tecnología y sus máscaras de fabricación por cada capa del proceso) que en ningún momento de la fabricación existan conexiones de tipo metálica «al aire», que por acumulación de cargas pueda generar una descarga rápida sobre conexiones a compuertas (*Gate*) generando un daño físico irreversible sobre el óxido de ese transistor.

```
1 Checking Antenna rules for Polysilicon-1...
2 Checking Antenna rules for Polysilicon-2...
3 Checking Antenna rules for Metal-2...
4 Checking Antenna rules for Metal-3...
5 Checking Antenna rules for Metal-1...
6 No antenna errors found (took 0.162 secs)
```

Se puede verificar que el diseño está libre de errores (y advertencias) respecto a las reglas eléctricas de antena.

Por lo anterior, se considera finalizada toda tarea dedicada a la modificación y/o corrección de geometrías para el cumplimiento de las reglas de antena/diseño eléctrico.

Verificación lógica

NCC (Network Consistency Check) / LVS (Layout versus Schematic)

Verificar que Layout y Esquemático sean equivalentes. Se debe realizar una verificación NCC.

Ir a: Tools → NCC → Schematic and Layout Views of Cells in Current Window.

```
1 Hierarchical NCC every cell in the design: cell 'opamp{sch}' cell 'opamp{
  lay}'
2 Comparing: opamp_curso:opamp{sch} with: opamp_curso:opamp{lay}
3 exports match, topologies match, sizes match in 0.056 seconds.
4 Summary for all cells: exports match, topologies match, sizes match
5 NCC command completed in: 0.064 seconds.
```

Se puede verificar que el diseño está libre de errores (y advertencias) respecto a la verificación de consistencia entre las vistas de esquemático y layout.

Por lo anterior, se considera finalizada toda tarea dedicada a la modificación de conexiones y/o corrección de geometrías para el cumplimiento de la equivalencia lógica entre layout y esquemático (LVS).



Extracción de parásitos

Configuración de extracción conservativa

La metodología para la extracción de parásitos del diseño físico del amplificador se elije como: «Conservativa». El programa en el que esto debe llevarse a cabo es aquel encargado del layout del chip, en nuestro caso: «**Electric**».

Que la metodología sea: «Conservativa» implica que las **magnitudes** de los elementos espurios en el netlist serán dimensionadas considerando que componen una línea de transmisión. Esta es una aproximación **pesimista** es decir, estaremos ingresando componentes mayores a los reales, con la intención de contemplar todas aquellas imprecisiones que puedan existir. Esto es, estaremos mejorando el índice de seguridad del diseño.

Parásitos de la tecnología de fabricación

Los valores de resistividad y capacitancia para cada una de las capas, y sus relaciones, para la tecnología de fabricación, según son observadas por la extracción de «**Electric**», se resumen en el siguiente reporte:

```
1 *** Layout tech: mocmos, foundry MOSIS
2 *** UC SPICE *** , MIN_RESIST 4.0, MIN_CAPAC 0.1FF
3 *** P-Active: areacap=0.9FF/um^2, edgecap=0.0FF/um, res=2.5ohms/sq
4 *** N-Active: areacap=0.9FF/um^2, edgecap=0.0FF/um, res=3.0ohms/sq
5 *** Polysilicon-1: areacap=0.1467FF/um^2, edgecap=0.0608FF/um, res=6.2ohms/sq
6 *** Polysilicon-2: areacap=1.0FF/um^2, edgecap=0.0FF/um, res=50.0ohms/sq
7 *** Transistor-Poly: areacap=0.09FF/um^2, edgecap=0.0FF/um, res=2.5ohms/sq
8 *** Poly-Cut: areacap=0.0FF/um^2, edgecap=0.0FF/um, res=2.2ohms/sq
9 *** Active-Cut: areacap=0.0FF/um^2, edgecap=0.0FF/um, res=2.5ohms/sq
10 *** Metal-1: areacap=0.1209FF/um^2, edgecap=0.1104FF/um, res=0.078ohms/sq
11 *** Via1: areacap=0.0FF/um^2, edgecap=0.0FF/um, res=1.0ohms/sq
12 *** Metal-2: areacap=0.0843FF/um^2, edgecap=0.0974FF/um, res=0.078ohms/sq
13 *** Via2: areacap=0.0FF/um^2, edgecap=0.0FF/um, res=0.9ohms/sq
14 *** Metal-3: areacap=0.0843FF/um^2, edgecap=0.0974FF/um, res=0.078ohms/sq
15 *** Via3: areacap=0.0FF/um^2, edgecap=0.0FF/um, res=0.8ohms/sq
16 *** Metal-4: areacap=0.0843FF/um^2, edgecap=0.0974FF/um, res=0.078ohms/sq
17 *** Via4: areacap=0.0FF/um^2, edgecap=0.0FF/um, res=0.8ohms/sq
18 *** Metal-5: areacap=0.0843FF/um^2, edgecap=0.0974FF/um, res=0.078ohms/sq
19 *** Via5: areacap=0.0FF/um^2, edgecap=0.0FF/um, res=0.8ohms/sq
20 *** Metal-6: areacap=0.0423FF/um^2, edgecap=0.1273FF/um, res=0.036ohms/sq
21 *** Hi-Res: areacap=0.0FF/um^2, edgecap=0.0FF/um, res=1.0ohms/sq
```

Anotado de parásitos en netlist

En cualquier proceso de extracción, la herramienta analizará el proceso tecnológico, sus capas y las relaciones espurias entre ellas (todos estos datos vienen presentes entre los archivos del PDK ofrecidos por el fabricante). Con esta información, construirá sobre el netlist existentes una red RC de todas aquellas relaciones que encuentre⁵¹. Estaremos volviendo al netlist «más realista», más cercano a la realidad física, mejorando el modelado del circuito en el proceso.

⁵¹Este proceso de escribir cada vez más y nueva información sobre el netlist se conoce como: «back-annotation»



Simulación post-layout

En esta sección se realizan las mismas simulaciones de la sección: «**Simulación del amplificador**» con la incorporación de todos los efectos parásitos modelados en la etapa de extracción de parásitos, incorporados ahora al netlist del diseño.

Simulación AC

La Figura 38 condensa el comportamiento en frecuencia y fase de todo el sistema teniendo en cuenta su vista de tipo layout (ver Figura 36) junto a la consideración de todos los efectos parásitos de este dibujado de componentes en particular.

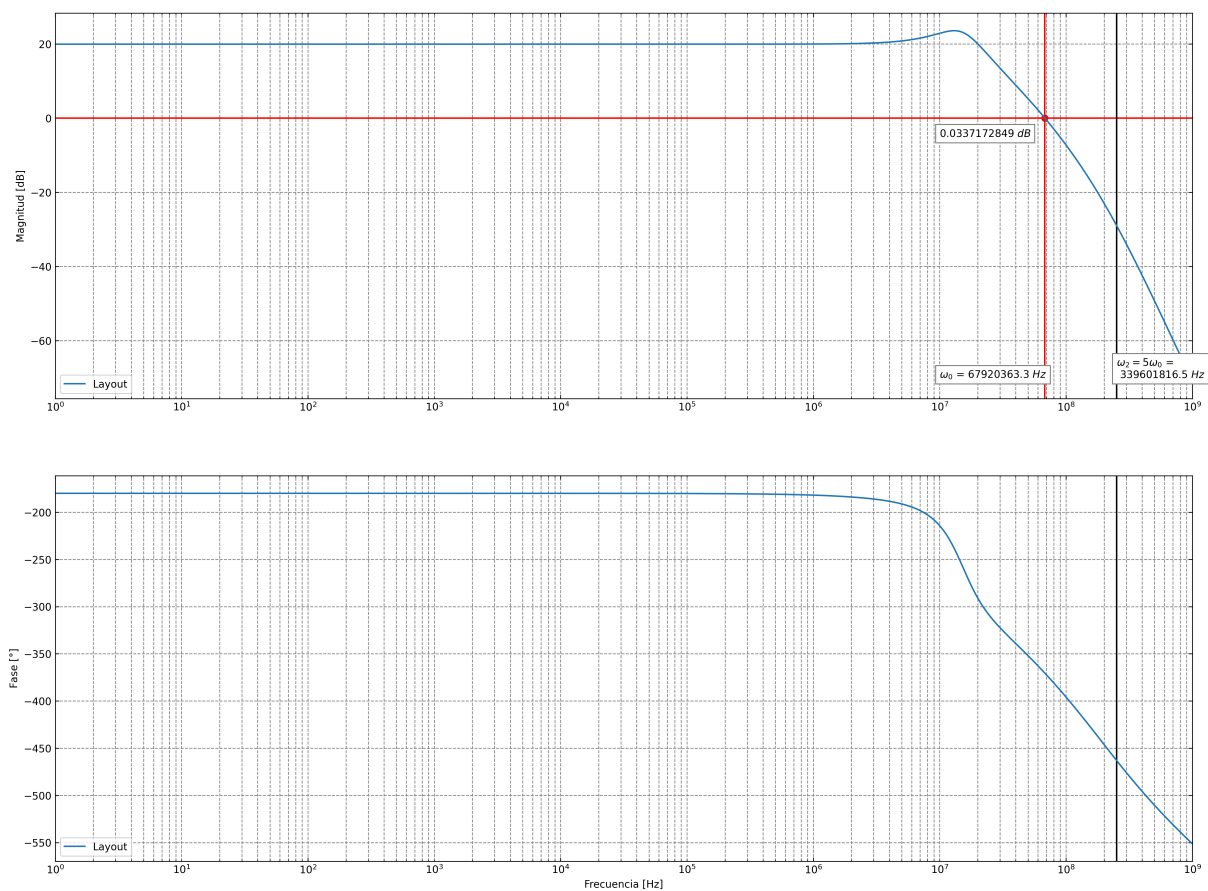


Figura 38: Diagrama de Bode de salida para simulación de características a «lazo cerrado» para el diseño en la vista de layout del amplificador.

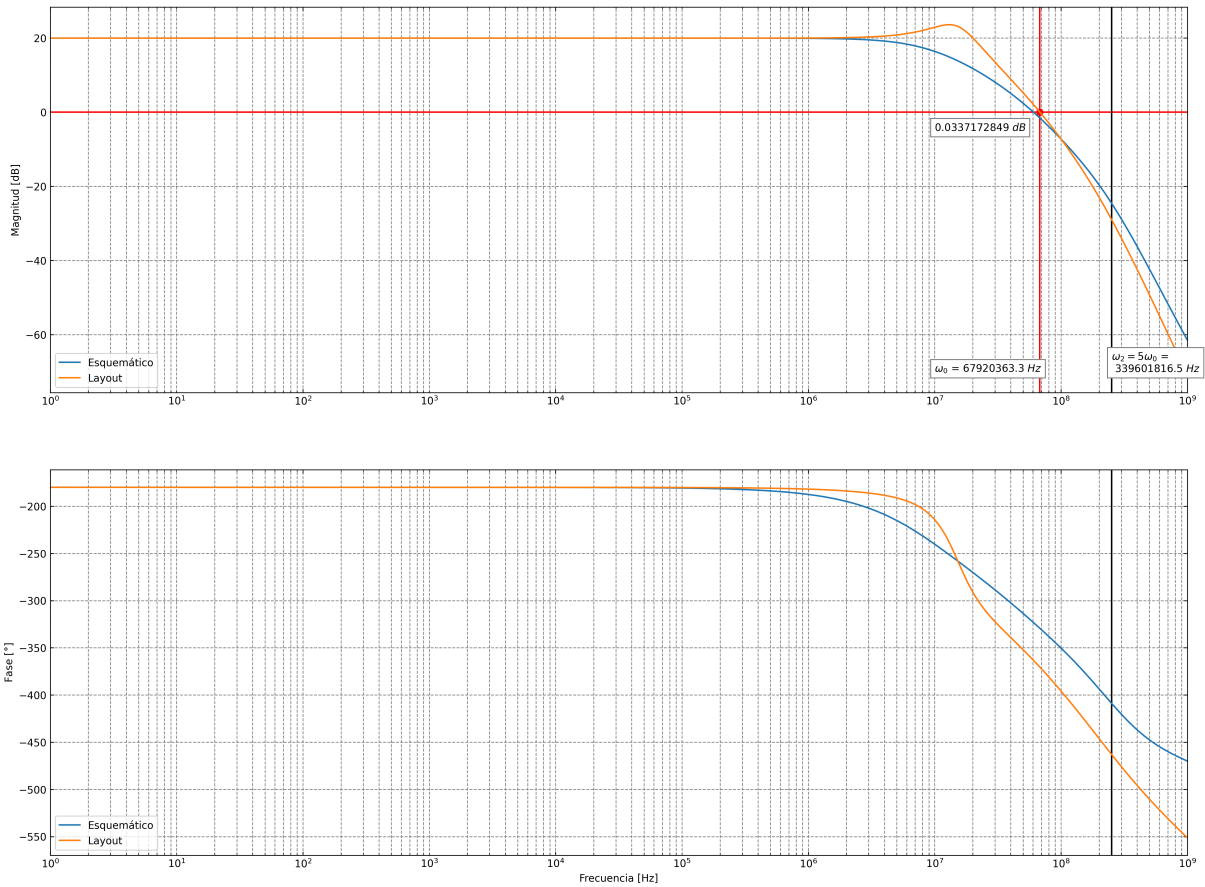


Figura 39: Comparativa de los diagramas de Bode de salida para las simulaciones de características a «lazo cerrado» para el diseño esquemático y en vista de layout del amplificador.

En la Figura 39 se pueden observar, superpuestas, la comparativa entre las respuestas en frecuencia para las vistas de esquemático y layout. Se comprueba que, efectivamente, al llevar a la fabricación física al amplificador se sufren consecuencias de comportamiento en señal debido a la introducción de efectos espurios o parásitos⁵².

Análisis de potencia de ruido

En el análisis de g_m de la sub-sección «Evaluando la curva g_m versus I_D » se desarrolló la relación existente entre g_m y el ancho de banda del dispositivo, y por ende, su relación con la GBW. Esta, sin embargo, no es la única relación de compromiso que se presenta respecto a la transconductancia del dispositivo. Así, también tiene esta una relación inversamente proporcional con el ruido presente en el dispositivo.

$$v_{n,in}^2(f) \propto \frac{1}{g_m} \quad (\text{Ecu. 39})$$

Por este motivo es que una de las restricciones de diseño de los amplificadores es la cantidad de ruido presente a su salida. Esto se puede presentar de dos maneras:

- Espectro de ruido

⁵²Todas las magnitudes representadas son para la vista de layout, la vista más realista disponible.



- Integración del espectro de ruido

El análisis de ruido es realizado sobre un rango de frecuencias determinadas, en nuestro caso desde 1 Hz hasta 1 GHz⁵³.

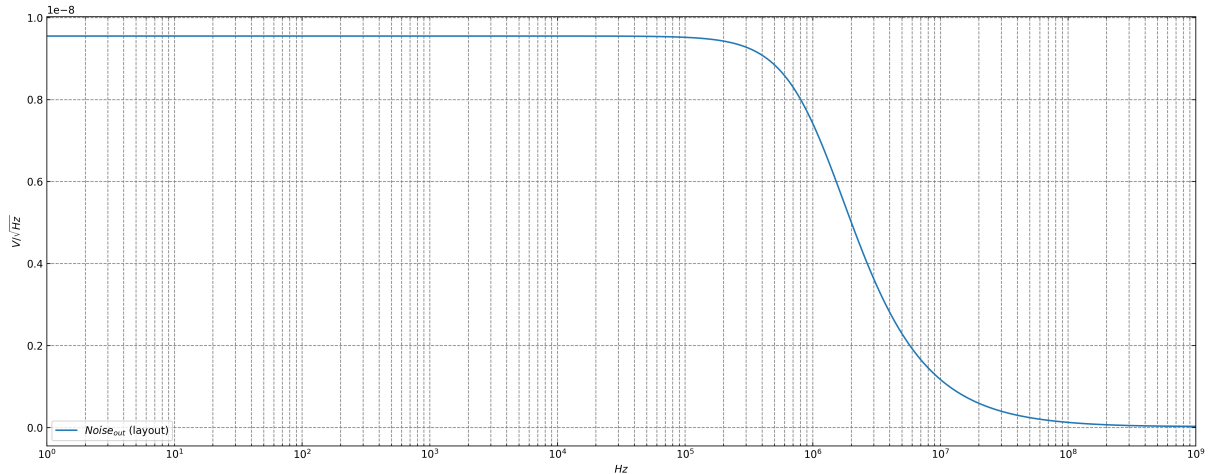


Figura 40: Diagrama de Bode para el ruido equivalente de salida (medido en V_{out} para la respuesta del amplificador en su vista de layout).

La curva muestra que el ruido es mayor para el rango de frecuencias bajas. Al alcanzar la frecuencia de corte del sistema este empieza a decaer hasta llegar a una ganancia nula. Sigue así la misma lógica que cualquier otra señal siendo procesada por el amplificador.

Finalmente, si se integra el espectro de frecuencia anterior, obtenemos un ruido equivalente total de salida (medido desde V_{out}) de:

$$\text{Noise}_{\text{total, out}} = 13,3212 \text{ pV} \quad (\text{Ecu. 40})$$

De esta manera vemos que el requerimiento de ruido equivalente a la salida del amplificador queda satisfecho.

Análisis de THD

Para asegurar la calidad de salida de la señal amplificada, uno de los requisitos es el cumplimiento de un umbral de THD para una señal de prueba sinusoidal muy específica.

En el siguiente reporte se encuentra el análisis realizado por el simulador para el cálculo de los 10 primeros armónicos de la señal de salida (tomada en V_{out}) con respecto a la señal original de 100 kHz y $2V_{pp}$:

```

1 Fourier analysis for v(vout):
2 No. Harmonics: 10, THD: 0.00711492 %, Gridsize: 200, Interpolation Degree
  : 1
3 Harmonic Frequency Magnitude Phase Norm. Mag Norm. Phase
4 -----
5 0 0 2.497 0 0 0
6 1 100000 0.994581 179.244 1 0
    
```

⁵³Las fuentes de ruido consideradas en los análisis de SPICE solo incluyen ruido térmico, ruido tipo «shot» y ruido «flicker» generado por los componentes cuyos modelos incluyan los parámetros necesarios para hacerlo.



7	2	200000	6.46402e-05	104.101	6.49924e-05	-75.143
8	3	300000	2.8732e-05	-167.21	2.88885e-05	-346.45
9	4	400000	1.37212e-06	-72.569	1.37959e-06	-251.81
10	5	500000	1.30766e-06	19.0102	1.31479e-06	-160.23
11	6	600000	7.34525e-08	114.804	7.38527e-08	-64.44
12	7	700000	5.5535e-08	-155.72	5.58376e-08	-334.96
13	8	800000	4.05105e-09	-19.127	4.07313e-09	-198.37
14	9	900000	2.14758e-09	28.5299	2.15928e-09	-150.71

Se verifica un THD $\approx 0.007\%$, de esta manera se verifica el cumplimiento de la métrica de diseño esperada.

Generación de archivos de fabricación

Exportación de GDSII stream format

La herramienta en la que se basó la implementación física del presente proyecto: «Electric» soporta la exportación del diseño al formato GDSII.

Para realizar la exportación al formato mencionado, formato requerido por cualquier fabricante de circuitos integrados, sean estos analógicos o digitales, se siguieron los siguientes pasos:

1. File \rightarrow Export \rightarrow GDS II (Stream).

Puede verificarse la validez del archivo exportado mediante el uso de la misma herramienta haciendo:

1. File \rightarrow Import \rightarrow GDS II (Stream).

Se recomienda, sin embargo, hacerlo con el soporte de una segunda herramienta para eliminar cualquier posible error sistemático. Algunos ejemplo de este tipo de herramientas (libres y gratuitas) podrían ser:

- KLayout
- OwlVision

De esta manera se puede contrastar la coincidencia, o no, de las diferentes capas, sus nombres y los polígonos observado en el programa de diseño con lo exportado en el formato que entiende el fabricante.

Se pone, a modo de ejemplo la siguiente imagen, importada desde KLayout⁵⁴:

⁵⁴La totalidad de las imágenes, que presentarán la implementación en layout final del diseño, así como también un desglose, capa a capa, se encuentran en el «Anexo η ».

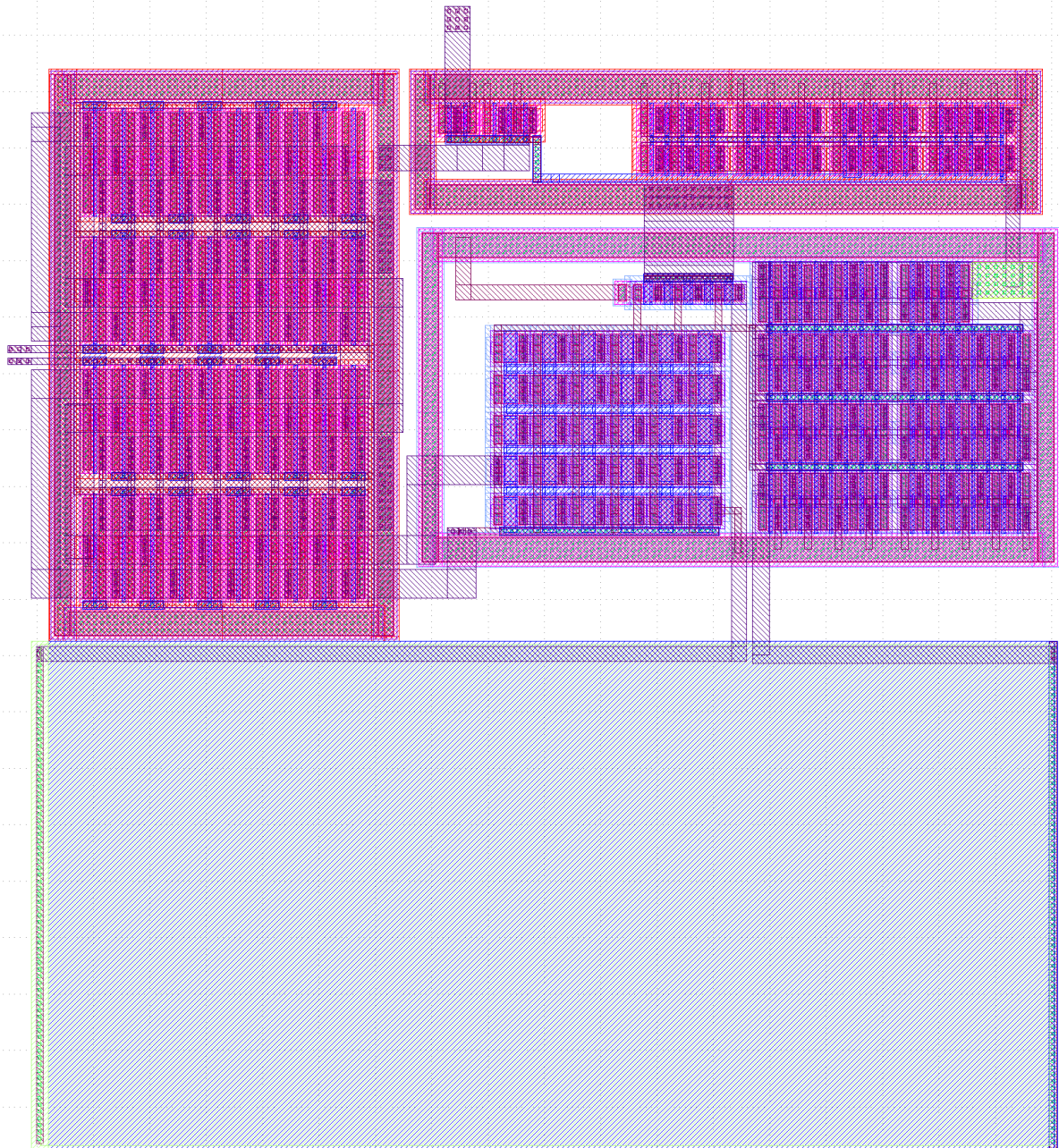


Figura 41: GDS importado desde KLayout. La imagen muestra la totalidad de las capas de fabricación.

Trabajo futuro

Algunas ideas que vale la pena plantear para un posible trabajo futuro sobre el diseño podrían ser:

- La implementación interna del circuito encargado de generar la fuente de corriente de referencia (Band-Gap Reference BGR).
- La implementación y el acceso directo a puntos de testeo internos («test-points») para la validación y medición de algunas de las magnitudes internas del sistema.



- Una posible mejora en la topología de las fuentes de corriente si, posterior a la medición del voltaje de overhead de las misma (en silicio), se encuentra que es factible la implementación de fuentes tipo cascode.
- Aprovechamiento del área restante disponible en floorplan para la fabricación de algunas otras estructuras de prueba.



Conclusiones

En el presente trabajo se expuso el desarrollo del tema: «**Diseño y verificación física de un amplificador operacional de dos etapas con compensación tipo Miller**», a modo de cierre de mi formación personal en la carrera de grado de ingeniería en electrónica.

Lamentablemente, debido a un repentino cambio en la política de patrocinio para la fabricación del programa MOSIS, ocurrido durante el desarrollo de este trabajo, este diseño no pudo ser enviado para su fabricación en silicio.

Sin perjuicio de lo anterior; basado en los diversos análisis teóricos y prácticos, ejecutados y presentados en los capítulos anteriores, se verifica el cumplimiento, de cada uno de los requisitos de funcionamiento del sistema. Queda así cumplido el objetivo general.

Podemos concluir que habiendo definido y alcanzado cada uno de los requisitos de diseño, para todos los parámetros de operación esperados, y realizado el diseño físico de un amplificador operacional de dos etapas con una etapa de compensación tipo Miller, con la totalidad de sus características en cumplimiento con las reglas de diseño para el nodo tecnológico de fabricación, quedan así verificados todos y cada uno de los objetivos particulares.

Finalmente, este diseño queda así disponible para su fabricación, posterior estudio, como bloque constructivo o punto de partida de un sistema aún más complejo.



Anexos

A continuación se encuentran todos los anexos del trabajo separados según la afinidad de los temas que trata cada uno.

Anexo α

En esta sección del anexo se podrán encontrar las principales ecuaciones que sustentan las decisiones y establecen la principal guía del desarrollo para las distintas etapas que componen al amplificador, así también como en su operación como una unidad completa.

Ecuaciones para los transistores MOS tipo N del nodo

Región de triodo o $V_{DS} \leq V_{GS} - V_{TH}$

La ecuación derivada de la corriente de sumidero (*Drain*) a lo largo del canal es:

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (\text{Ecu. 41})$$

Donde L es el largo efectivo del canal. A la expresión $V_{GS} - V_{TH}$ se la llama: «voltaje de overdrive». Y a la relación W/L se la domina: «relación de aspecto» del transistor.

Si en la Ecuación 41 se calcula la variación de la corriente de sumidero respecto a la variación de la tensión sumidero-fuente, esto es, si calculamos $\delta I_D / \delta V_{DS}$ encontramos la expresión para la familia de curvas para los valores máximos de corriente del canal:

$$I_{D,max} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (\text{Ecu. 42})$$

Esta ecuación muestra un comportamiento parabólico en función del valor de V_{GS} para cuando se modifica el valor de V_{DS} .

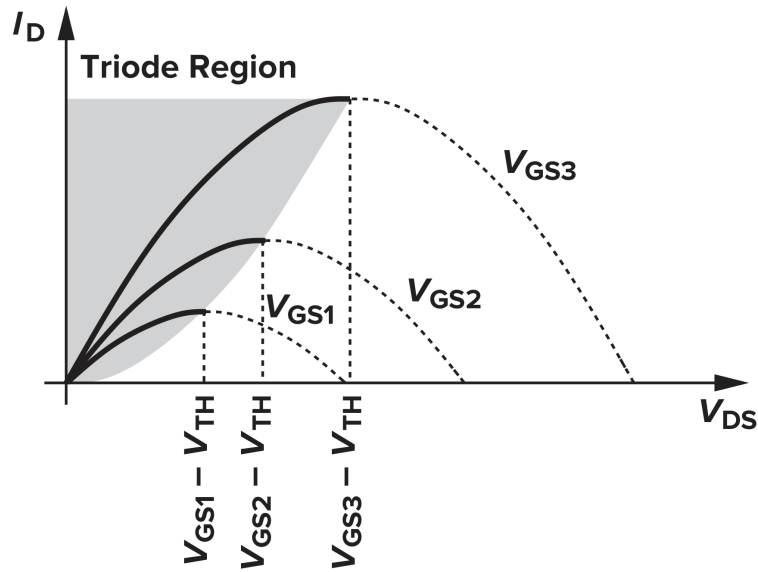


Figura 42: I_D versus V_{DS} en la «región de triodo»

Cuando $V_{DS} \leq V_{GS} - V_{TH}$ (tensión sumidero-fuente menor al «voltaje de overdrive») se dice que el dispositivo está operando en la «región triodo» (también conocida como la «región lineal»). Esto se explica en el siguiente desarrollo:

Partiendo de la Ecuación 41 y asumiendo que: $V_{DS} \ll 2(V_{GS} - V_{TH})$, tenemos:

$$I_D \approx \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS} \quad (\text{Ecu. 43})$$

Expresión que tiene un comportamiento lineal, para un valor dado de V_{GS} , en función de V_{DS} . Esto es, cada una de las parábolas descritas por la Ecuación 42 puede ser aproximada como una línea recta (siguiendo la Ecuación 43) cuando V_{DS} es pequeño.

De lo anterior, se desprende que el camino formado entre sumidero (*Drain*) y fuente (*Source*) puede ser representado por una resistencia lineal igual a:

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad (\text{Ecu. 44})$$

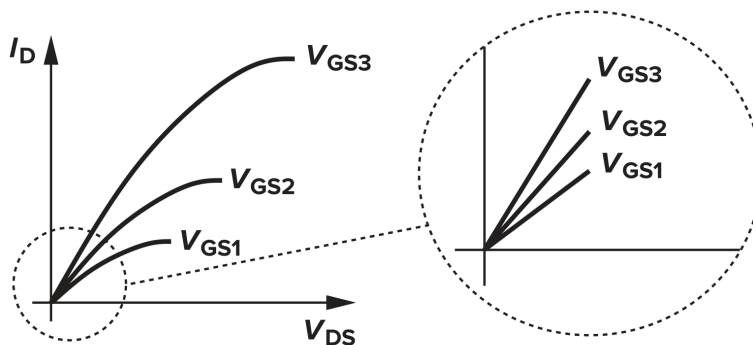


Figura 43: Operación lineal en la parte más profunda de la «región de triodo»



Para este rango de valores, donde se cumple la condición antes mencionada $V_{DS} \ll 2(V_{GS} - V_{TH})$ decimos que el dispositivo opera con un comportamiento lineal en la zona más recóndita de la «región de triodo».

Este comportamiento de los MOSFETs, si bien puede parecer anecdótico por la pequeña región de voltaje en la que se mantienen verdaderas las condiciones para que se pueda asumir un comportamiento lineal, tiene un rol crucial en la electrónica analógica, principalmente como dispositivo configurable. Razavi, 2017

Región de saturación o $V_{DS} > V_{GS} - V_{TH}$

Otra región de interés del comportamiento de los transistores es para cuando el voltaje entre sumidero y fuente supera el voltaje de overhead.

Según la Ecuación 41 la curva de corriente debería comenzar a caer, en forma parabólica, hasta alcanzar nuevamente el eje x (comportamiento que se puede verificar en la Figura 42 por las líneas punteadas que completan las curvas parabólicas para cada uno de los valores de V_{GS}). Sin embargo, este no es el comportamiento físico observado para el dispositivo. En cambio, se observa que una vez alcanzado el valor máximo establecido por la Ecuación 42 la corriente continúa más o menos de manera constante sin depender fuertemente del crecimiento del voltaje entre sumidero y fuente. Es entonces que decimos que el dispositivo opera en la «región de saturación».

Las condiciones de voltaje y el comportamiento correspondiente para la corriente pueden ser observados para el área oscurecida en la Figura 44.

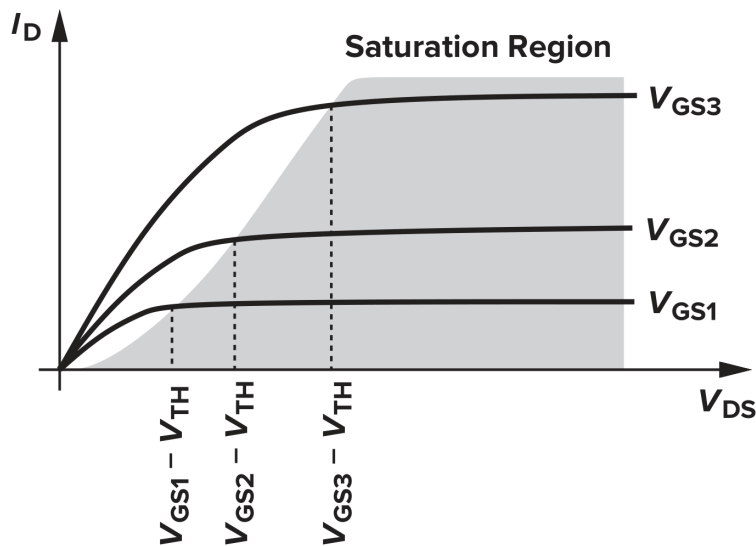


Figura 44: I_D versus V_{DS} en la «región de saturación»

El motivo por el cual la corriente pasa a tener un valor aproximadamente constante se debe a que el canal sufre un ahorcamiento («pinch-off»).

Este fenómeno, está vinculado con la densidad de cargas eléctricas locales (Q_d) en la capa de inversión definida por la tensión local ($V(x)$).

A medida que se avanza a lo largo del canal debajo de la compuerta (*Gate*) (entre sumidero (*Drain*) y fuente (*Source*)) la tensión experimentada punto a punto, expresada mediante: $V_{GS} - V(x) - V_{TH}$, varía a lo largo del eje x . Para cuando $V(x)$ se aproxima



en valor a $V_{GS} - V_{TH}$ entonces la densidad de cargas en ese punto del canal ($Q_d(x)$) cae a cero y será en ese punto en el canal en donde terminará la capa de inversión: $x \leq L$ y se dice que el canal sufrió un ahorcamiento. Como este comportamiento está determinado en función de la tensión V_{DS} , se deriva de lo anterior que el punto en el que Q_d se hace igual a cero se irá desplazando cada vez más hacia la fuente mientras mayor sea el valor de V_{DS} y viceversa.

A pesar que el canal de inversión tiene un ahorcamiento para $x \leq L$ la conducción de corriente se mantiene a lo largo del dispositivo. Esto se explica por la gran velocidad alcanzada por los electrones a medida que se acercan al punto de ahorcamiento ya que: $v = I/Q_d$ y como $Q_d \rightarrow 0 \Rightarrow v \rightarrow \infty$, por lo que las cargas simplemente atraviesan la región de agotamiento alcanzando, finalmente, el terminal de sumidero.

Con estas consideraciones, el desarrollo de la Ecuación 41 puede ser re-evaluado, obteniendo:

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L'} (V_{GS} - V_{TH})^2 \quad (\text{Ecu. 45})$$

De lo que podemos inferir que I_D es relativamente independiente de V_{DS} mientras L' (longitud del canal hasta el punto de «pinch-off») se mantenga cercano a L y que cuenta con un comportamiento cuadrático.

Conociendo el valor de I_D , podemos despejar para obtener el valor de V_{GS} como:

$$V_{GS} = \sqrt{\frac{2I_D}{\mu_n C_{ox} \frac{W}{L'}}} + V_{TH} \quad (\text{Ecu. 46})$$

Ecuaciones para los transistores MOS tipo P del nodo

Las Ecuaciones 41 y 45 para dispositivos MOS tipo P se reescriben como:

$$I_D = -\mu_p C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (\text{Ecu. 47})$$

y

$$I_D = -\frac{1}{2} \mu_p C_{ox} \frac{W}{L'} (V_{GS} - V_{TH})^2 \quad (\text{Ecu. 48})$$

Donde los signos negativos representan el flujo de los huecos en sentido inverso respecto a nuestra asunción de que las cargas se desplazan desde el sumidero hacia el fuente (sentido de referencia de las cargas para un transistor MOS tipo N).

También vale la pena aclarar que, para este dispositivo, los valores para las magnitudes representadas por V_{GS} , V_{DS} , V_{TH} y $V_{GS} - V_{TH}$ son todos negativos para un transistor que está encendido.

A pesar de las similitudes en las expresiones que modelan su comportamiento, es importante resaltar que el valor de movilidad de los huecos es, aproximadamente, la mitad de aquel para los electrones por lo que se dice que los dispositivos PMOS sufren de una capacidad de entrega de corriente menor.

Finalmente, a modo de resumen, se presenta la Figura 45. Esta condensa todos los puntos de operación importantes deducidos a lo largo de esta sección, brindando un resumen de todas las condiciones posibles de operación para los dispositivos MOSFET.

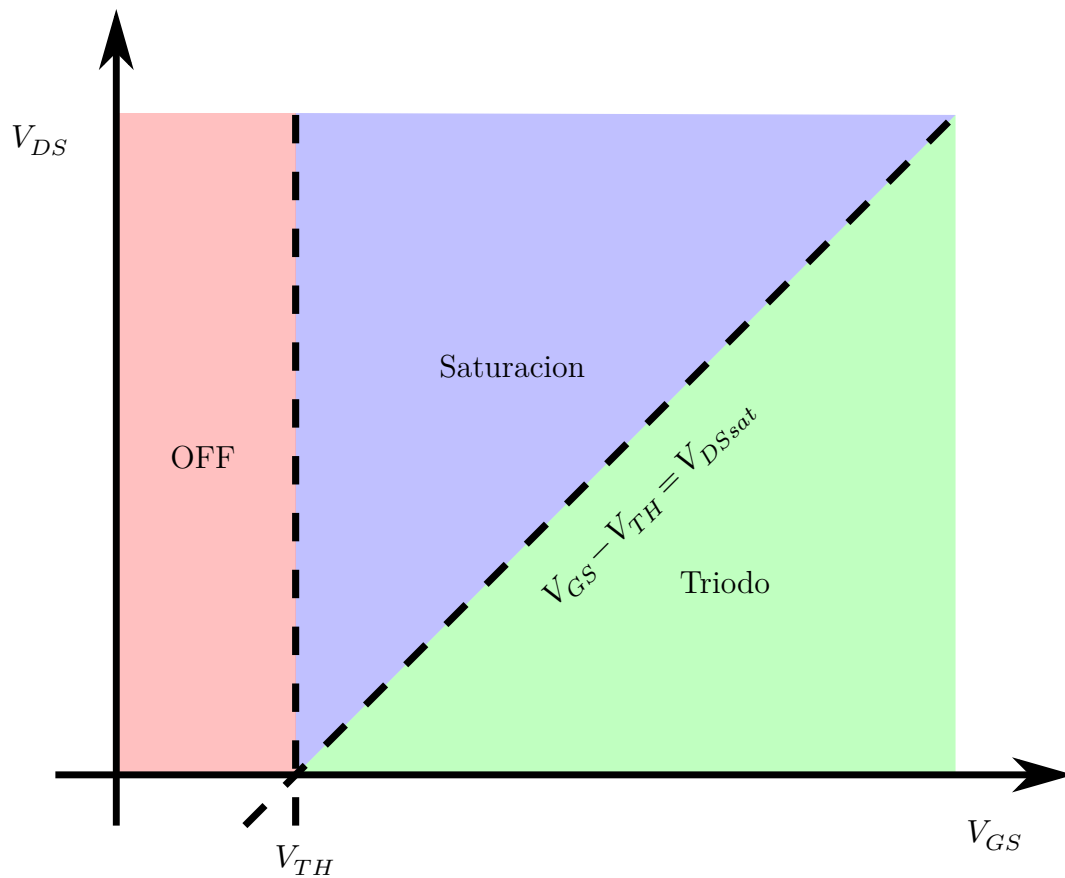


Figura 45: Áreas de trabajo teóricas de los dispositivos MOS. En el caso de los transistores tipo P los ejes tendrán signos negativos.

Transconductancia MOS

Un MOSFET operando en saturación produce una corriente de salida que está en función del «voltaje de overdrive» entre compuerta y fuente (V_{GS}). Será posible entonces definir para él una característica eléctrica que indique cuán bien convierte el dispositivo el voltaje de entrada a la corriente de salida.

Como los transistores trabajarán principalmente con señales, estaremos frente a *cam-bios* en la corriente y la tensión. Definimos entonces esta característica eléctrica como el cambio o la variación en la corriente de sumidero con respecto al cambio o variación en el voltaje entre compuerta y fuente (V_{GS}). Como esta es la relación de una corriente entre un voltaje, la definimos como «transconductancia» y se denotará como g_m expresada como:



$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}(\text{cte})} \quad (\text{Ecu. 49})$$

$$= \frac{\partial \left(\frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \right)}{\partial V_{GS}} \quad (\text{Ecu. 50})$$

$$= \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \quad (\text{Ecu. 51})$$

$$= \mu_n C_{ox} \frac{W}{L} V_{ov} \quad (\text{Ecu. 52})$$

La Ecuación 7, que define a g_m , es repetida para iniciar el análisis por cuestiones de comodidad. En esta se realiza el reemplazo de I_D con la Ecuación 18 ya que es la corriente hallada para la condición donde $V_{DS}(\text{cte})$.

Como ya se mencionó en la Sección «Evaluando la curva g_m versus I_D », se puede interpretar que g_m representa cuan sensible es el dispositivo: si g_m es alto, una pequeña variación en el valor de la tensión V_{GS} resultará en un gran cambio en la corriente I_D .

La magnitud es expresada como la inversa de la resistividad ($1/\Omega$) o en Siemens (S).

El valor de g_m en la región de saturación es igual a la inversa de R_{on} en la zona de «triódo profunda». Por lo que g_m también puede ser expresada como:

$$g_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D} \quad (\text{Ecu. 53})$$

$$= \frac{2I_D}{V_{GS} - V_{TH}} \quad (\text{Ecu. 54})$$

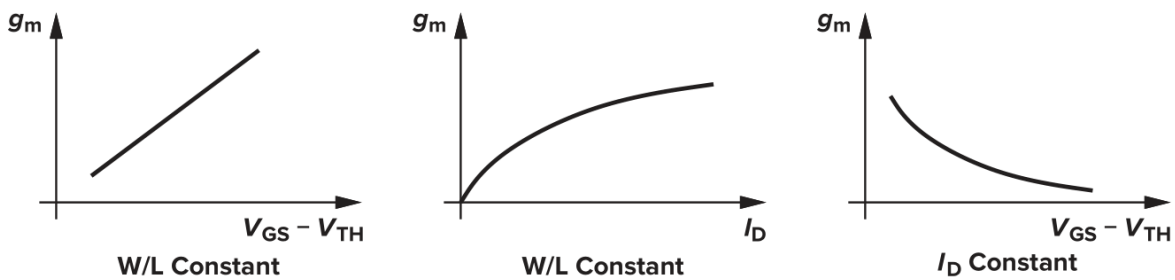


Figure 2.20 Approximate MOS transconductance as a function of overdrive and drain current.

Figura 46

Como se puede observar en las tres gráficas anteriores, el valor de g_m tiene dependencia con las principales variables que determinan el comportamiento de los transistores MOS (el «voltaje de overdrive»: $V_{GS} - V_{TH}$ y la corriente del dispositivo: I_D) por lo que no será un valor que se mantenga relativamente constante en su rango completo de operación aunque sí se lo puede asumir así para el comportamiento en pequeña señal.

Para un transistor MOS tipo P las ecuaciones para la transconductancia en la región de saturación pueden ser expresadas como:



$$g_m = -\mu_p C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \quad (\text{Ecu. 55})$$

$$= \sqrt{2\mu_p C_{ox} \frac{W}{L} I_D} \quad (\text{Ecu. 56})$$

$$= \frac{-2I_D}{V_{GS} - V_{TH}} \quad (\text{Ecu. 57})$$

Existen definiciones de figuras de mérito que dejan de manifiesto las relaciones de proporcionalidad deseadas para los dispositivos, así como también la relación de compromiso que pueda existir entre las principales magnitudes de estos. Una de aquellas es conocida como: «Eficiencia del transistor» (del inglés: «TE (Transistor Efficiency)»)

$$TE = \frac{g_m}{I_Q} \propto \frac{\partial \log I_D}{\partial V_{GS}} \quad (\text{Ecu. 58})$$

Esta ecuación se puede interpretar como «lo que se quiere / lo que se paga para obtenerlo». Así podemos ver el claro conflicto de intereses entre las magnitudes del dispositivo. Para obtener una gran ganancia, bajo ruido y buenas características en frecuencia necesitamos un gran g_m , pero esto nos lleva hacia la derecha en las curvas de control del dispositivo como la Figura 10a (correspondientes a las simulaciones B y C de la Tabla 3) implicando también una mayor corriente de trabajo. Básicamente, a mayor g_m mayor consumo estático (continuo) de corriente, que nos aleja de un diseño de «bajo consumo».

Estimación de voltaje umbral (V_{TH}) para dispositivos tipo MOS-FET

Existen varios métodos para estimar el valor que puede ser considerado el voltaje umbral, por ejemplo: el método propuesto por Razavi Razavi, 2017, página 25 que puede observarse en la Figura 47:

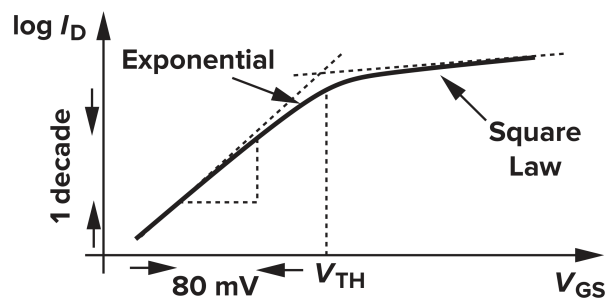


Figura 47: Características sub-umbral para un dispositivo MOS.

El método consiste en la proyección de líneas rectas (alrededor del punto de inflexión entre las dos pendientes marcadamente diferentes) que aproximan las regiones de inversión débil y fuerte, sobre una gráfica con las características de la Figura 10b (obtenida para los dispositivos MOS tipo N de la tecnología de nuestro nodo). Cada pendiente muestra un comportamiento diferente para las magnitudes involucradas, considerando que la representación del eje vertical es logarítmico.



Finalmente, desde su punto de intersección, se proyecta hacia el eje horizontal pudiéndose encontrar así el valor de voltaje umbral estimado⁵⁵.

Los cinco grados de libertad del diseño MOSFET

Así pueden clasificarse las cinco variables (o como se conoce por su sigla en inglés: «DOF (Degree-of-Freedom)») con las que se puede controlar el funcionamiento de un MOSFET, ya sea NMOS o PMOS. A continuación se resumen las variables en un orden de menor a mayor impacto:

1. Voltajes

- a) V_{SB} : Responsable del «efecto body»: El incremento de V_{SB} incrementa V_{TH} . Puede solucionarse cortocircuitando *Bulk* y *Source*, pero esto implica un transistor con mayor área, capacidad de well mayor, acoplamiento entre *S* y *B* y potencialmente mayor ruido, además de ser una condición impuesta por la topología del diseño (no es un grado de libertad disponible para el diseñador).
- b) V_{DS} : Responsable de la pendiente en la zona de saturación de las curvas características, «efecto lambda»: El incremento de V_{DS} genera un incremento de I_D (incluso en la zona de saturación) por el modelado de $r_o = V_A/I_D$. Además, como V_A crece con el crecimiento de V_{DS} , r_o se incrementa mientras más nos adentramos en la región de saturación. Esto sería deseable, pero por lo general los bajos voltajes de alimentación dificultan esta configuración. Además de que la topología también toma un rol importante en la delimitación de esta variable (no suele ser un grado de libertad disponible para el diseñador).
- c) V_{GS} (I_D): Voltaje principal de control, existe un acoplamiento muy fuerte entre V_{GS} y I_D ya que el MOSFET es una fuente de corriente controlada por voltaje (del inglés: «Voltage-Controlled Current Source»). A pesar de esto, en el ámbito de los circuitos integrados, el control generalmente se realiza mediante una corriente de bias, mediante el uso de un espejo de corriente, que a su vez define el voltaje de bias V_{GS} .

2. Parámetros de tamaño

- a) L : En diseños digitales se suele tratar de usar pequeños valores para lograr menor área, menor capacidad y mayor velocidad. En forma transversal, en diseños analógicos se trata de usar grandes valores para obtener mayor ganancia, mayor correlación aleatoria de los dispositivos y menor ruido de «flicker», obviamente lo anterior implica áreas grandes, mayores capacidades, menor velocidad y consumo elevado.
- b) W (V_{ov} antes, g_m/I_D ahora): Es el parámetro más difícil de determinar. Su elección es afectada por: g_m/I_D (que a su vez determinará la región de inversión del dispositivo y la «eficiencia del transistor» TE), L , I_D circulante. Por todo esto es que el rango de búsqueda del valor apropiado para W es muy extenso.

⁵⁵El análisis anterior es un método deductivo, sencillo y rápido propuesto para casos en los que se cuente solo con las gráficas para un dispositivo desconocido, o bien, puedan estas ser generadas de forma experimental.



Finalmente, una vez seleccionado un valor de W , cualquier cambio en L o I_D va a tener impacto sobre TE por lo que el proceso vuelve a comenzar. Por este motivo es que se migra a una metodología de diseño en la que prima el valor de g_m/I_D en reemplazo de W . Esto es posible ya que existe una relación uno-a-uno entre I_D y g_m/I_D (al igual que como sucede con W), esto permite graficar y analizar toda curva contra g_m/I_D como variable independiente.

Derivado de lo que ocurre con las metodologías actuales de diseño por el «reemplazo» de W con g_m/I_D es la capacidad de hacer la inferencia del valor de W par su fabricación: Tenemos que:

$$I_D \propto W \quad (\text{Ecu. 59})$$

Y que para unas curvas conocidas para un dispositivo de referencia:

$$I_D \leftrightarrow W \quad (\text{Ecu. 60})$$

$$I_{Dx} \leftrightarrow W_x \quad (\text{Ecu. 61})$$

Entonces, por su relación lineal o «uno-a-uno», se puede aplicar una multiplicación cruzada, de la forma:

$$W_x = W \frac{I_{Dx}}{I_D} \quad (\text{Ecu. 62})$$

Así estimando el valor para un W dado, basado en un método analítico, con rigor y simplificando el proceso de búsqueda de este parámetro fundamental.

Ecuaciones para el amplificador

Se resume a continuación las principales ecuaciones del análisis de estabilidad del sistema.

Sin compensación

- Función de transferencia

$$H(s) = \frac{v_{out}(s)}{v_{id}(s)} = \frac{K}{(1 + s/\omega_{p1})(1 + s/\omega_{p2})} \quad (\text{Ecu. 63})$$

- Ganancia en DC

$$K = g_{m1}(r_{o2}||r_{o4})g_{m6}(r_{o6}||r_{o7}) \quad (\text{Ecu. 64})$$

- Polos

$$\omega_{p1} = \frac{1}{(r_{o2}||r_{o4})C_{gs6}} \quad (\text{Ecu. 65})$$

$$\omega_{p2} = \frac{1}{(r_{o6}||r_{o7})C_L} \quad (\text{Ecu. 66})$$

En general $\omega_{p2} \ll \omega_{p1}$ porque $C_L \gg C_{gs6}$. No es deseable que la respuesta en frecuencia del amplificador dependa fuertemente de la carga.



Con compensación

- Capacidad de carga vista por la primer etapa

$$C_M = (1 + g_{m6}(r_{o6}||r_{o7}))C_c \quad (\text{Ecu. 67})$$

$$C_M \approx g_{m6}(r_{o6}||r_{o7})C_c \quad (\text{Ecu. 68})$$

- El polo ω_{p1} pasa a ser dominante:

$$\omega_{p1} = \frac{1}{(r_{o2}||r_{o4})C_M} \approx \omega_{p1} = \frac{1}{(r_{o2}||r_{o4})g_{m6}(r_{o6}||r_{o7})C_c} \quad (\text{Ecu. 69})$$

- La frecuencia del polo ω_{p2} se incrementa:

$$\omega_{p2} \approx \frac{1}{(1/g_{m6})(C_{gs6} + C_L)} = \frac{g_{m6}}{C_{gs6} + C_L} \quad (\text{Ecu. 70})$$

- La frecuencia de cruce por cero:

$$\omega_0 \approx \frac{g_{m1}}{C_c} \quad (\text{Ecu. 71})$$

- Para que $\omega_{p2} > \omega_0$:

$$C_c > \frac{g_{m1}}{g_{m6}}(C_{gs6} + C_L) \quad (\text{Ecu. 72})$$

- Con un cálculo más exacto de la función de transferencia se encuentra que existe un cero en el semiplano derecho ($\omega_z = -(g_{m6}/C_c)$). Para que $|\omega_z| \gg \omega_0$ se agrega una resistencia de compensación.

$$\omega_z = -\left(\frac{g_{m6}}{C_c}\right) \frac{1}{1 - g_{m6}R_c} \quad (\text{Ecu. 73})$$

- Si $R_C = 1/g_{m6}$ el cero a parte real positiva desaparece.
- Para mejorar el margen de fase se puede hacer $R_C > 1/g_{m6}$

Cálculo de polos y componentes

En este apartado se recuperan algunas de las ecuaciones vistas en la sección «**Ecuaciones para el amplificador**», subsección «**Con compensación**» para hacer la estimación de los valores esperables para nuestro diseño, así como también la estimación de algunas de las magnitudes necesarias para los componentes que forman parte del lazo de realimentación tipo Miller.



Cálculos para ω_0 : Teniendo en cuenta los requisitos de frecuencia de corte para el amplificador:

$$\omega_0 = 2\pi \cdot 40 \text{ Mrads}^{-1} = 80\pi \text{ Mrads}^{-1} \quad (\text{Ecu. 74})$$

Y como ω_0 también es:

$$\omega_0 \approx \frac{g_{m1}}{C_c} \quad (\text{Ecu. 75})$$

Para nuestro capacitor $C_c \approx 2,5 \text{ pF}$ hacemos:

$$g_{m1} \approx \omega_0 C_c = 80\pi \text{ Mrads}^{-1} \cdot 2,5 \text{ pF} = 0,628 \text{ mS} \quad (\text{Ecu. 76})$$

Como se define un $g_{m1}/I_{D1} = 10$ nos queda:

$$I_{D1} = \frac{g_{m1}}{10} = \frac{0,628 \text{ mS}}{10} \approx 62,83 \mu\text{A} \quad (\text{Ecu. 77})$$

Como $g_{m1} = g_{m2}$ y por su topología $I_{D1} = I_{D2}$, se infiere que la fuente de corriente que suministre el punto de polarización del par diferencial deberá ser capaz de gestionar:

$$I_{D5} = I_{D1} + I_{D2} = 2I_{D1} = 2 \cdot 62,83 \mu\text{A} = 125,66 \mu\text{A} \approx 125 \mu\text{A} \quad (\text{Ecu. 78})$$

Cálculos para ω_2 : Comenzamos el cálculo asumiendo:

$$\omega_2 = 5 \cdot \omega_0 = 5 \cdot 80\pi \text{ Mrads}^{-1} = 400\pi \text{ Mrads}^{-1} \quad (\text{Ecu. 79})$$

Y como ω_2 también es:

$$\omega_2 \approx \frac{g_{m6}}{C_L} \quad (\text{Ecu. 80})$$

Para nuestro capacitor requerido (en la definición de las características del amplificador) $C_{L(max)} = 20 \text{ pF}$ hacemos:

$$g_{m6} \approx \omega_2 C_L = 400\pi \text{ Mrads}^{-1} \cdot 20 \text{ pF} = 25,132 \text{ mS} \quad (\text{Ecu. 81})$$

Como se define un $g_{m6}/I_{D6} = 10$ nos queda:

$$I_{D6} = \frac{g_{m6}}{10} = \frac{25,132 \text{ mS}}{10} \approx 2,5 \text{ mA} \quad (\text{Ecu. 82})$$

Por la topología de la etapa de salida, se infiere que la fuente de corriente que suministre el punto de polarización deberá ser capaz de gestionar:

$$I_{D7} = I_{D6} \approx 2,5 \text{ mA} \quad (\text{Ecu. 83})$$



Anexo β

En esta sección del anexo se podrán encontrar principalmente todo lo referente a los dispositivos PMOS. Se dividirá en varias sub-secciones aquellos análisis que fueran desarrollados para su contraparte, los dispositivos NMOS.

También se incluirán el resto de imágenes, diagramas e información complementaria para NMOS que por cuestiones de espacio o relevancia no fueran incluidos en el cuerpo principal del informe.

NMOS versus PMOS

El análisis de los dispositivos PMOS requiere su propio apartado ya que para la mayoría de las tecnologías CMOS estos son significativamente diferentes e inferiores comparados con los NMOS Razavi, 2017.

Si bien un dispositivo PMOS es complementario al NMOS ya descrito, y las ecuaciones que describen su comportamiento⁵⁶ son idénticas en su deducción y aspecto, los valores de equivalencia que describen el comportamiento para una tecnología dada (como $\mu_{n|p}$ y/o C_{ox}) distan de ser comparables entre los dispositivos para el nodo de fabricación⁵⁷ (en el «Anexo β » se puede encontrar la hoja de datos del proceso con tablas que resumen los valores diferentes para transistores tipo N y tipo P)⁵⁸⁵⁹.

Para conocer la diferencia de comportamiento entre los dispositivos complementarios, esto es: comparar los distintos atributos de los transistores PMOS y NMOS, será preciso realizar más simulaciones, esta vez comparando las mismas dimensiones para ambos. Las características de los transistores serán:

- PMOS «canal corto»: $L = 0,6\mu\text{m}$
- PMOS «canal largo»: $L = 3\mu\text{m}$
- PMOS «canal largo»: $L = 6\mu\text{m}$
- $W/L = 5$

Las curvas a analizar para el dispositivo PMOS, serán:

- I_D vs. V_{GS} (con escala lineal en ambos ejes).

⁵⁶Las cuales pueden ser revisadas en el «Anexo α », sub-sección «Ecuaciones para los transistores MOS tipo P del nodo»

⁵⁷Las variaciones pueden llegar a ser muy significativas, tanto como $\mu_p C_{ox} \approx 0,5\mu_n C_{ox}$ llevando a una conducción de corriente y una transconductancia mucho menores comparado al dispositivo NMOS. Como los dispositivos deben trabajar en conjunto, deben ser lo más parecidos posibles. Esto lleva a tener que compensar (generalmente con más área) a los dispositivos PMOS Razavi, 2017, página 35.

⁵⁸Ver la tabla «STANDARD TRANSISTORS» en la segunda página de la hoja de datos del proceso («Datasheet proceso C5 ON Semi») para más detalles.

⁵⁹En tecnologías más modernas, como los transistores fabricados en 5 nm, las restricciones de fabricación equiparan las áreas necesarias para los transistores NMOS y PMOS debido a un empobrecimiento de las características eléctricas de movilidad para los NMOS (μ_n) y una mejora en el mismo parámetro para los PMOS (μ_p).



La topología a simular será la siguiente:

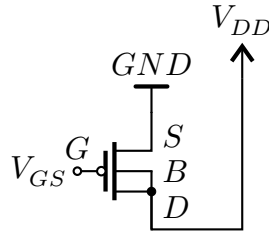


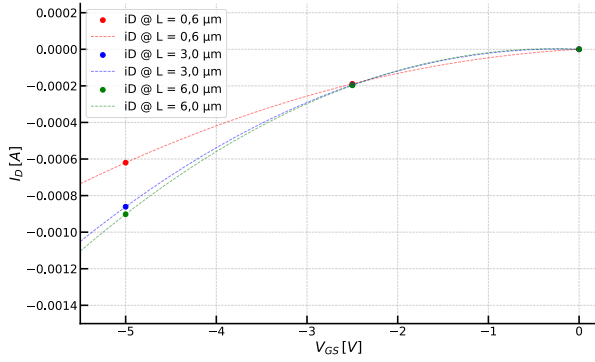
Figura 48: Conexión para simulación de curva del dispositivo PMOS.

Curvas fundamentales de los dispositivos considerando los corners principales

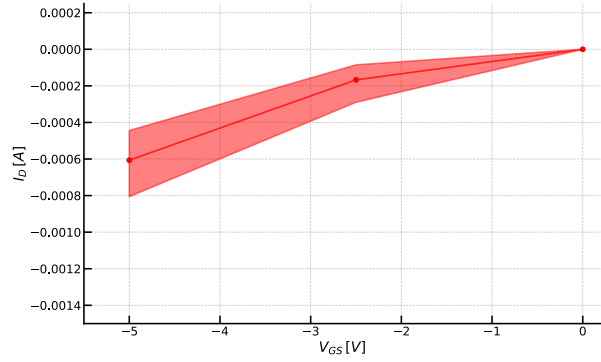
Con la intención de ampliar el contenido y poner de manifiesto los efectos que las variaciones PVT causan sobre los dispositivos es que en esta sección se presentan imágenes complementarias a las presentadas en el análisis inicial, pero ahora con la consideración de los corner principales.



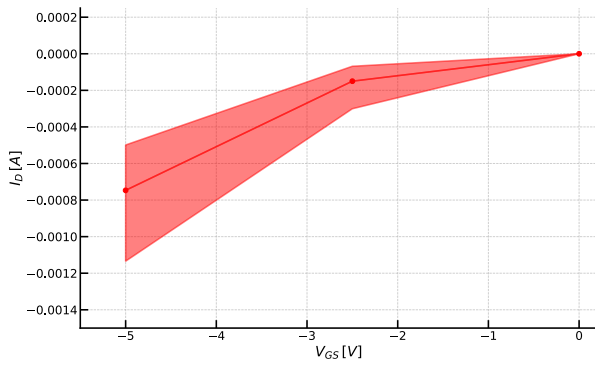
Punto de operación



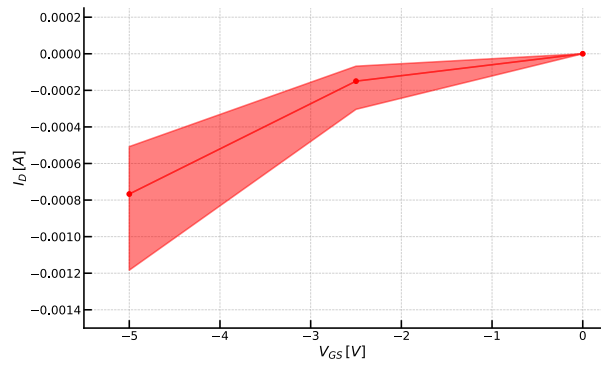
(a) Comparativa de la tres longitudes de canal estudiadas



(b) $L = 0,6 \mu\text{m}$



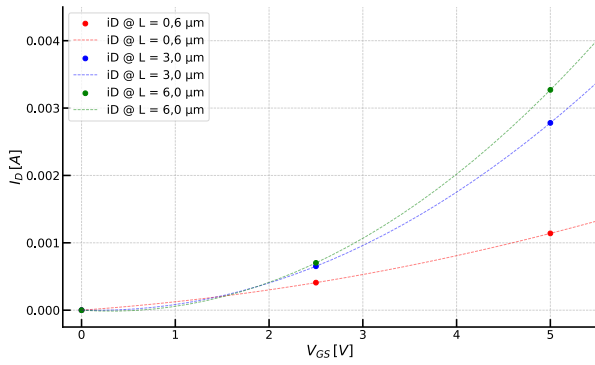
(c) $L = 3 \mu\text{m}$



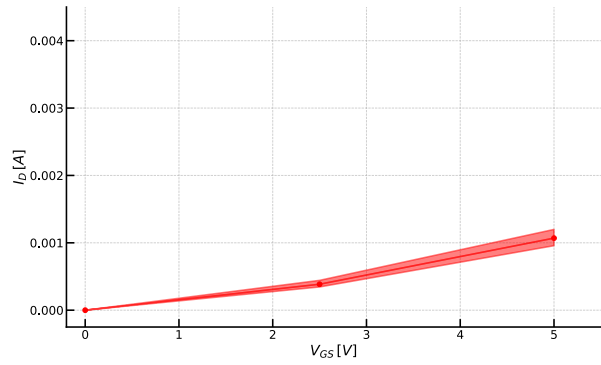
(d) $L = 6 \mu\text{m}$

Figura 49: Curva fundamentales de entrada para los dispositivos PMOS de la tecnología (punto de operación)

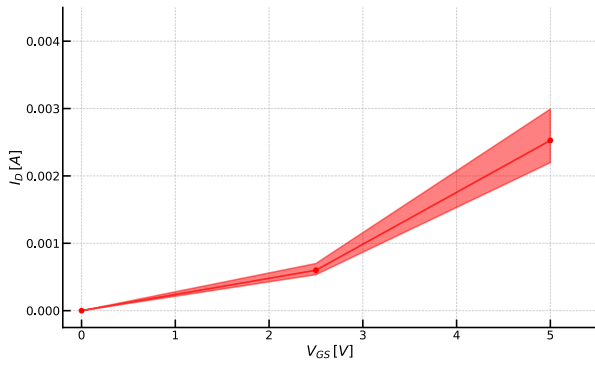
La Figura 49 mantiene los rangos en los ejes x e y entre las figuras de los dispositivos individuales para que sean comparables entre sí.



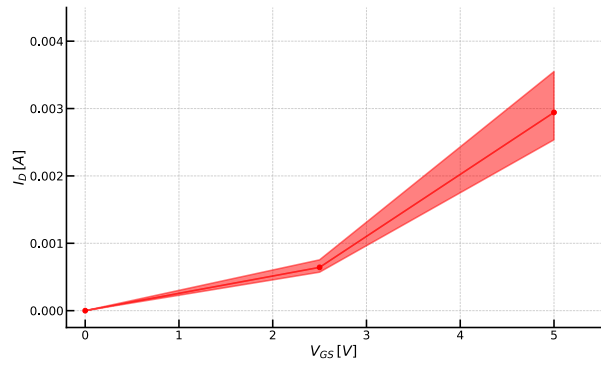
(a) Comparativa de la tres longitudes de canal estudiadas



(b) $L = 0,6 \mu\text{m}$



(c) $L = 3 \mu\text{m}$



(d) $L = 6 \mu\text{m}$

Figura 50: Curva fundamentales de entrada para los dispositivos NMOS de la tecnología (punto de operación)

La Figura 50 mantiene los rangos en los ejes x e y entre las figuras de los dispositivos individuales para que sean comparables entre sí.



Anexo γ

Datasheet proceso C5 ON Semi

C5

Process Technology C5: 0.5 μm Process Technology



ON Semiconductor®

www.onsemi.com

Overview

Optimized for 5 V mixed-signal applications, the C5 process family from ON Semiconductor offers a medium-density, high-performance mixed-signal technology capable of integrating complex analog functions, digital content and 20 V capability. This process delivers the advantages of a dedicated mixed-signal 0.5 μm process without the costs associated with the extra mask steps of a BCD process. Low-voltage transistors are also available for the 0.5 μm process making it well-suited for low-power applications.

Features

- 2 or 3 Metal Layers
- Poly to Poly Capacitors
- EEPROM
- Schottky Diodes
- High-voltage I/O – 12/20 V
- High-resistance Poly
- Low-voltage Modules

PROCESS CHARACTERISTICS

Operating Voltage	5, 12 V
Substrate Material	P-Type, Bulk or EPI
Drawn Transistor Length	0.6 μm
Gate Oxide Thickness	13.5 nm
Contact/Via Size	0.5 μm
Contacted Gate Pitch	3.9 μm
Top Metal Thickness	675 nm
Contacted Metal Pitch	
Metal 1	1.5 μm
Metal 2, 3	1.6 μm
Metal Composition	TiN/AlCu/TiN

SAMPLE PROCESS OPTIONS

	Mask Layers*
Standard CMOS with 20 V extended drain	13/15
Plus double poly cap	14/16
All of the above plus 1,000 Ω /square resistor	15/17
All of the above plus 12 V gate	16/18
All of the above plus low V_t devices	19/21

*2 Metal / 3 Metal.

DEVICE CHARACTERISTICS

(All Values Typical at 25°C)

HIGH-VOLTAGE TRANSISTORS 12 V DUAL GATE NESTED DRAIN

N-Ch 12 V (NU)	Typical Value	Units
V_t	0.95	V
I_{dsat}	450	$\mu\text{A}/\mu\text{m}$
B_{VDSS}	19	V
P-Ch 12 V (PU)	Typical Value	Units
V_t	-1.6	V
I_{dsat}	-110	$\mu\text{A}/\mu\text{m}$
B_{VDSS}	-14.5	V

20 V EXTENDED DRAIN, 15 V GATE

N-Ch 20 V (NX)	Typical Value	Units
V_t	0.95	V
I_{dsat}	400	$\mu\text{A}/\mu\text{m}$
B_{VDSS}	28	V
P-Ch 20 V (PU)	Typical Value	Units
V_t	-1.65	V
I_{dsat}	-130	$\mu\text{A}/\mu\text{m}$
B_{VDSS}	-28	V



C5

20 V EXTENDED DRAIN, 5 V GATE

N-Ch 20 V (NT)	Typical Value	Units
V_t	0.75	V
I_{dsat}	145	$\mu A/\mu m$
B_{VDSS}	28	V
P-Ch 20 V (PT)	Typical Value	Units
V_t	-1.0	V
I_{dsat}	-55	$\mu A/\mu m$
B_{VDSS}	-28	V

STANDARD TRANSISTORS

N-Channel	Typical Value	Units
V_t	0.7	V
I_{dsat}	450	$\mu A/\mu m$
P-Channel	Typical Value	Units
V_t	-0.9	V
I_{dsat}	-260	$\mu A/\mu m$

RESISTORS

	Typical Value	Units
Poly	25	$\Omega/square$
Hi-R Poly	1000	$\Omega/square$
N-Diffusion	80	$\Omega/square$
P-Diffusion	110	$\Omega/square$
N-Well	855	$\Omega/square$

CAPACITORS

Poly-Poly	Typical Value	Units
Area	0.9	fF/ μm^2
Periphery	0.065	fF/ μm

LIBRARIES

(All Values Typical at 3.3 V, 25°C)

Front-End Digital Design	
Digital	Synthesis Libraries
	Simulation Libraries
Analog - General Design Information (GDI)	Design Rules
	Spice Models
Digital Design	
High Performance Core	4.2 K gates/ mm^2 *
	1.58 $\mu W/MHz/gate$
	103 ps gate delay (2 Input NAND, fanout = 2)
Tall Pads for High I/O Count Designs	86 μm in-line pad pitch
	60 μm staggered pad pitch
	558 μm pad height
Mixed-Signal Design	
Cadence Technology File	Separate substrate bus for reduced digital noise
Cadence Transistor Library	7.4 K gates/ mm^2 *
Mixed-Signal Core	0.63 $\mu W/MHz/gate$
	558 μm pad height
	128 ps gate delay (2 Input NAND, fanout = 2)
Mixed Signal Short Pads for High Logic Contact Designs	135 μm in-line pad pitch
	388 μm pad height
Mixed-Signal Medium Height Pads	86 μm in-line pad pitch
	567 μm pad height

*Routed gate density.

MEMORY OPTIONS

SRAM	
Single Port Synchronous*	191 $\mu m^2/bit$ (64 k bit memory)
Dual Port Synchronous*	567 $\mu m^2/bit$ (64 k bit memory)
ROM	
Asynchronous*	14.65 $\mu m^2/bit$ (64 k bit memory)
EEPROM	
NASTEE (No Additional Steps EEPROM)	Vector (1x4 up to 1x32)
	Array (2x4 up to 32x32)


*Compiled



C5

CAD TOOL COMPATIBILITY

Digital Design	Synopsys Design Compiler
	Cadence Verilog
Analog Design	Cadence DFII (4.4.6)
	Spectre
Place and Route	Synopsys Apollo, Astro
	Cadence Silicon Ensemble
Physical Verification	Mentor Calibre

ON Semiconductor and  are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of ON Semiconductor's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using ON Semiconductor products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by ON Semiconductor. "Typical" parameters which may be provided in ON Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. ON Semiconductor does not convey any license under its patent rights nor the rights of others. ON Semiconductor products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use ON Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold ON Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that ON Semiconductor was negligent regarding the design or manufacture of the part. ON Semiconductor is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Literature Distribution Center for ON Semiconductor
 19521 E. 32nd Pkwy, Aurora, Colorado 80011 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
 USA/Canada
Europe, Middle East and Africa Technical Support:
 Phone: 421 33 790 2910
Japan Customer Focus Center
 Phone: 81-3-5817-1050

ON Semiconductor Website: www.onsemi.com

Order Literature: <http://www.onsemi.com/orderlit>

For additional information, please contact your local Sales Representative

◇

C5/D



Valores extracción proceso C5 ON Semi

File: /home/fozza/Electric/C5_models.txt

Page 1 of 2

```
* BSIM3 models for AMI Semiconductor's C5 process
*
* Don't forget the .options scale=300nm if using drawn lengths
* and the MOSIS SUBM design rules
*
* 2<Ldrawn<500 10<Wdrawn<10000 Vdd=5V
* Note minimum L is 0.6 um while minimum W is 3 um
* Change to level=49 when using HSPICE

.MODEL NMOS NMOS (
+VERSION = 3.1          TNOM = 27          LEVEL = 8
+XJ = 1.5E-7           NCH = 1.7E17        TOX = 1.39E-8
+K1 = 0.8351612        K2 = -0.0839158      VTH0 = 0.6696061
+K3B = -7.6841108      W0 = 1E-8           K3 = 23.1023856
+DVTOW = 0             DVT1W = 0           NLX = 1E-9
+DVT0 = 2.9047241      DVT1 = 0.4302695    DVT2W = 0
+U0 = 458.439679       UA = 1E-13          DVT2 = -0.134857
+UC = 1.629939E-11     VSAT = 1.643993E5   UB = 1.485499E-18
+AGS = 0.1194608       B0 = 2.674756E-6    A0 = 0.6103537
+KETA = -2.640681E-3   A1 = 8.219585E-5    B1 = 5E-6
+RDSW = 1.387108E3     PRWG = 0.0299916   A2 = 0.3564792
+WR = 1                WINT = 2.472348E-7 PRWB = 0.0363981
+XL = 0                XW = 0              LINT = 3.597605E-8
+DWB = 5.306586E-8     VOFF = 0            DWG = -1.287163E-8
+CIT = 0               CDSC = 2.4E-4        NFACTOR = 0.8365585
+CDSCB = 0             ETA0 = 0.0246738    CDSCD = 0
+DSUB = 0.2543458      PCLM = 2.5945188    ETAB = -1.406123E-3
+PDIBLC2 = 2.311743E-3 PDIBLCB = -0.0272914 PDIBLC1 = -0.4282336
+PSCBE1 = 5.598623E8   PSCBE2 = 5.461645E-5 DROUT = 0.7283566
+DELTA = 0.01          RSH = 81.8          PVAG = 0
+PRT = 8.621           UTE = -1            MOBMOD = 1
+KT1L = -2.58E-9       KT2 = 0              KT1 = -0.2501
+UB1 = -4.8E-19        UC1 = -7.5E-11      UA1 = 5.4E-10
+WL = 0                WLN = 1              AT = 1E5
+WWN = 1               WWL = 0              WW = 0
+LLN = 1               LWL = 0              LL = 0
+LWL = 0               CAPMOD = 2           LWN = 1
+CGDO = 2E-10          CGSO = 2E-10        XPART = 0.5
+CJ = 4.197772E-4      PB = 0.99            CGBO = 1E-9
+CJSW = 3.242724E-10  PBSW = 0.1           MJ = 0.4515044
+CJSWG = 1.64E-10      PBSWG = 0.1          MJSW = 0.1153991
+CF = 0                PVTH0 = 0.0585501  MJSWG = 0.1153991
+PK2 = -0.0299638     WKETA = -0.0248758 PRDSW = 133.285505
+AF = 1                KF = 0)              LKETA = 1.173187E-3
*

.MODEL PMOS PMOS (
+VERSION = 3.1          TNOM = 27          LEVEL = 8
+XJ = 1.5E-7           NCH = 1.7E17        TOX = 1.39E-8
+K1 = 0.5553722        K2 = 8.763328E-3    VTH0 = -0.9214347
+K3B = -0.6487362      W0 = 1.280703E-8    K3 = 6.3063558
+DVTOW = 0             DVT1W = 0           NLX = 2.593997E-8
+DVT0 = 2.5131165      DVT1 = 0.5480536    DVT2W = 0
+U0 = 212.0166131      UA = 2.807115E-9    DVT2 = -0.1186489
+UC = -5.82128E-11     VSAT = 1.713601E5   UB = 1E-21
+AGS = 0.1328608       B0 = 7.117912E-7    A0 = 0.8430019
+KETA = -3.674859E-3   A1 = 4.77502E-5     B1 = 5E-6
+RDSW = 2.837206E3     PRWG = -0.0363908  A2 = 0.3
+WR = 1                WINT = 2.838038E-7 PRWB = -1.016722E-5
+XL = 0                XW = 0              LINT = 5.528807E-8
+DWB = 2.266386E-8     VOFF = -0.0558512  DWG = -1.606385E-8
+CIT = 0               CDSC = 2.4E-4        NFACTOR = 0.9342488
+CDSCB = 0             ETA0 = 0.3251882    CDSCD = 0
+DSUB = 1              PCLM = 2.2409567    ETAB = -0.0580325
+PDIBLC2 = 3.355575E-3 PDIBLCB = -0.0551797 PDIBLC1 = 0.0411445
+PSCBE1 = 6.44809E9    PSCBE2 = 6.300848E-10 DROUT = 0.2036901
+DELTA = 0.01          RSH = 101.6         PVAG = 0
+PRT = 59.494          UTE = -1            MOBMOD = 1
+KT1L = 1.68E-9        KT2 = 0              KT1 = -0.2942
+UB1 = -6.3E-18        UC1 = -1E-10        UA1 = 4.5E-9
+WL = 0                WLN = 1              AT = 1E3
+WWN = 1               WWL = 1              WW = 0
```



File: /home/fozza/Electric/C5_models.txt

Page 2 of 2

+WWN	= 1	WWL	= 0	LL	= 0
+LLN	= 1	LW	= 0	LWN	= 1
+LWL	= 0	CAPMOD	= 2	XPART	= 0.5
+CGDO	= 2.9E-10	CGSO	= 2.9E-10	CGBO	= 1E-9
+CJ	= 7.235528E-4	PB	= 0.9527355	MJ	= 0.4955293
+CJSW	= 2.692786E-10	PBSW	= 0.99	MJSW	= 0.2958392
+CJSWG	= 6.4E-11	PBSWG	= 0.99	MJSWG	= 0.2958392
+CF	= 0	PVTH0	= 5.98016E-3	PRDSW	= 14.8598424
+PK2	= 3.73981E-3	WKETA	= 5.292165E-3	LKETA	= -4.205905E-3
+AF	= 1	KF	= 0)		



Reglas de diseño escalables para CMOS de MOSIS

Vendor-independent, scalable rules (MOSIS SCMOS Rules)

Design Rules

MOSIS Scalable CMOS (SCMOS)

(Revision 8.00)

Updated: May 11, 2009

1. Introduction

This document defines the official MOSIS scalable CMOS (SCMOS) layout rules. It supersedes all previous revisions.

MOSIS Scalable CMOS (SCMOS) is a set of logical layers together with their design rules, which provide a nearly process- and metric-independent interface to many CMOS fabrication processes available through MOSIS. The designer works in the abstract SCMOS layers and metric unit ("lambda"). He then specifies which process and feature size he wants the design to be fabricated in. MOSIS maps the SCMOS design onto that process, generating the true logical layers and absolute dimensions required by the process vendor. The designer can often submit exactly the same design, but to a different fabrication process or feature size. MOSIS alone handles the new mapping.

By contrast, using a specific vendor's layers and design rules ("vendor rules") will yield a design which is less likely to be directly portable to any other process or feature size. Vendor rules usually need more logical layers than the SCMOS rules, even though both fabricate onto exactly the same process. More layers means more design rules, a higher learning curve for that one process, more interactions to worry about, more complex design support required, and longer layout development times. Porting the design to a new process will be burdensome.

SCMOS designers access process-specific features by using MOSIS-provided abstract layers which implement those features. For example, a designer wishing to use second-poly would use the MOSIS-provided second-poly abstract layer, but must then submit to a process providing for two polysilicon layers. In the same way, designers may access multiple metals, or different types of analog structures such as capacitors and resistors, without having to learn any new set of design rules for the more standard layers such as metal-1. SCMOS is there for portability and simplicity. It is NOT there for fine-tuned layout.

Vendor rules may be more appropriate when seeking maximal use of silicon area, more direct control over analog circuit parameters, or for very large production runs, where the



Por cuestiones de practicidad, se muestra a continuación una tabla con la descripción de todas las capas disponibles para fabricación para los diferentes procesos tecnológicos disponibles, con su formato de exportación correspondiente (GDS):

Layer	GDS	CIF	CIF Synonym	Rule Section	Notes
N_WELL	42	CWN		1	
P_WELL	41	CWP		1	SCPxx
CAP_WELL	59	CWC		17, 18	SCN3MLC
ACTIVE	43	CAA		2	
THICK_ACTIVE	60	CTA		24	SCN4M (TSMC only), SCN4ME, SCN5M, SCN6M
PBASE	58	CBA		16	SCNA
POLY_CAP1	28	CPC		23	SCNPC
POLY	46	CPG		3	
SILICIDE_BLOCK	29	CSB		20	SCN3M, SCN4M (TSMC only), SCN5M, SCN6M
N_PLUS_SELECT	45	CSN		4	
P_PLUS_SELECT	44	CSP		4	
POLY2	56	CEL		11, 12, 13	SCNE, SCNA, SCN3ME, SCN4ME
HI_RES_IMPLANT	34	CHR		27	SCN3ME
CONTACT	25	CCC	CCG	5, 6, 13	
POLY_CONTACT	47	CCP		5	Can be replaced by CONTACT
ACTIVE_CONTACT	48	CCA		6	Can be replaced by CONTACT
POLY2_CONTACT	55	CCE		13	SCNE, SCNA, SCN3ME, SCN4ME Can be replaced by CONTACT
METAL1	49	CM1	CMF	7	
VIA1	50	CV1	CVA	8	
METAL2	51	CM2	CMS	9	
VIA2	61	CV2	CVS	14	SCN3M, SCN3ME, SCN3MLC, SCN4M, SCN4ME, SCN5M, SCN6M
METAL3	62	CM3	CMT	15	SCN3M, SCN3ME, SCN3MLC, SCN4M, SCN4ME, SCN5M, SCN6M
VIA3	30	CV3	CVT	21	SCN4M, SCN4ME, SCN5M, SCN6M
METAL4	31	CM4	CMQ	22	SCN4M, SCN4ME, SCN5M, SCN6M
CAP_TOP_METAL	35	CTM		28	SCN5M, SCN6M
VIA4	32	CV4	CVQ	25	SCN5M, SCN6M
METAL5	33	CM5	CMP	26	SCN5M, SCN6M
VIA5	36	CV5		29	SCN6M
METAL6	37	CM6		30	SCN6M
DEEP_N_WELL	38	CDNW		31	SCN5M, SCN6M
GLASS	52	COG		10	
PADS	26	XP			Optional non-fab layer used solely to highlight the bonding pads
Comments		CX			Comments

Tabla 18: Descripción completa de todas las capas disponibles para la fabricación SCMOS

Anexo δ

En este apartado, podrá encontrarse todo el detalle de la configuración de cada una de las herramientas utilizadas, lo que comúnmente se conoce como «flujo de trabajo».

Así, para la realización de este y cualquier otro proyecto en microelectrónica, ya sea en el dominio analógico, digital o de tecnología mixta, la configuración del entorno de trabajo es uno de los puntos más importantes para lograr un resultado consistente y repetitivo además de asegurar el cumplimiento de las restricciones de la tecnología del nodo de fabricación elegido y aquellas otras potencialmente impuestas por el fabricante.

Instalación de las herramientas de diseño

El proceso de instalación, y configuración, de las herramientas elegidas y utilizadas para el desarrollo del presente trabajo serán explicadas asumiendo el uso de un sistema operativo Linux. Sin embargo, salvo que se detalle lo contrario, pueden realizarse prácticamente el mismo procedimiento para la instalación en otros sistemas operativos, en cualquier caso se recomienda su uso en un sistema operativo basado en Linux.



Diseño esquemático

El diseño a nivel lógico o esquemático puede ser realizado basándose en una gran cantidad de herramientas. Desde el papel y lápiz hasta un software específico a tal fin. A lo largo del proyecto, el diseño esquemático del amplificador operacional fue realizado en dos plataformas de software específico diferentes:

- «**Electric**»
- «**LTspice**[®]»

Si bien su representación siempre fue la misma, simbolizando las relaciones y cantidades del circuito representado siempre de la misma forma, el fin específico de cada uno de esos programas es diferente. Al no contar el diseño con gran cantidad de elementos y conexiones, no se indagó en la posibilidad de utilizar algún formato estándar para la representación del netlist entre los dos programas.

CAD

Para la representación de las dimensiones físicas reales de los componentes que componen al amplificador, como: transistores, capacitores y puertos de conexión así también como para su conexionado, fue preciso el uso de un programa específico a tal fin. La configuración de este tipo de programas es fundamental para lograr un circuito que constructivamente se adecue a las reglas de diseño impuestas por el nodo y el fabricante. Para tal fin, el software utilizado fue: «**Electric**». La versión utilizada: 9.0.7. «**Electric**» es un entorno de diseño que soporta múltiples plataformas, de código libre y abierto, en desarrollo desde 1983.

Simulación

- «ngspice»
- «LTspice»

Extracción

- «**Electric**»

Configuración de las herramientas

Electric

Para poder realizar las simulaciones haciendo uso de la herramienta LTspice, es preciso que la herramienta de CAD, extracción, etc. entregue y procese los archivos finales e intermedios en un formato en común con el software de simulación (como LTspice⁶¹ o ngspice). Debido a esto es preciso realizar la siguiente configuración en el programa:

1. **File** → **Preferences** → **General** → **General** → **I/O** → **New** → **\$USER/tfg/OpAmp**
(En este caso: **/home/mvico/tfg/recursos/OpAmp**).

⁶¹Puede encontrar más información en http://cmosedu.com/cmos1/ltspice/ltspice_electric.htm. También en la bibliografía «CMOSedu.com», s.f.



2. File → Preferences → General → General → Memory → Maximum memory → 4096 MB. (Como mínimo deben ser seleccionados 512 MB).
3. File → Preferences → General → General → Memory → Maximum permanent space → 1024 MB. (Como mínimo deben ser seleccionados 128 MB).
4. File → Preferences → Tools → Spice/CDL → Writing Spice Deck → Spice engine → Spice 3.
5. File → Preferences → Tools → Spice/CDL → Writing Spice Deck → Write VDD/GND in top cell → Checked (yes).
6. File → Preferences → Tools → Spice/CDL → Writing Spice Deck → Spicel level → 3.
7. File → Preferences → Tools → Spice/CDL → Parasitics → Conservative RC.
8. File → Preferences → Tools → Spice/CDL → Write .end statement → Checked (yes).
9. File → Preferences → Tools → Spice/CDL → Write empty subcircuits → Checked (yes).

Si se lo desea, el programa soporta la ejecución de un comando (con posibles argumentos) luego de la escritura de un deck. Esta funcionalidad está pensada para lanzar un simulador o tarea de post-procesado.

Una sugerencia es que se realice la ejecución de LTspice luego de la escritura del deck:

1. File → Preferences → Tools → Spice/CDL → Running Spice → After writing deck → «Run, Ignore Output».
2. File → Preferences → Tools → Spice/CDL → Running Spice → Run program → wine \$USER/LTspice. (En nuestro caso en particular: wine /home/mvico/LTspice).
3. File → Preferences → Tools → Spice/CDL → Running Spice → With args → -i \${FILENAME} -r \${FILENAME_NO_EXT}.raw
4. File → Preferences → Tools → Spice/CDL → Running Spice → Overwrite existing output file (no prompts) → Checked (yes).
5. File → Preferences → Tools → Spice/CDL → Running Spice → Run probe → Checked (yes).

Finalmente, es necesario indicar en la etapa de esquemático, el modelo SPICE al que responde cada elemento, de esta manera tanto la herramienta de esquematizado como la de layout y la herramienta de verificación de conexionado lógico pueden estar en sincronía, funcionar y detectar cualquier anomalía en el diseño. Para realizar lo anterior se deben realizar los siguientes pasos:

1. Tools → Simulation (Spice) → Set Spice Model.
Esto agregará un campo de texto que deberá ser modificado por **NMOS** o **PMOS** según corresponda.
2. Tools → Simulation (Spice) → Add Multiplier.
Con lo que se agregará el campo de texto que modificará el parámetro de «multiplicador» del transistor.



Simulación

1. Crear una nueva Cell tipo `schematic`: `Cell` → `New Cell` → `<nombre_simulación>`.
2. Agregar el símbolo creado anteriormente arrastrándolo desde el panel *Explorer*
3. Añadir los componentes necesarios para crear el circuito a simular desde la pestaña *Components*. En el item **Spice** se encuentran diversas fuentes de alimentación.
4. Revisar las DRC (F5).
5. Añadir texto SPICE: `Components` → `Misc.` → `Spice Code`.
6. Editar el texto SPICE como sigue:
 - Habilitar texto `Multi-Line`.
 - Simulación transitoria: `.tran inicio fin`
 - Simulación alterna: `.ac dec muestras inicio fin`
 - Incluir modelos de transistores: `.include <ruta_archivo_modelos>`.
7. Se crea el archivo de simulación: `Tools` → `Simulation (Spice)` → `Write Spice Deck`. En función de la configuración de la herramienta se abrirá LTspice® listo para correr la simulación o solo se creará el archivo.

Tecnología El archivo de tecnología `C5_models.txt` (entregado por MOSIS) debe estar presente en la carpeta desde la que se ejecuta «**Electric**». Este archivo contiene la definición de los modelos de los transistores. Ambos: NMOS y PMOS, caracterizados (según los procesos del fabricante) para el nodo de la tecnología ONSEMI C5.

1. `File` → `Preferences` → `Technologies` → `Technologies` → `Defaults` → `Startup technology` → `mocmos`.
2. `File` → `Preferences` → `Technologies` → `Technologies` → `Defaults` → `Layout technology to use for Schematics` → `mocmos`.

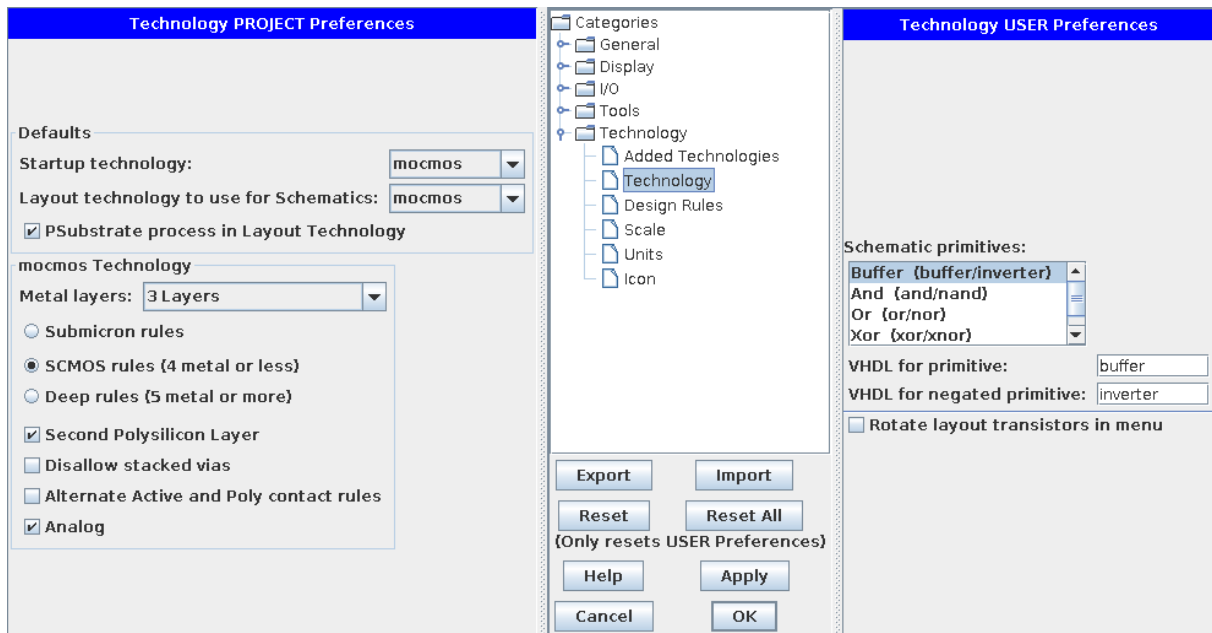


Figura 51: Configuración de la tecnología, nodo C5.

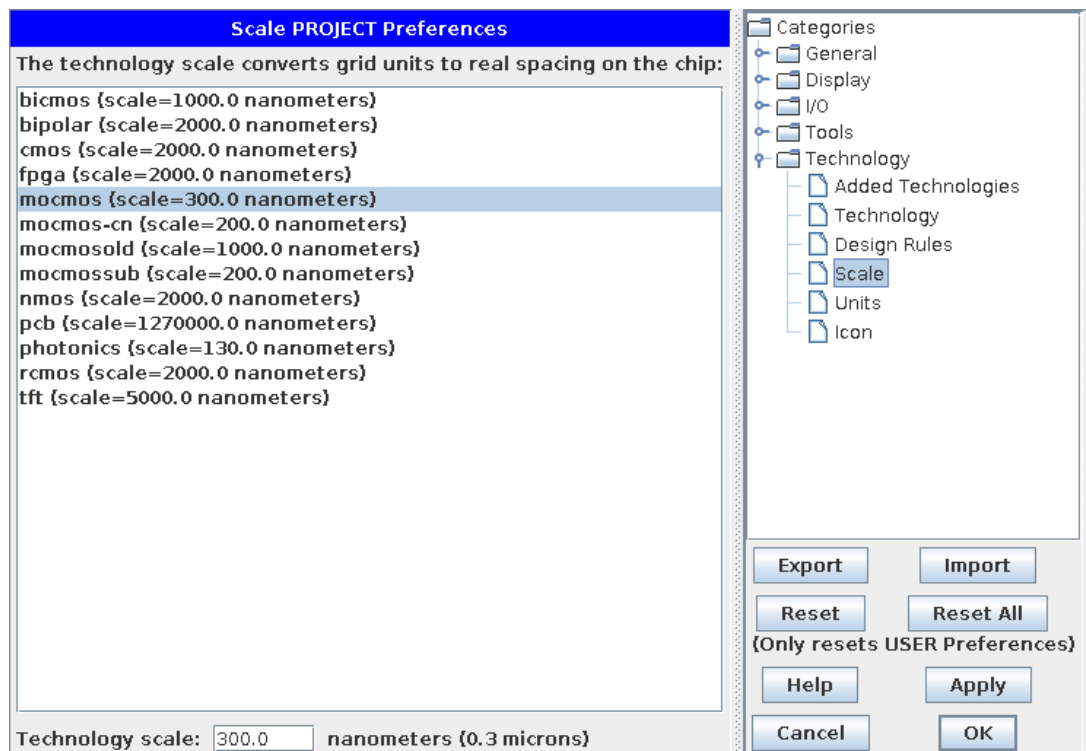


Figura 52: Configuración de la escala () del nodo.

Al finalizar toda la configuración, se puede solicitar a la herramienta un resumen de validación de la configuración haciendo:

1. Edit → Technology Specific → Describe this Technology

El resultado para nuestro caso es el siguiente:



```
1 Technology mocmos
2   Full name: MOSIS CMOS (2-6 metals [now 3], 1-2 polys [now 2], flex rules [now submicron])
3   Scale: 1 grid unit is 300.0 nanometers (0.3 microns)
4   Has 9 arcs (wires): Metal-1 Metal-2 Metal-3 Polysilicon-1 Polysilicon-2 P-Active N-Active P-Well N-Well
5   Has 9 pin nodes: Metal-1-Pin Metal-2-Pin Metal-3-Pin Polysilicon-1-Pin Polysilicon-2-Pin P-Active-Pin
6                     N-Active-Pin P-Well-Pin N-Well-Pin
7   Has 7 contact nodes: Metal-1-P-Active-Con Metal-1-N-Active-Con Metal-1-Polysilicon-1-Con
8                       Metal-1-Polysilicon-2-Con Metal-1-Polysilicon-1-2-Con Metal-1-Metal-2-Con
9                       Metal-2-Metal-3-Con
10  Has 19 regular nodes: Poly1-Poly2-Capacitor Hi-Res-Poly2-Resistor N-Active-Resistor N-Poly-Resistor
11                       N-No-Silicide-Poly-Resistor N-Well-Resistor P-Active-Resistor P-Poly-Resistor
12                       P-No-Silicide-Poly-Resistor P-Well-Resistor P-Transistor Thick-P-Transistor
13                       N-Transistor Thick-N-Transistor P-Transistor-Scalable N-Transistor-Scalable
14                       NPN-Transistor Metal-1-P-Well-Con Metal-1-N-Well-Con
15  Has 24 pure-layer nodes: Metal-1-Node Metal-2-Node Metal-3-Node Polysilicon-1-Node Polysilicon-2-Node
16                          P-Active-Node N-Active-Node P-Select-Node N-Select-Node P-Well-Node N-Well-Node
17                          Poly-Cut-Node Active-Cut-Node Via-1-Node Via-2-Node Passivation-Node
18                          Transistor-Poly-Node Poly-Cap-Node P-Active-Well-Node Silicide-Block-Node
19                          Thick-Active-Node Pad-Frame-Node P-Base-Node Hi-Res-Node
```

Celdas/Vistas Para comenzar con el diseño cualquier etapa del trabajo en «**Electric**», será preciso crear en la herramienta la celda (o vista, como también se la conoce) sobre la que vamos trabajar cierto aspecto del diseño.

Para llevar a cabo lo anterior será preciso realizar los siguientes pasos:

1. Cell → New Cell. En el menú emergente (Figura 53) será preciso elegir:

- La librería a la que se quiere agregar la vista. Por defecto la actual.
- El nombre de la celda a crear.
- El tipo de vista. En nuestro trabajo solo son utilizadas las vistas:
 - **schematic**: Vista lógica, donde se realiza el conexionado de componentes con su valor y caracterización.
 - **icon**: Vista lógica, para la creación de símbolos, se condensa la complejidad de partes del diseño.
 - **layout**: Vista física, representa físicamente los componentes lógicos descritos en la vista esquemática, representa la capa de fabricación.
- La tecnología. Será la misma que la configurada para el proyecto (librería).

2. Para comenzar a utilizar la vista creada será necesario seleccionarla en la pestaña **Explorer**, para luego comenzar a insertar objetos, símbolos, texto, definiciones, etc.

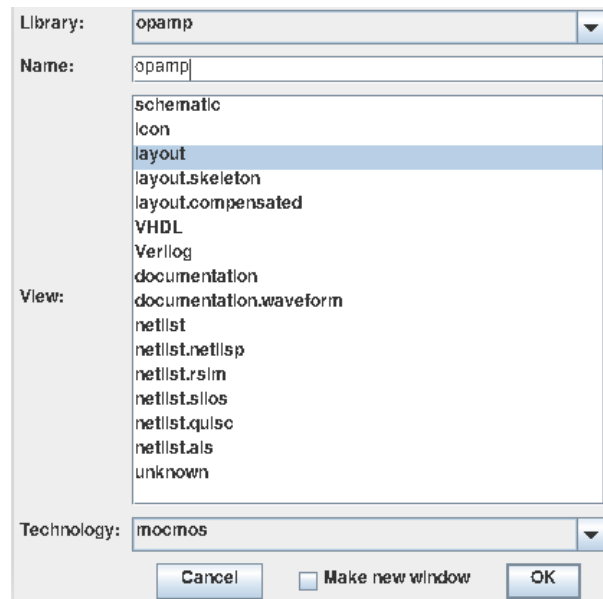


Figura 53: Menú para la creación de nueva celda en «**Electric**».

Layout

MOSFET Para el dibujado de los transistores del diseño se deberá contar previamente con una vista de tipo `layout`, para luego seguir estos pasos:

1. Para crear un transistor NMOS (PMOS) es necesario agregar al `layout` desde la pestaña de `Components` un transistor NMOS (PMOS) y dos contactos tipo `nAct` (`pAct`). Luego podrá accederse a la modificación de los parámetros del mismo. Será necesario modificar ancho (W) y largo (L) para coincidir con el correspondiente en el esquemático.
2. Lo propio deberá hacerse en cuanto al ancho (W) para los contactos `nAct` (`pAct`).
3. Se deberán unir en forma lógica los dos elementos anteriores (mediante arcos tipo `nActive` para los NMOS y `pActive` para los PMOS) y además generar un solapamiento de los distintos contactos de los transistores (multiplicadores/fingers).
4. Finalmente, verificar DRC en el diseño.

Rieles de alimentación Los rieles de alimentación para el límite superior de tensión (V_{DD}) se implementan mediante la creación de regiones `nWell`, mientras que aquellos para el límite inferior de tensión (GND o V_{SS}) mediante un regiones `pWell`.

Conexionado Se distinguen dos tipos de conexionado:

- Por capa de **metal**: Utilizado en forma general para las rutas de conexión entre diversos puntos del `layout`, así como para la conexión de terminales como sumidero (*Drain*) o fuente (*Source*).
- Por capa de **poly**: Utilizado en forma exclusiva por los terminales compuerta (*Gate*) de los transistores MOS.



Cada uno de los anteriores puede contar con sus vías para lograr la interacción entre diversas capas de metal o poly.

I/O Los puertos de entrada y salida son otro de los tipos de elementos disponibles en la pestaña de **Components**, y que condensan las reglas físicas para crear un puerto válido para la tecnología de fabricación con la que se trabaja. Por este motivo, cada capa cuenta con su propio tipo de puerto de conexión.

LTspice®

Para la correcta configuración de LTspice para las funciones de simulación, es preciso realizar los siguientes chequeos y selecciones de opciones:

1. Tools → Control Panel → Operation → «Automatically delete .raw files[*]» → Unchecked (no).

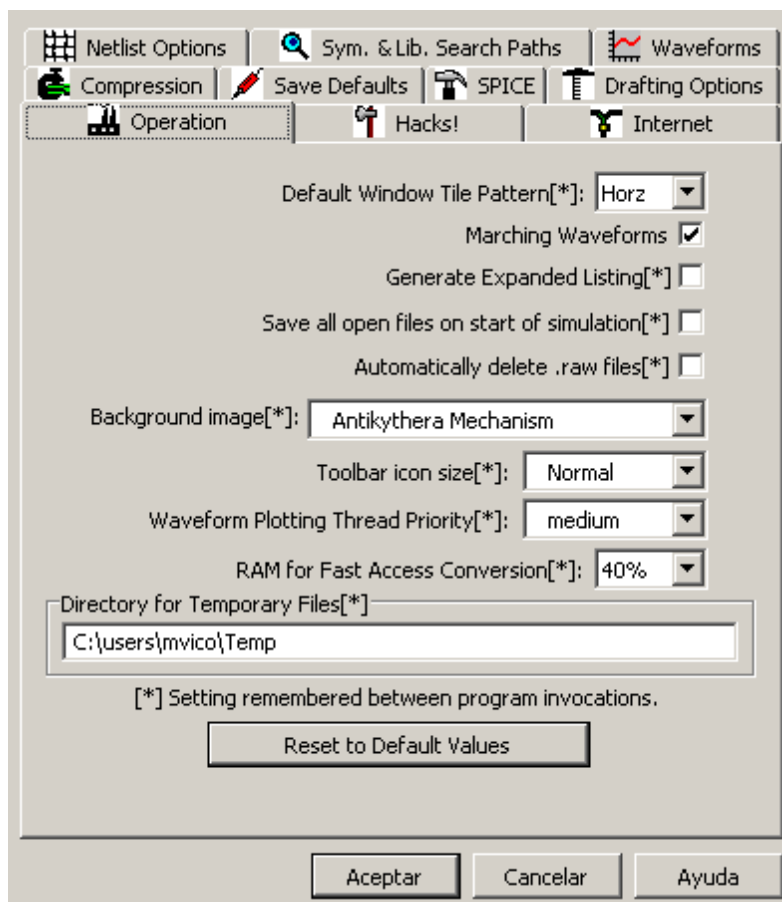


Figura 54: Configuración de operación del simulador, manejo de archivos operativos.

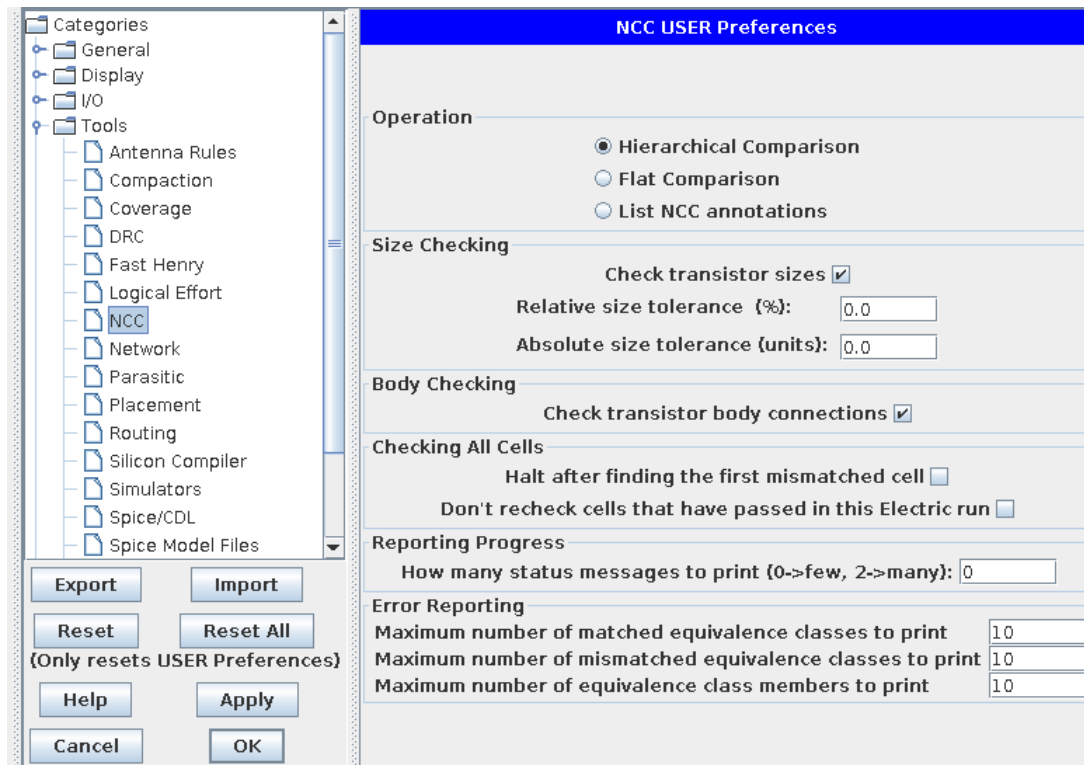
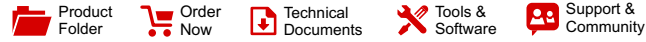


Figura 55: Configuración de la herramienta de verificación NCC (Network Consistency Check) «NCC (Network Consistency Check)».



Anexo €



LMV321A, LMV324A, LMV358A

SBOS923F – DECEMBER 2017 – REVISED JANUARY 2020

LMV3xxA Low-Voltage Rail-to-Rail Output Operational Amplifiers

1 Features

- Low input offset voltage: ± 1 mV
- Rail-to-rail output
- Unity-gain bandwidth: 1 MHz
- Low broadband noise: $30 \text{ nV}/\sqrt{\text{Hz}}$
- Low input bias current: 10 pA
- Low quiescent current: 70 $\mu\text{A}/\text{Ch}$
- Unity-gain stable
- Internal RFI and EMI filter
- Operational at supply voltages as low as 2.5 V
- Easier to stabilize with higher capacitive load due to resistive open-loop output impedance
- Extended temperature range: -40°C to 125°C

2 Applications

- Smoke detectors
- Motion detectors
- Wearable devices
- Large and small appliances
- EPOS
- Barcode scanners
- Sensor signal conditioning
- Power modules
- Personal electronics
- Active filters
- HVAC: heating, ventilating, and air conditioning
- Motor control: AC induction
- Low-side current sensing

3 Description

The LMV3xxA family includes single - (LMV321A), dual - (LMV358A), and quad-channel (LMV324A) low-voltage (2.5 V to 5.5 V) operational amplifiers (op amps) with rail-to-rail output swing capabilities. These op amps provide a cost-effective solution for space-constrained applications such as large appliances, smoke detectors, and personal electronics where low-voltage operation and high capacitive-load drive are required. The capacitive-load drive of the LMV3xxA family is 500 pF, and the resistive open-loop output impedance makes stabilization easier with much higher capacitive loads. These op amps are designed specifically for low-voltage operation (2.5 V to 5.5 V) with performance specifications similar to the LMV3xx devices.

The robust design of the LMV3xxA family simplifies circuit design. The op amps feature unity-gain stability, an integrated RFI and EMI rejection filter, and no-phase reversal in overdrive conditions.

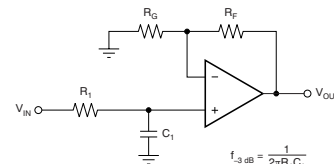
The LMV3xxA family is available in industry-standard packages such as SOIC, MSOP, SOT-23, and TSSOP packages.

Device Information⁽¹⁾

PART NUMBER	PACKAGE	BODY SIZE (NOM)
LMV321A	SOT-23 (5)	1.60 mm x 2.90 mm
	SC70 (5)	1.25 mm x 2.00 mm
LMV358A	SOIC (8)	3.91 mm x 4.90 mm
	TSSOP (8)	3.00 mm x 4.40 mm
	SOT-23 (8)	1.60 mm x 2.90 mm
	VSSOP (8)	3.00 mm x 3.00 mm
LMV324A	SOIC (14)	8.65 mm x 3.91 mm
	TSSOP (14)	4.40 mm x 5.00 mm

(1) For all available packages, see the orderable addendum at the end of the data sheet.

Single-Pole, Low-Pass Filter

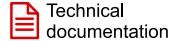


$$f_{-3\text{dB}} = \frac{1}{2\pi R_1 C_1}$$

$$\frac{V_{\text{OUT}}}{V_{\text{IN}}} = \left(1 + \frac{R_F}{R_G}\right) \left(\frac{1}{1 + sR_1 C_1}\right)$$



An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.



LM158, LM158A, LM258, LM258A
LM2904, LM2904B, LM2904BA, LM2904V
LM358, LM358A, LM358B, LM358BA
SLOS068Z – JUNE 1976 – REVISED JULY 2021

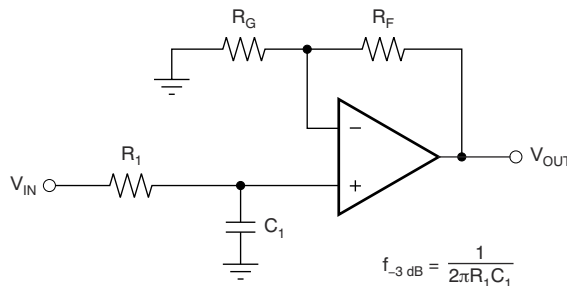
Industry-Standard Dual Operational Amplifiers

1 Features

- Wide supply range of 3 V to 36 V (B version)
- Quiescent current: 300 μ A per amplifier (B version, typical)
- Unity-gain bandwidth of 1.2 MHz (B version)
- Common-mode input voltage range includes ground, enabling direct sensing near ground
- Low input offset voltage of 3 mV at 25°C (A and B versions, maximum)
- Internal RF and EMI filter (B version)
- On products compliant to MIL-PRF-38535, all parameters are tested unless otherwise noted. On all other products, production processing does not necessarily include testing of all parameters.

2 Applications

- [Merchant network and server power supply units](#)
- [Multi-function printers](#)
- [Power supplies and mobile chargers](#)
- [Motor control: AC induction, brushed DC, brushless DC, high-voltage, low-voltage, permanent magnet, and stepper motor](#)
- [Desktop PC and motherboard](#)
- [Indoor and outdoor air conditioners](#)
- [Washers, dryers, and refrigerators](#)
- [AC inverters, string inverters, central inverters, and voltage frequency drives](#)
- [Uninterruptible power supplies](#)
- [Programmable logic controllers](#)
- [Electronic point-of-sale systems](#)



$$\frac{V_{OUT}}{V_{IN}} = \left(1 + \frac{R_F}{R_G}\right) \left(\frac{1}{1 + sR_1C_1}\right)$$

Single-Pole, Low-Pass Filter

3 Description

The LM358B and LM2904B devices are the next-generation versions of the industry-standard operational amplifiers (op amps) LM358 and LM2904, which include two high-voltage (36 V) op amps. These devices provide outstanding value for cost-sensitive applications, with features including low offset (300 μ V, typical), common-mode input range to ground, and high differential input voltage capability.

The LM358B and LM2904B op amps simplify circuit design with enhanced features such as unity-gain stability, lower offset voltage of 3 mV (maximum at room temperature), and lower quiescent current of 300 μ A per amplifier (typical). High ESD (2 kV, HBM) and integrated EMI and RF filters enable the LM358B and LM2904B devices to be used in the most rugged, environmentally challenging applications.

The LM358B and LM2904B amplifiers are available in micro-sized packaging, such as the SOT23-8, as well as industry standard packages including SOIC, TSSOP, and VSSOP.

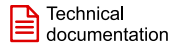
Device Information

PART NUMBER ⁽¹⁾	PACKAGE	BODY SIZE (NOM)
LM358B, LM2904B, LM358, LM358A, LM2904, LM2904V, LM258, LM258A	SOIC (8)	4.90 mm × 3.90 mm
LM358B, LM2904B, LM358, LM358A, LM2904, LM2490V	TSSOP (8)	3.00 mm × 4.40 mm
LM358B, LM2904B, LM358, LM358A, LM2904, LM2904V, LM258, LM258A	VSSOP (8)	3.00 mm × 3.00 mm
LM358B, LM2904B	SOT-23 (8)	2.90 mm × 1.60 mm
LM358, LM2904	SO (8)	5.20 mm × 5.30 mm
LM358, LM2904, LM358A, LM258, LM258A	PDIP (8)	9.81 mm × 6.35 mm
LM158, LM158A	CDIP (8)	9.60 mm × 6.67 mm
LM158, LM158A	LCCC (20)	8.89 mm × 8.89 mm

(1) For all available packages, see the orderable addendum at the end of the data sheet.



An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.



TL071, TL071A, TL071B, TL071H
TL072, TL072A, TL072B, TL072H, TL072M
TL074, TL074A, TL074B, TL074H, TL074M

SLOS080T – SEPTEMBER 1978 – REVISED DECEMBER 2021

TL07xx Low-Noise FET-Input Operational Amplifiers

1 Features

- High slew rate: 20 V/μs (TL07xH, typ)
- Low offset voltage: 1 mV (TL07xH, typ)
- Low offset voltage drift: 2 μV/°C
- Low power consumption: 940 μA/ch (TL07xH, typ)
- Wide common-mode and differential voltage ranges
 - Common-mode input voltage range includes V_{CC+}
- Low input bias and offset currents
- Low noise:
 - $V_n = 18 \text{ nV}/\sqrt{\text{Hz}}$ (typ) at $f = 1 \text{ kHz}$
- Output short-circuit protection
- Low total harmonic distortion: 0.003% (typ)
- Wide supply voltage:
 - $\pm 2.25 \text{ V}$ to $\pm 20 \text{ V}$, 4.5 V to 40 V

2 Applications

- [Solar energy: string and central inverter](#)
- [Motor drives: AC and servo drive control and power stage modules](#)
- [Single phase online UPS](#)
- [Three phase UPS](#)
- [Pro audio mixers](#)
- [Battery test equipment](#)

3 Description

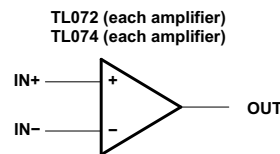
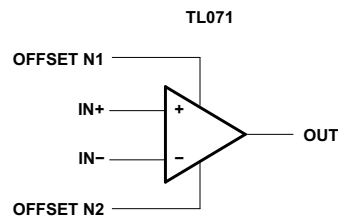
The TL07xH (TL071H, TL072H, and TL074H) family of devices are the next-generation versions of the industry-standard TL07x (TL071, TL072, and TL074) devices. These devices provide outstanding value for cost-sensitive applications, with features including low offset (1 mV, typical), high slew rate (20 V/μs), and common-mode input to the positive supply. High ESD

(1.5 kV, HBM), integrated EMI and RF filters, and operation across the full -40°C to 125°C enable the TL07xH devices to be used in the most rugged and demanding applications.

Device Information

PART NUMBER ⁽¹⁾	PACKAGE	BODY SIZE (NOM)
TL071x	PDIP (8)	9.59 mm × 6.35 mm
	SC70 (5)	2.00 mm × 1.25 mm
	SO (8)	6.20 mm × 5.30 mm
	SOIC (8)	4.90 mm × 3.90 mm
	SOT-23 (5)	1.60 mm × 1.20 mm
TL072x	PDIP (8)	9.59 mm × 6.35 mm
	SO (8)	6.20 mm × 5.30 mm
	SOIC (8)	4.90 mm × 3.90 mm
	SOT-23 (8)	2.90 mm × 1.60 mm
	TSSOP (8)	4.40 mm × 3.00 mm
TL072M	CDIP (8)	9.59 mm × 6.67 mm
	CFP (10)	6.12 mm × 3.56 mm
	LCCC (20)	8.89 mm × 8.89 mm
TL074x	PDIP (14)	19.30 mm × 6.35 mm
	SO (14)	10.30 mm × 5.30 mm
	SOIC (14)	8.65 mm × 3.91 mm
	SOT-23 (14)	4.20 mm × 2.00 mm
	SSOP (14)	6.20 mm × 5.30 mm
TL074M	TSSOP (14)	5.00 mm × 4.40 mm
	CDIP (14)	19.56 mm × 6.92 mm
	CFP (14)	9.21 mm × 6.29 mm
LCCC (20)	8.89 mm × 8.89 mm	

(1) For all available packages, see the orderable addendum at the end of the data sheet.



Copyright © 2017, Texas Instruments Incorporated

Logic Symbols



An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.



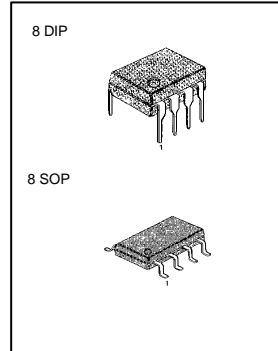
LM741/E/I SINGLE OPERATIONAL AMPLIFIER

SINGLE OPERATIONAL AMPLIFIERS

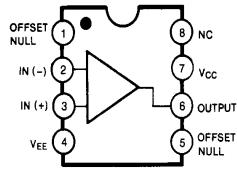
The LM741 series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. It is intended for a wide range of analog applications. The high gain and wide range of operating voltage provide superior performance in integrator, summing amplifier, and general feedback applications.

FEATURES

- Short circuit protection
- Excellent temperature stability
- Internal frequency compensation
- High Input voltage range
- Null of offset



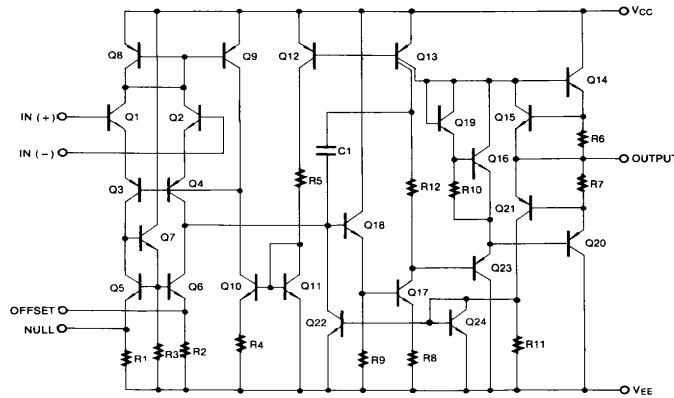
BLOCK DIAGRAM



ORDERING INFORMATION

Device	Package	Operating Temperature
LM741N	8 DIP	0 ~ +70°C
LM741EN	8 DIP	
LM741M	8 SOP	-40 ~ +85°C
LM741EM	8 SOP	
LM741IN	8 DIP	-40 ~ +85°C
LM741EIN	8 DIP	
LM741IM	8 SOP	
LM741EIM	8 SOP	

SCHEMATIC DIAGRAM





- Product Folder
- Sample & Buy
- Technical Documents
- Tools & Software
- Support & Community



OP07C, OP07D

SLOS099G –OCTOBER 1983–REVISED NOVEMBER 2014

OP07x Precision Operational Amplifiers

1 Features

- Low Noise
- No External Components Required
- Replace Chopper Amplifiers at a Lower Cost
- Wide Input-Voltage Range: 0 to ± 14 V (Typ)
- Wide Supply-Voltage Range: ± 3 V to ± 18 V

2 Applications

- Wireless Base Station Control Circuits
- Optical Network Control Circuits
- Instrumentation
- Sensors and Controls
- Precision Filters

3 Description

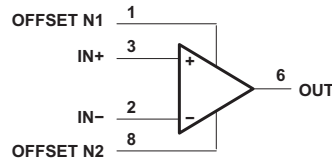
These devices offer low offset and long-term stability by means of a low-noise, chopperless, bipolar-input-transistor amplifier circuit. For most applications, external components are not required for offset nulling and frequency compensation. The true differential input, with a wide input-voltage range and outstanding common-mode rejection, provides maximum flexibility and performance in high-noise environments and in noninverting applications. Low bias currents and extremely high input impedances are maintained over the entire temperature range.

Device Information(1)

PART NUMBER	PACKAGE (PIN)	BODY SIZE
OP07x	SO (8)	6.20 mm x 5.30 mm
	SOIC (8)	4.90 mm x 3.91 mm
	PDIP (8)	9.81 mm x 6.35 mm

(1) For all available packages, see the orderable addendum at the end of the data sheet.

4 Simplified Schematic



An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.



Anexo η

En este anexo se encuentran las imágenes para cada una de las capas de fabricación del layout del amplificador.

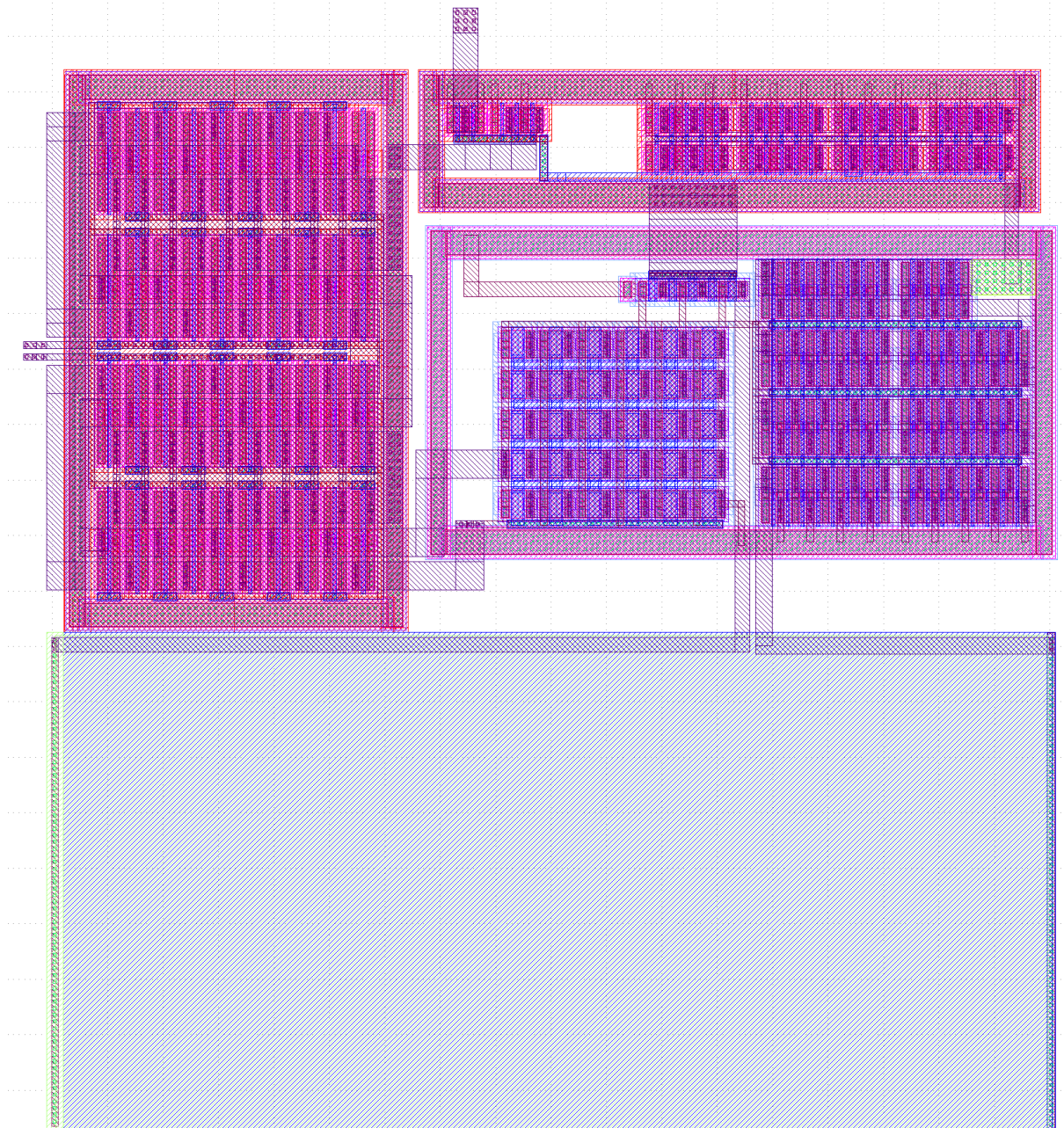
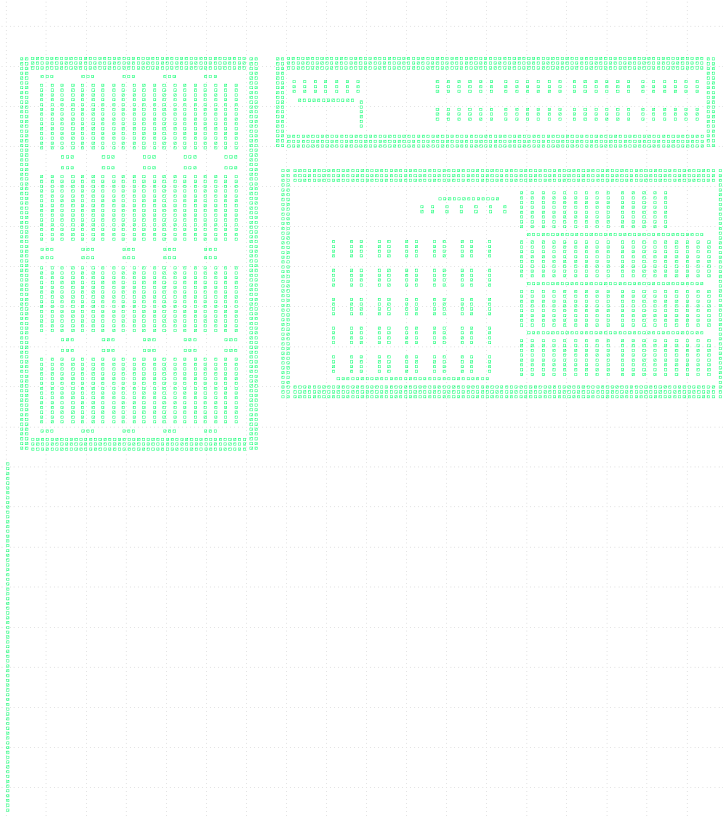
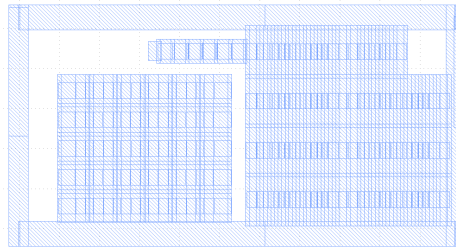


Figura 56: Todas las capas de fabricación para amplificador superpuestas

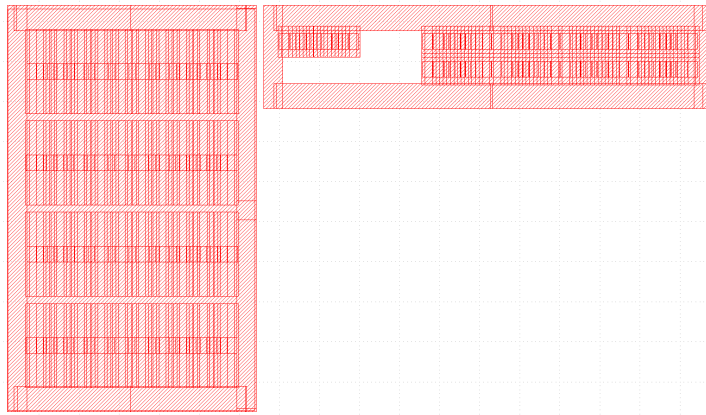


(a) Capa 25

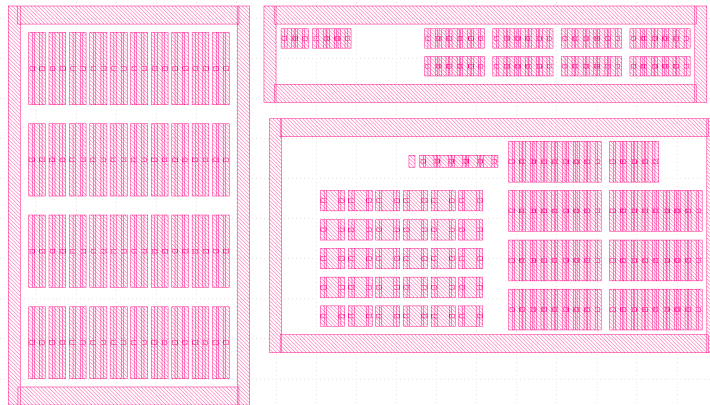


(b) Capa 41

Figura 57: Capas 25 y 41 del proceso de fabricación para el amplificador

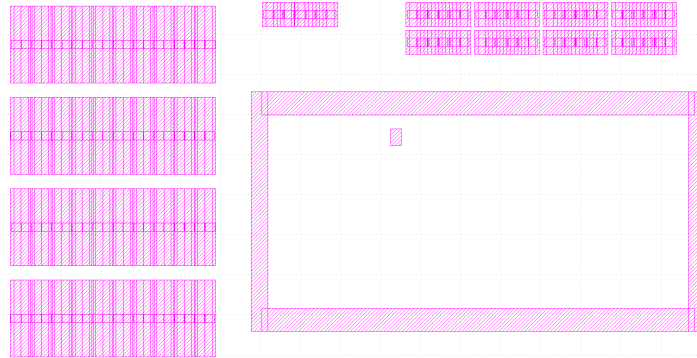


(a) Capa 42

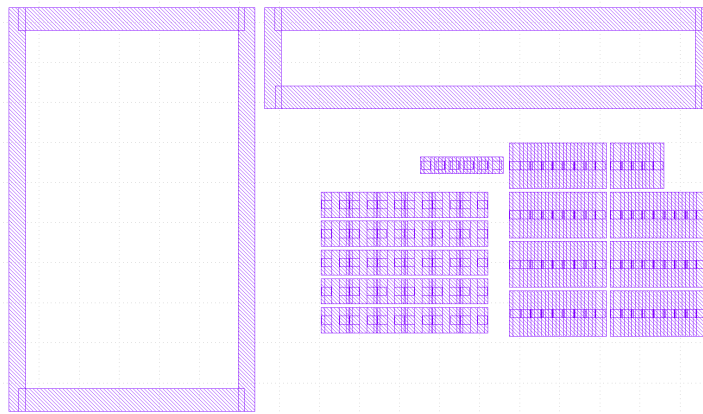


(b) Capa 43

Figura 58: Capas 42 y 43 del proceso de fabricación para el amplificador

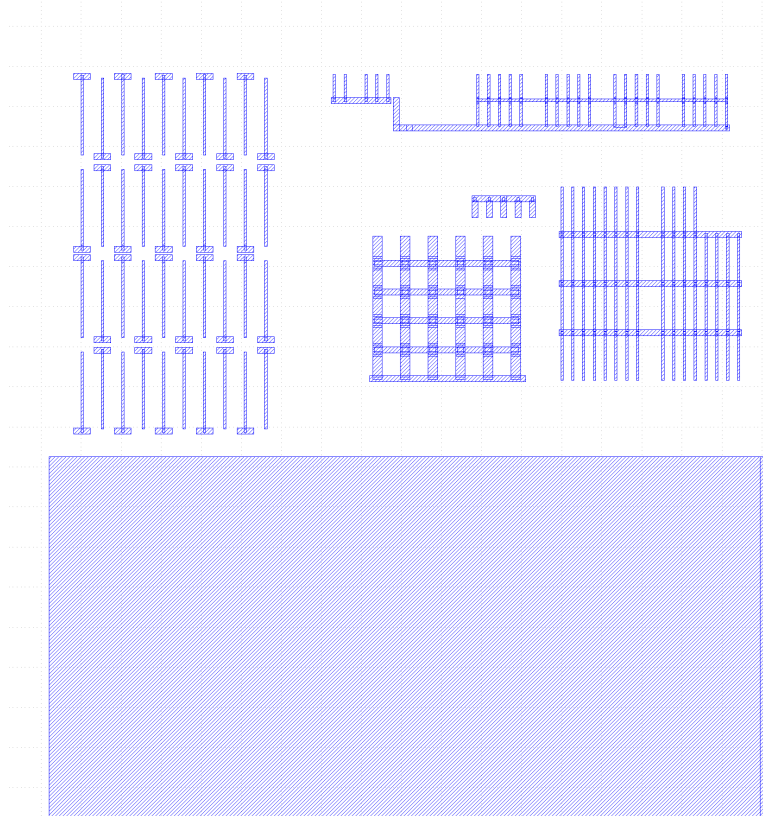


(a) Capa 44

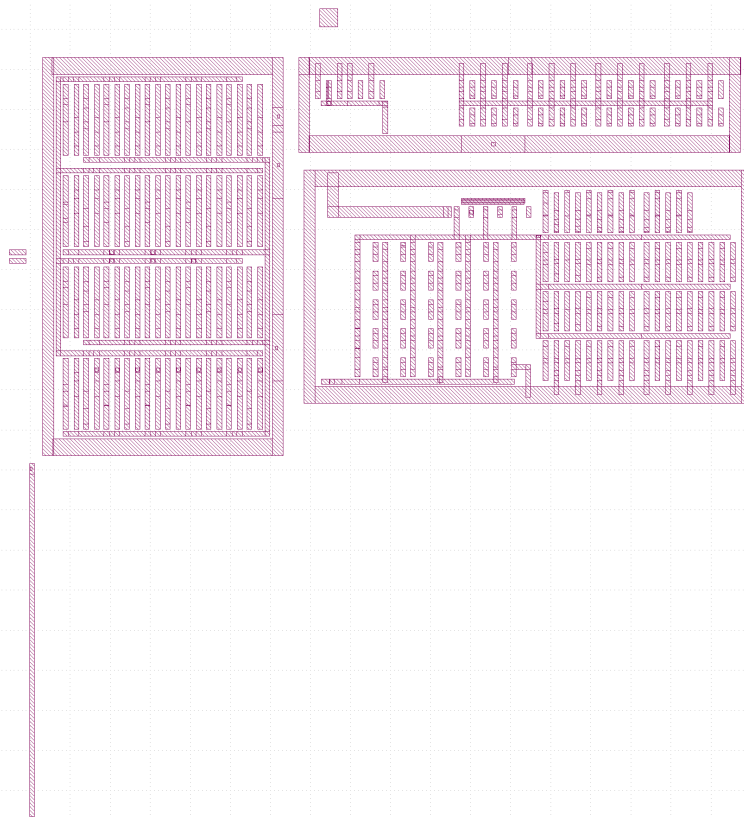


(b) Capa 45

Figura 59: Capas 44 y 45 del proceso de fabricación para el amplificador

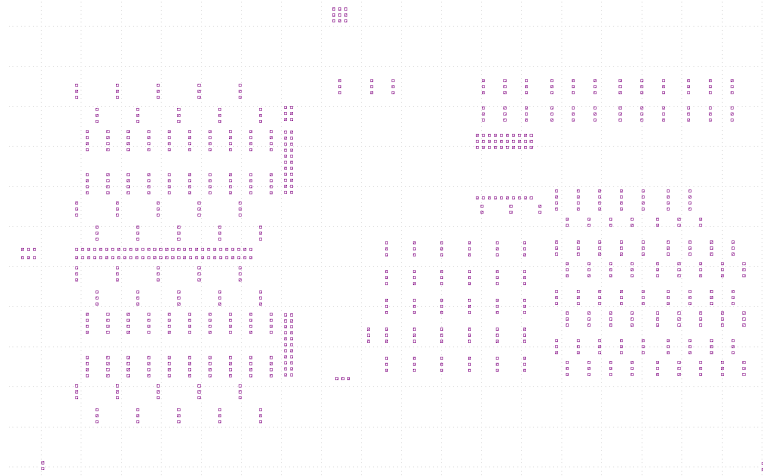


(a) Capa 46

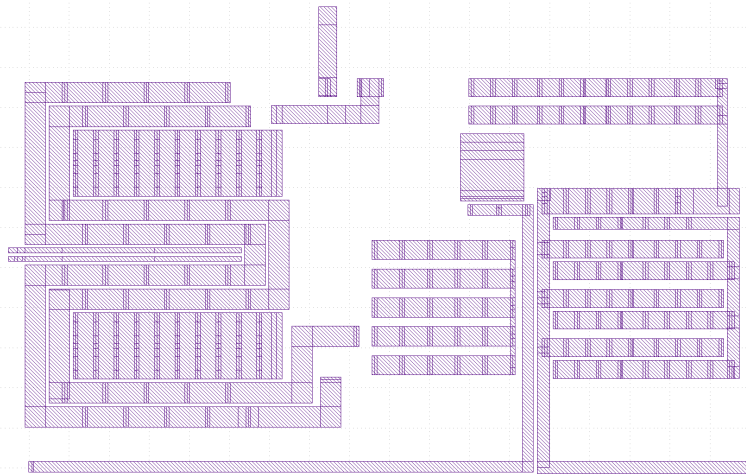


(b) Capa 49

Figura 60: Capas 46 y 49 del proceso de fabricación para el amplificador

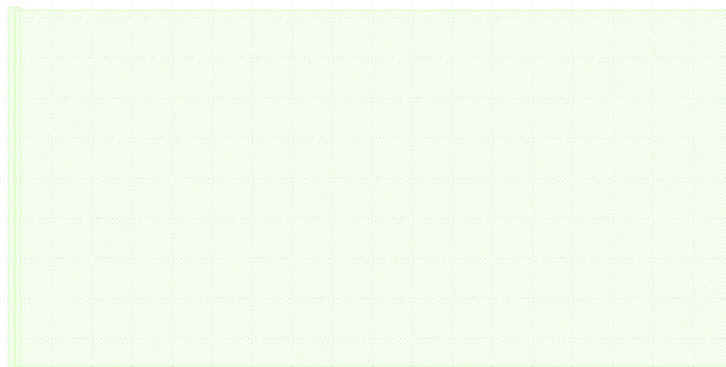


(a) Capa 50

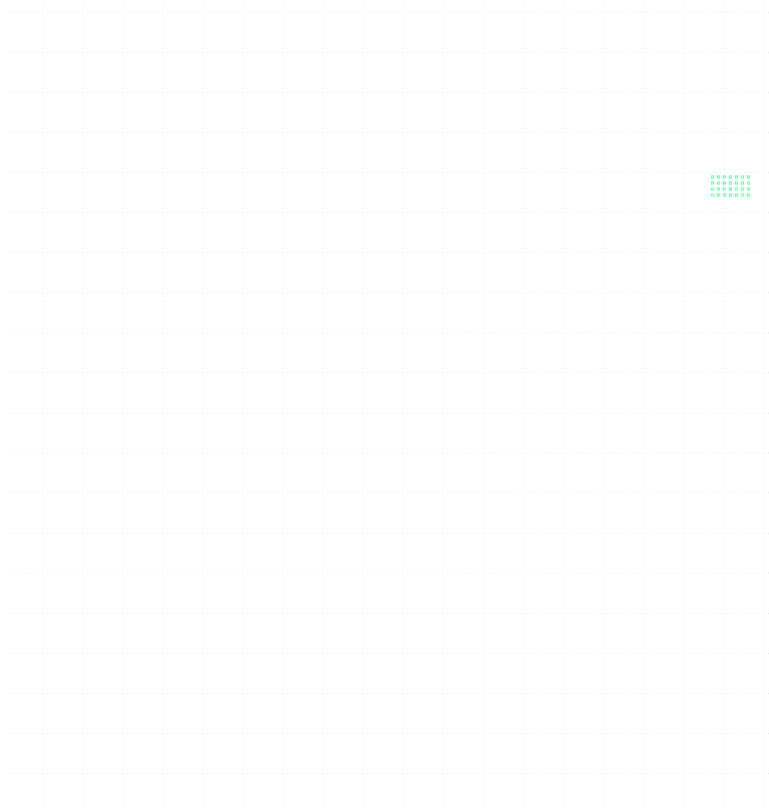


(b) Capa 51

Figura 61: Capas 50 y 51 del proceso de fabricación para el amplificador

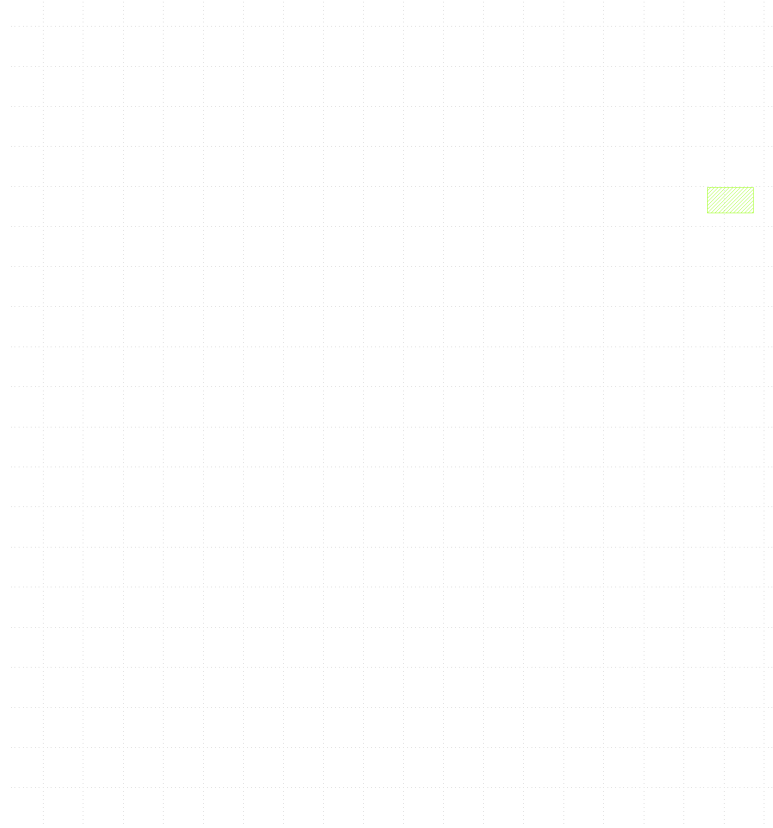


(a) Capa 56



(b) Capa 61

Figura 62: Capas 56 y 61 del proceso de fabricación para el amplificador



(a) Capa 62

Figura 63: Capa 62 del proceso de fabricación para el amplificador



Bibliografía

- C5: C5: 0.5 um Process Technology.* (2016). Consultado el 9 de mayo de 2020, desde <https://www.onsemi.com/pub/Collateral/C5-D.PDF>
- What is MOSIS: About Us.* (s.f.). Consultado el 22 de enero de 2020, desde <https://www.mosis.com/what-is-mosis>
- The MOSIS Service: Vendors: ON Semiconductor: C5: ON Semi 0.50 Micron B5 Process.* (s.f.). Consultado el 22 de diciembre de 2019, desde <https://www.mosis.com/vendors/view/on-semiconductor/c5>
- Operational amplifier.* (s.f.). Consultado el 28 de marzo de 2021, desde https://en.wikipedia.org/wiki/Operational_amplifier
- EEVBlog 1436 - The TOP 5 Jellybean OPAMP's.* (s.f.). Consultado el 18 de diciembre de 2021, desde <https://www.youtube.com/watch?v=uq1DMWtjL2U>
- UA741 data sheet, product information and support General-Purpose Operational Amplifier | TI.com.* (s.f.). Consultado el 17 de abril de 2021, desde <https://www.ti.com/product/UA741>
- Chip Hall of Fame: Fairchild Semiconductor uA741 Op-Amp.* (s.f.). Consultado el 17 de abril de 2021, desde <https://spectrum.ieee.org/tech-history/silicon-revolution/chip-hall-of-fame-fairchild-semiconductor-a741-opamp>
- 1964: THE FIRST WIDELY-USED ANALOG INTEGRATED CIRCUIT IS INTRODUCED.* (s.f.). Consultado el 17 de abril de 2021, desde <https://www.computerhistory.org/siliconengine/the-first-widely-used-analog-integrated-circuit-is-introduced/>
- Hambley, A. R. (2002). *Electrónica* (2.^a ed.). Prentice Hall.
- CMOS.* (s.f.). Consultado el 16 de enero de 2021, desde <https://en.wikipedia.org/wiki/CMOS>
- Miller Frequency Compensation: How to Use Miller Capacitance for Op-Amp Compensation.* (s.f.). Consultado el 30 de junio de 2022, desde <https://www.allaboutcircuits.com/technical-articles/miller-frequency-compensation/>
- C5: 0.5 um Process Technology.* (2021). Consultado el 27 de julio de 2022, desde <https://www.onsemi.com/products/product-taxonomy/custom-foundry-services/c5-process-technology>
- Van Lammeren, J. P. M. (1999). ICCQ: A Test Method for Analogue VLSI Using Local Current Sensors. *Journal of Electronic Testing*, 14, 33-38. <https://doi.org/10.1023/A:1008341120580>
- Iddq testing.* (s.f.). Consultado el 9 de julio de 2022, desde https://en.wikipedia.org/wiki/Iddq_testing
- Razavi, B. (2017). *Design of Analog CMOS Integrated Circuit* (2.^a ed.). Mc Graw Hill India.



- Rubin, S. M. (2016). *Using the ELECTRIC VLSI Design System*. Ranch Press. Consultado el 4 de agosto de 2019, desde <https://www.staticfreesoft.com/jmanual/ElectricManual-9.07.pdf>
- SPICE*. (s.f.). Consultado el 9 de mayo de 2020, desde <https://en.wikipedia.org/wiki/SPICE>
- Transconductancia*. (s.f.). Consultado el 6 de agosto de 2022, desde <https://es.wikipedia.org/wiki/Transconductancia>
- Silveira, F., Flandre, D., & Jespers, P. (1996). A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. *Solid-State Circuits, IEEE Journal of*, 31, 1314-1319. <https://doi.org/10.1109/4.535416>
- Possani, T., Pavanato, L., da Silva Jr, L. A., & Girardi, A. (2013). Application of gm/id methodology for analog design using nanometer-scale devices.
- Physical verification*. (s.f.). Consultado el 26 de enero de 2021, desde https://en.wikipedia.org/wiki/Physical_verification
- Design Rules: B5 process, ON Semiconductor submicron SCMOS: ON Semi 0.50 Micron B5 Process Design Rules manual*. (s.f.). Consultado el 24 de diciembre de 2019, desde <https://www.mosis.com/files/scmos/scmos.pdf>
- CMOSedu.com*. (s.f.). <http://cmosedu.com>



Glosario

I_{ccq} **Testing** Método de testeo para partes de circuitos integrados analógicos. Determina si un circuito integrado es bueno o no mediante la medición de las diferentes corrientes que fluyen en los circuitos bajo análisis. El método no es un test funcional completo, en cambio su objetivo principal es encontrar circuitos defectuosos durante el testeo en wafer. Con este método se pueden analizar tanto corrientes estáticas como dinámicas. 13

I_{ddq} **Testing** Método de testeo de circuitos integrados CMOS para la presencia de fallas de manufactura. Se basa en la medición de la corriente de alimentación I_{dd} en el estado quiescente (cuando el circuito no está en conmutación y sus entradas se mantienen en valores estáticos). La corriente consumida en este estado es comúnmente llamada I_{ddq} por I_{dd} quiescente, de ahí su nombre. 13

Analog Design Octagon Representación visual de las relaciones de compromiso existentes entre las principales características de interés en el diseño analógico de amplificadores de altas prestaciones 15

back-annotation The process of updating the logical design of a circuit with physically measured values, to allow for more accurate simulation. 69

Correct-by-Design «Correcto por Diseño». Metodología de diseño basada en una serie de reglas/restricciones (conocidas como «Constraints») que tratan de definir todas las condiciones bajo las que un sistema debe funcionar. Con la intención de que así, al asegurar el cumplimiento de las reglas, se asegura (de forma anticipada) que el diseño será correcto/funcional 16

die A die, in the context of integrated circuits, is a small block of semiconducting material on which a given functional circuit is fabricated. Typically, integrated circuits are produced in large batches on a single wafer of electronic-grade silicon (EGS) or other semiconductor (such as GaAs) through processes such as photolithography. The wafer is cut (diced) into many pieces, each containing one copy of the circuit. Each of these pieces is called a die. 58, 59, 64

latch-up Término utilizado para referirse a un tipo específico de cortocircuito que puede ocurrir en un circuito digital. Se produce por la existencia de un camino de baja impedancia (generalmente debido a un error de diseño) entre un riel de alimentación y una estructura parásita logra alterar el funcionamiento esperado de un dispositivo. Puede llevar a la destrucción del dispositivo por exceso de circulación de corriente.



Se necesita desenergizar y volver a energizar para revertir una condición de «latch-up». 8

Shunt Capacitance Capacitor conectado en paralelo a una rama de un circuito o a un sistema electrónico dado. Utilizado en dos grandes campos, electricidad y electrónica de potencia y electrónica de señal o señales alternas AC. El efecto de este y por ende su función sobre el circuito varía según su aplicación. 10

Workflow Estudio de los aspectos operacionales de una actividad de trabajo: cómo se estructuran las tareas, cómo se realizan, cuál es su orden correlativo, cómo se sincronizan, cómo fluye la información que soporta las tareas y cómo se le hace seguimiento al cumplimiento de las tareas 6



Siglas

AC Alternating Current 11, 57, 70, 123

BJT Bipolar Junction Transistor 16

BW BandWidth 14, 15

CMOS Complementary Metal-Oxide-Semiconductor 4, 7, 8, 10, 16–18, 88, 97

DC Direct Current 10, 11, 14, 15, 47, 56, 85

DOF Degree-of-Freedom 19, 84

DRC Design Rule Check 11, 39, 41, 66, 67, 104

ERC Electric Rules Check 11, 39, 66, 67

ESD ElectroStatic Discharge 67

FDA Fully-Differential Amplifier 7, 50

GBW Gain-Bandwidth product 33, 71

GDS Graphical Database System II (stream format) 11, 73, 74, 98

LTspice Linear Technology Simulation Program with Integrated Circuit Emphasis 99–101, 105

LVS Layout versus Schematic 11, 66, 68

MEMS Micro-Electro-Mechanical Systems 9

MES Máxima Excursión Simétrica 43

MOCMOS MOsis CMOS 17

MOS Metal-Oxide-Semiconductor 9, 10, 21, 22, 29, 35, 37, 49, 50, 77, 80–83, 88, 104

MOSFET Metal-Oxide-Semiconductor Field-Effect Transistor 13, 19, 21, 23, 25, 28, 33, 37, 38, 43, 54, 56, 59, 79–81, 83, 84, 104

MOSIS Metal Oxide Silicon Implementation System 4, 13, 17, 18, 76, 97, 101



NCC Network Consistency Check 11, 39, 68, 106

ngspice NG Simulation Program with Integrated Circuit Emphasis 99

NMOS N-type Metal-Oxide-Semiconductor 18, 21, 23–26, 28–30, 34–37, 41–44, 46, 48, 49, 84, 88, 101, 104

PMOS P-type Metal-Oxide-Semiconductor 18, 21, 23–25, 41–47, 49, 50, 55, 80, 84, 88, 89, 101, 104

PV Physical Verification 66

PVT Process, Voltage, Temperature 23, 24, 42, 46, 51, 65

SCMOS Scalable CMOS 4, 17, 98

single-ended output single-ended output 50

SoC System-on-Chip 9

SPICE Simulation Program with Integrated Circuit Emphasis 22, 23, 41, 72, 100

TE Transistor Efficiency 83–85

THD Total Harmonic Distortion 11, 15, 72

VCCS Voltage-Controlled Current Source 84

VLSI Very Large-Scale of Integration 16

XOR eXclusive OR 66